

SOI MOSFET의 전기적 특성과 게이트 산화막 계면준위 밀도의 관계

김관수, 구현모, 이우현, 조원주, 구상모, 정홍배
 광운대학교 전자재료공학과

The Relation between Electrical Property of SOI MOSFET and Gate Oxide Interface Trap Density

Kwan-Su Kim, Hyun-Mo Koo, Woo-Hyun Lee, Won-Ju Cho, Sang-Mo Koo, Hongbay Chung
 Department of Electronic materials engineering, Kwangwoon Univesity, Seoul, Korea.

Abstract

SOI(Silicon-On-Insulator) MOSFET의 전기적 특성에 미치는 게이트 산화막과 계면준위 밀도의 관계를 조사하였다. 결함이 발생하지 않는 얇은 소스/드레인 접합을 형성하기 위하여 급속열처리를 이용한 고상확산방법으로 제작한 SOI MOSFET 소자는 급속열처리 과정에서 계면준위가 증가하여 소자의 특성이 열화된다. 이를 개선하기 위하여 H₂/N₂ 분위기에서 후속 열처리 공정을 함으로써 소자의 특성이 향상됨을 볼 수 있었다. 이와같이 급속열처리 공정과 H₂/N₂ 분위기에서의 후속 열처리 공정이 소자 특성에 미치는 영향을 분석하기 위하여 소자 시뮬레이션을 이용하여 게이트 산화막과 채널 사이의 계면준위 밀도를 분석하였다. 그 결과, n-MOSFET의 경우에는 acceptor-type trap, p-MOSFET의 경우에는 donor-type trap density가 소자특성에 큰 영향을 미치는 것을 확인하였다.

Key Words : SOI MOSFET, ATLAS simulator, Interface trap density

1. 서론

반도체 소자가 100 nm 이하로 줄어들면서 MOSFET의 미세화에 따른 소자제작 공정 및 동작 특성의 문제점이 대두되고 있다. 특히 단채널 효과를 억제하기 위한 연구가 다각도로 진행되고 있는데, SOI(Silicon-On-Insulator) 기판을 이용한 MOSFET은 미세화에 따른 단채널 효과를 억제에 매우 유효한 방법 중의 하나이다. 또한 초미세 트랜지스터를 제작하기 위해서는 낮은 면저항을 가지는 얇은 소스/드레인 접합 형성이 필수적이다. 따라서 본 연구에서는 급속열처리 (RTA:Rapid Thermal Anneal) 방법에 의한 고상 확산법을 이용하여 얇은 접합을 가지는 SOI MOSFET 소자를 제작하였고, 3% 수소 분위기에서 후속 열처리 공정을 실시하였을 경우 소자의 전기적 특성변화를 살펴보았다. 또한 SILVACO ATLAS 소자 시뮬레이션을 이용하여 게이트 산화막 계면준위 밀도에 따른 소자 특성 변화를 살펴보았다.

2. 실험

고상 확산법을 사용한 SOI MOSFET은 그림 1과 같은 공정 순서로 진행하였다. 실험에 사용된 SOI 기판은 8 ~ 13 Ω/cm의 면저항, (100)의 면방향, 상부실리콘과 매몰산화막층의 두께가 각각 100 nm, 200 nm 인 SOITEC사의 BESOI(bonding and etched-back SOI)를 이용하였다. MOSFET 소자의 게이트 산화막과 게이트 Poly-Si의 두께는 각각 5 nm, 100 nm 이었다. 낮은 접합 깊이를 가지는 소스와 드레인은 고상확산법을 이용하여 형성하였다[1]. N-type의 경우 확산원을 PSG (Phosphorous Silicate Glass)를

사용하였으며, p-Type의 경우 PBF (Poly Boron Film)을 사용하였다. 확산은 급속열처리장비를 이용하여 950℃에서 30초간 수행하였으며, 3% 수소분위기에서 30분간 후속 열처리 공정을 하였다.

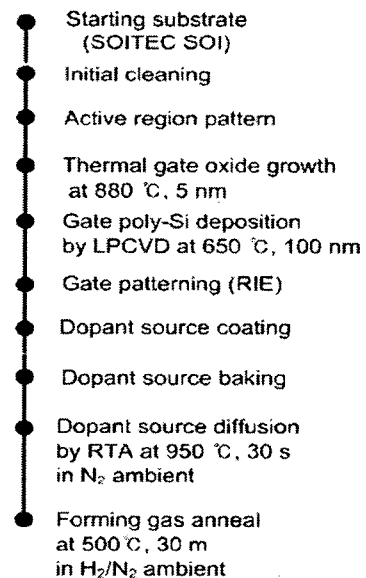
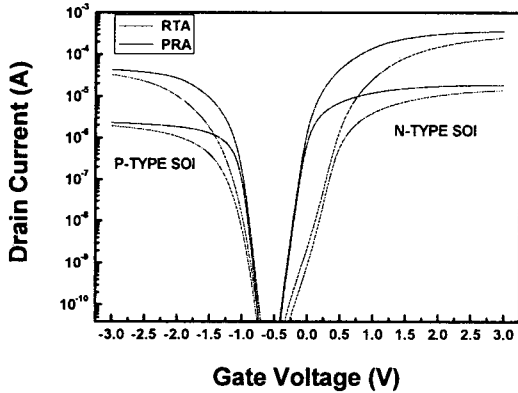


그림 1. SOI MOSFET의 공정과정

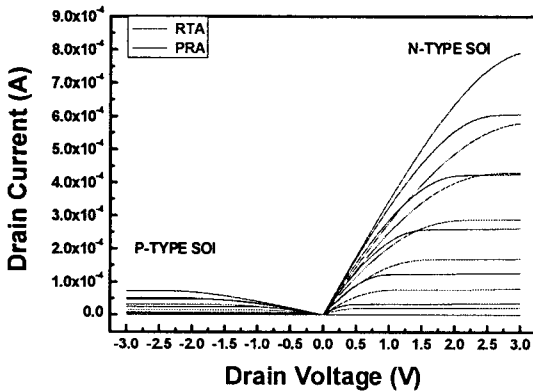
3. 결과

그림 2는 확산을 위해 RTA 공정을 수행한 소자와 3% 수소분위기에서 후속 열처리 공정을 수행한 경우의 특성을 나타내고 있다. 후속 열처리 공정을 한 n-channel SOI MOSFET의 경우 subthreshold swing이 124 mV/dec 에서 크게 73 mV/dec 로 향상되었으며 p-channel SOI MOSFET의

경우 80 mV/dec 에서 71 mV/dec 로 약간 향상되었다. 이는 후속 열처리 공정을 함으로써 급속 열처리 공정에서 게이트 산화막과 실리콘 채널간의 계면에 형성되었던 dangling bond를 수소 원자가 중단시켜 줌으로써 계면 준위 밀도를 크게 감소되었기 때문이다.



(a) I_D-V_G 특성 곡선



(b) I_D-V_D 특성 곡선

그림 2. 급속 열처리 공정(RTA)과 후속 열처리 공정(PRA)을 한 SOI MOSFET의 특성 비교

그림 3은 후속 열처리 공정을 수행하면 그림 2와 같이 소자의 특성이 향상되는 과정을 소자 시뮬레이션에 의하여 확인한 결과를 나타낸다. N-channel SOI MOSFET는 전도대 근처의 acceptor-type trap, p-channel SOI MOSFET는 가전자대 근처의 donor-type trap 농도가 변화함에 따라서 소자의 subthreshold swing 특성이 크게 변하는 것을 확인하였다 [2]. 또한, 후속 열처리 공정을 함으로써 산화막 계면준위가 낮아짐에 따라서 SOI MOSFET소자의 특성이 향상되어지는 것을 확인하였다.

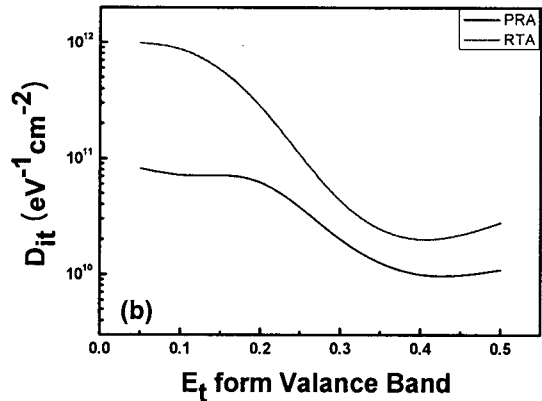
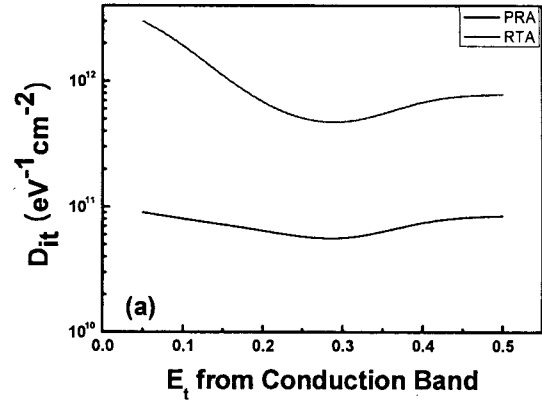


그림 3. SILVACO ATLAS로 계산한 (a) N-Type, (b) P-Type SOI MOSFET의 게이트 산화막 계면준위 분포

4. 결론

본 연구에서는 고상 확산법을 이용한 SOI MOSFET를 제작하고, 소자 시뮬레이션을 이용하여 산화막 계면준위에 의한 영향을 분석하였다. 수소 분위기에서 후속 열처리 공정을 함으로써 급속 열처리 공정에서 형성된 게이트 산화막 계면준위를 감소시켜 소자의 전기적 특성이 향상되는 것을 확인하였다. 또한 시뮬레이션을 통해 n-channel의 경우 acceptor-type trap, p-channel의 경우 donor-type trap의 농도에 따라 소자의 전기적 특성이 크게 변하는 것을 확인하였다.

참고 문헌

- [1] Won-ju Cho et al., Journal of the Korean Physical Society, Vol.43, No. 5, November 2003, pp.897~902
- [2] Won-ju Cho and Seongjae Lee, Jpn. J. Appl. Phys. Vol.42, 2003, pp.2615~2620