

주파수 스케일링에 의한 전력 감소 컴퓨터 시스템 설계 및 구현

박진권[○] 윤희용
성균관대학교 정보통신공학부
{Karlmarx[○], youn}@ece.skku.ac.kr

Design and Implementation of Computer System to Reduce Power Consumption Through Scaling Frequency

Jinkwon Park[○], Hee Yong Youn
School of Information and Communication Engineering, SungKyunKwan University

요 약

컴퓨터 연구에 있어서 과거에는 주로 성능 향상을 위한 연구가 진행되었으나, 최근에는 모바일, 유비쿼터스 환경의 도래와 함께 성능에 비례한 전력 소모 문제가 최대의 연구 과제로 대두되고 있다. 전력 소모 문제는 컴퓨터 시스템 중 가장 큰 부분을 차지하는 마이크로프로세서를 비롯하여 그래픽 프로세서, 메모리, 하드 디스크 드라이브를 포함하는 I/O 디바이스, 그리고 메인보드에서 소모되는 누설 전류에 이르기까지 다양한 부문에서 연구되어 지고 있다.

본 논문에서는 각 구성 요소를 모두 포함하는 컴퓨터 시스템에 있어서 전력 소모를 감소하기 위한 주파수 스케일링 방법을 설계 구현하고, 컴퓨터 시스템 레벨에서의 전력 감소 효과를 제시한다.

1. 서 론

컴퓨터 시스템의 성능을 향상시키기 위한 연구는 반도체 공정 기술의 발전과 더불어 분산 처리와 다중 스레드에 이르기까지 하드웨어, 소프트웨어 환경에서 끊임없이 진행되고 있다. 그러나 과거의 성능 향상을 위해던 연구들의 성과는 더욱 높은 전력 소모를 필요로 하게 되었으며, 특히 향후 모바일, 유비쿼터스 환경에 적합한 시스템에 있어서는 무엇보다도 전력 소모를 줄여야 하는 것이 최대의 과제로 대두되었다.

반도체 공정 기술의 발전은 전력 소모를 줄이기 위한 트랜지스터 레벨에서의 공급 전압을 지속적으로 줄여 왔으나, 누설 전류 등의 문제로 인하여 성능 증가에 따른 전력 소모 증가를 효과적으로 낮추지 못하고 있다.[1] 따라서 많은 연구자들은 전력 소모를 감소시키기 위해 구조와 소프트웨어적인 측면에서의 여러 가지 방법들을 제안하였다.[2][3][4] 높은 성능에 낮은 전력 소모가 최대의 목표이나, 일반적으로 이를 동시에 만족시킬 수는 없기 때문에 전력 소모 문제를 향상시키기 위해서는 다른 한 가지인 성능을 희생해야 한다.

본 논문에서는 마이크로프로세서를 포함한 각종 디바이스로 구성된 컴퓨터 시스템 레벨에서의 전력 감소를 위한 주파수 스케일링 방법을 연구한다. 본 논문의 구성은 다음과 같다. 제 2장에서는 관련 연구로서 전력 소모

를 줄이기 위한 방법을 소개하고, 제 3장에서는 본 논문에서 제시하는 시스템 레벨에서의 전력 소모를 줄이기 위한 주파수 스케일링을 제시하고, 이를 위한 컴퓨터 시스템 메인보드를 설계 구현하며, 제 4장에서는 각 구성 요소에 의한 전력 감소 효과 및 성능을 측정한다.

2. 관련 연구

프로세서 수준에서의 전력 소모 감소를 위한 연구는 전압/주파수 스케일링, 칩 레벨 멀티프로세서(CMP), 비대칭형 코어 구조에 이르기 까지 다양한 분야에서 진행되고 있다.[5]

일반적으로 칩 레벨에서의 전압/주파수에 의한 전력의 스케일링 관계식은 아래와 같이 표현된다.

$$P = C \cdot F \cdot V^2 \quad (1)$$

여기서 P는 전력, V는 공급 전압, F는 클럭 주파수, C는 스위칭 캐패시턴스의 합계를 의미한다.

위의 관계식을 시스템 레벨까지 확장할 경우, 시스템에서 사용하고 있는 다양한 구성 요소들 (대표적으로는 프로세서, 메모리, 디스크 드라이브 등)의 C, V, F를 모두 고려해야 한다. 또한 시스템의 전력 레벨에서는 공급되는 전압원의 사용처가 모두 다르기 때문에 각 전압원

에 대한 전력 소모 비율을 명확히 할 필요가 있다. 따라서 본 논문에서는 각 전압원에 대한 가중치를 적용하여 시스템 레벨에서의 전력 관계식을 아래와 같이 표현하고자 한다.

$$P_{system} = \sum W_i \cdot C_i \cdot F_i \cdot V_i^2 \quad (2)$$

W_i 는 각 공급 전압에 대한 가중치이며, 컴퓨터 시스템 설계 시 메인보드의 프로세서를 포함한 각 칩들과 PCB, I/O 디바이스까지 모두 고려되어 결정되어야 한다.

본 논문에서는 F(주파수)를 감소 스케일링하는 방법을 사용하여 전체 시스템의 전력 소모를 감소시키는 시스템을 설계, 구현하였다.

3. 시스템 설계 및 구현

주파수 스케일링을 위한 컴퓨터 시스템의 메인보드는 Intel사의 965 Express 칩셋[6]과 4-Layer FR4 PCB를 사용하여 설계하였으며, 메인보드 각 부분과 디바이스에 클럭을 공급하는 제너레이터로 ICS사의 ICS95LP505를 사용하였다. ICS95LP505 는 SMBUS를 통한 프로그램이 가능하여 PLL 제어를 통해 각 칩 및 디바이스에 대한 주파수 스케일링이 가능하다.[7] 그림 1에 메인보드의 주요 클럭 주파수와 함께 클럭 제너레이터 ICS95LP505로부터 공급되는 분포를 나타냈다.

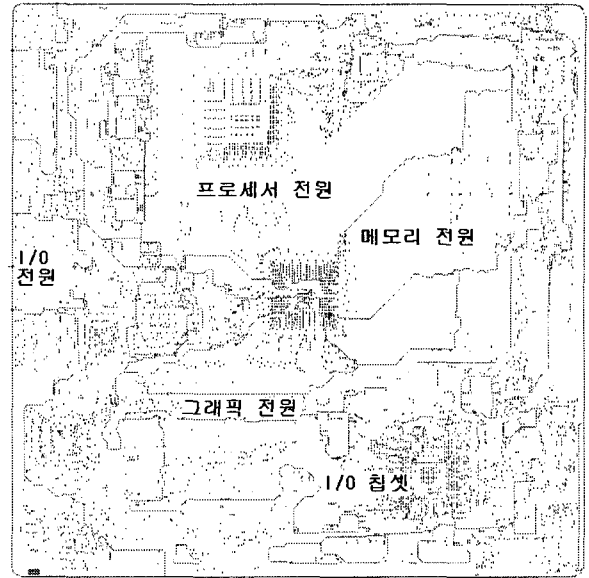


그림 2. 메인보드 PCB 2-Layer (Power Plane)

표 1은 식(2)에서 정의한, 메인보드에서 사용하는 각 공급 전압 P_i 및 가중치 W_i 를 나타냈으며, 전원 공급을 위해 PCB의 layer-2 는 그림 2와 같이 설계하였다.

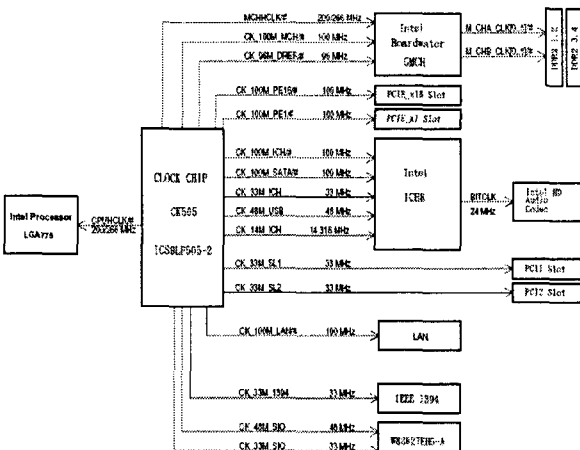


그림 1. 메인보드의 클럭 주파수 분포

4. 전력 소모 측정 및 성능 평가

설계한 메인보드에 장착한 각 디바이스 사양은 다음과 같다. Intel Pentium-D 3.2GHz 840 프로세서 (90nm 2 cores CMP), Samsung DDR2-800 1GB 메모리, Nvidia Geforce 6600 128MB 그래픽 카드, Samsung SATA2 160GB 하드디스크 드라이브, Samsung 240W 파워서플라이.

성능 평가를 위한 평가 툴로는 Futuremark사의 상용 벤치마크 프로그램인 PCMark05를 사용하였다. PCMark 05는 CPU 성능 평가를 위한 다중 쓰레드 테스트부터 일반 PC 시스템 사용자 환경의 2D,3D 그래픽 테스트와 HDD 테스트까지 포함하여 시스템의 전반적인 성능 평가에 사용된다.[8]

전력 소모 측정은 우선 시스템의 각 부분별 주파수 스케일링을 적용하여 각 공급 전원의 전류 소모량을 측정하였으며, 각 공급 전원의 전력 소모를 계산하여 최종적으로 시스템의 총 전력 소모량을 구하였다.

그림 3에 전력 측정 환경을 나타냈으며, Tektronix사의 TDS6804B 디지털 오실로스코프와 TCP303 current probe, TCPA300 current probe amplifier를 사용하여 20ms에서 2.5kS/s 로 샘플링 측정하였다.

전력 소모 측정 및 성능 평가에 사용한 주파수 스케일링은 마이크로프로세서, 그래픽카드, 메모리에 대해 각각

공급 전원 (V)	전원 사용 (Usage)	가중치 (W)
3.3V	칩셋, 클럭, I/O	0.04
5V	메모리, 디스크 드라이브	0.12
12V	그래픽 카드	0.11
12V	마이크로프로세서	0.73

표 1. 시스템에 공급되는 전원

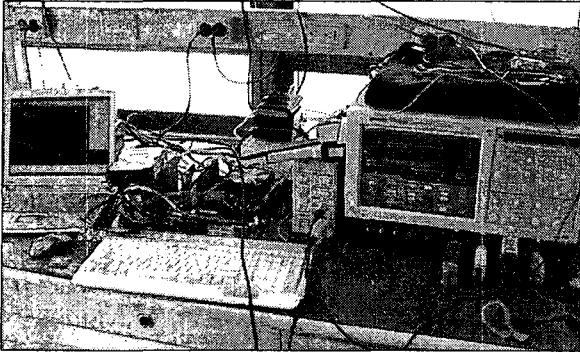


그림 3. 전력 측정 환경

정상 주파수 대비 2단계 감소를 적용하였다. 표 2는 각 단계의 주파수 감소 값이다. 특히 마이크로프로세서의 경우에는 표 1과 같이 12V 공급 전원의 가중치가 73%로 메인보드에서 소모하는 전력이 가장 크기 때문에 우선적으로 주파수 감소를 진행하고, 추가적으로 그래픽 카드와 메모리의 주파수 감소를 수행하였다.

	정상 상태	1단계	2단계
프로세서	3.2G	2.4G (75%)	1.6G (50%)
메모리	800M	667M (83%)	533M (67%)
그래픽 프로세서	300M	270M (90%)	240M (80%)

표 2. 정상 상태와 각 단계별 주파수 감소

그림 4는 주파수에 따른 전력 소모 측정 값과 성능 평가 결과이다. 정상 동작 상태 주파수에서의 성능 및 전력 소모를 1로 Normalized 하였으며, 각 부분별 모두 2단계 주파수를 적용했을 경우 전력 소모는 0.74 수준까지 감소하는 것으로 나타났다.

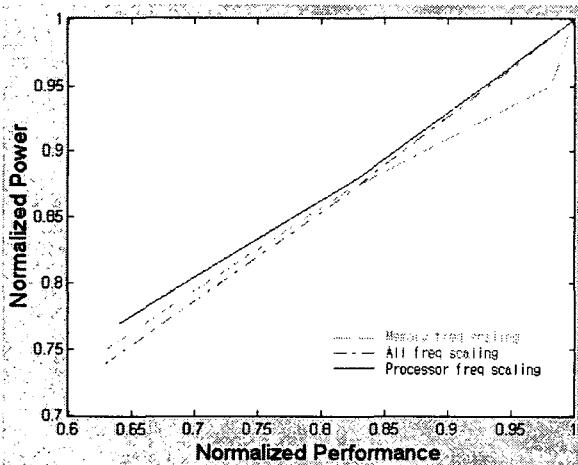


그림 4. 주파수 감소에 따른 전력 소모 감소

5. 결론 및 향후 연구

향후의 컴퓨터 시스템은 성능의 최대 향상과 함께 전력 소모의 최소화를 반드시 고려해야만 한다. 공급 전원 및 누설 전력을 최소화시킬 수 있는 반도체 공정 기술의 연구와 더불어 컴퓨터 구조, 소프트웨어적인 환경, 시스템 레벨에 이르기 까지 이러한 전력 소모 최소화 연구는 계속 진행되고 있다.

본 논문에서는 배터리 등의 사용 시간을 반드시 늘려야만 하는 모바일 환경의 시스템 구현을 위해 성능 감소 대신 주파수 스케일링을 통해 전력 소모를 줄이는 컴퓨터 시스템, 특히 메인보드를 설계 구현하였으며, 실제 전력 소모 측정을 통해 효과를 검증하였다.

주파수 스케일링은 실시간적으로, 그리고 소프트웨어의 제어가 가능하기 때문에 사용자 환경에 따라, 상황에 맞게 전력 소모를 제어할 수 있을 것이다.

향후 연구로는 주파수 스케일링과 함께 전원 스케일링을 함께 고려한 시스템 설계와 더불어, 시스템 레벨에서의 누설 전력 감소 방안, 시스템의 대기 모드 상태에서의 대기 전력 감소 방안 연구도 함께 진행되어야 할 것이다.

참고 문헌

- [1] Tilak Agerwala, Siddhartha Chatterjee, Computer Architecture: challenges and opportunities for the next decade, IEEE Micro (IEEE Computer Society), May-June 2005.
- [2] D. Brooks and M. Martonosi Dynamic thermal management for high-performance microprocessors. In proceedings of the Seventh International Symposium on High-Performance Computer Architecture, pages 171-182, January 2001.
- [3] C. Isci and M. Martonosi. Runtime Power Monitoring in High-End Processors: Methodology and Empirical Data. In Proceedings of the 36th International Symposium on Microarchitecture, pages 93-104, December 2003.
- [4] R. Kumar, K.I. Farkas, N.P. Jouppi, P. Ranganathan and D.M. Tullsen. Single-ISA heterogeneous multicore architectures: the potential for processor power reduction. In proceedings of the 36th International Symposium on Microarchitecture, pages 81-92, December 2003.
- [5] E. Grochowski, R. Ronen, J. Shen, H. Wang. Best of Both Latency and Throughput. In Proceedings of the 22nd International Conference on Computer Design, pages 236-243, October 2004.
- [6] <http://www.intel.com/products/chipsets/>
- [7] ICS ICS95LP505 Datasheet, <http://www.icst.com>
- [8] <http://www.futuremark.com/products/pcmark05/>