

포락선 추적방식을 사용한 고효율 전력증폭기의 설계

Design of High Efficiency RF Power Amplifier Using Envelope Tracking

김동운

(광운대학교 전자공학과 석사과정)

김지연

(광운대학교 전자공학과 박사과정)

김중현

(광운대학교 전자공학과정교수)

Key Words : 전력 증폭기, 전력 손실, 효율, DC-DC converter

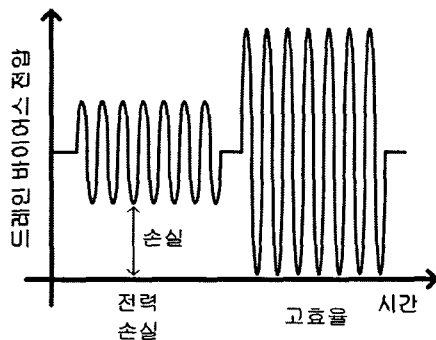
목 차

- I. 소개
- II. DC-DC converter
 - 1. 새로운 구조의 DC-DC converter
 - 2. DC-DC converter의 동작
- III. 설계
 - 1. DC-DC converter의 설계
- 2. 전력 증폭기의 설계
- IV. 포락선 추적 방식을 사용한 RF 전력증폭기
- V. 결론
- VI. 감사의 글
- 참고문헌

I. 소개

현대 통신 방식들은 채널 사용 효율을 높이기 위해서 전력 증폭기의 높은 선형성을 요구한다. 이러한 요구를 충족시키기 위해 일반적으로 백-오프 방식이 사용된다. 그러나 이 방식은 전력 증폭기의 효율을 감소시킨다. 낮은 효율로 인해 기지국 장비에 열 문제가 발생되고 시스템의 신뢰도에도 문제가 생긴다. 이를 해결하기 위한 냉각 장비들은 시스템의 중량과 크기를 증가시키고 비용문제가 야기 된다. 이러한 문제점을 개선하기 위해서 전력증폭기의 효율 개선이 요구된다.

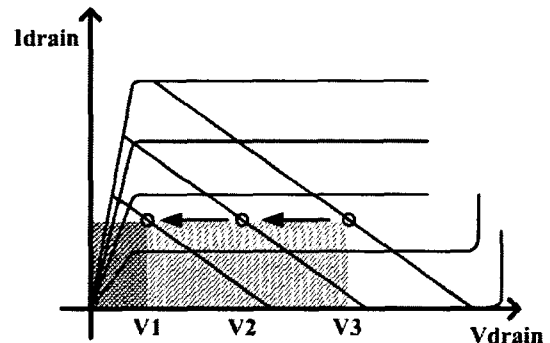
QPSK와 같이 시간에 따라 포락선이 변하는 신호와 OFDM과 같은 다중 반송파 신호는 PAPR (Peak-to-Average Power Ratio)이 높다. 전력증폭기는 신호의 최고값까지 선형적으로 증폭할 수 있도록 고정된 높은 드레인 바이어스를 요구한다. 고정된 드레인 바이어스는 <그림 1>과 같이 낮은 입력 신호에 전력 손실을 발생 시킨다.



<그림 1> 증폭기의 전력 손실 [1]

낮은 입력 신호에 대한 효율 저하를 막기 위해 제안된 포

락선 추적 방식은 입력신호에 따라 드레인 바이어스를 변화 시킴으로써 전력 증폭기의 효율을 증가 시킨다. 드레인 바이어스 변화에 대한 전력 손실의 변화는 <그림 2>와 같다. 낮은 신호의 경우에는 드레인 전압이 낮아질수록 전력 손실이 감소하는 것을 알 수 있다.



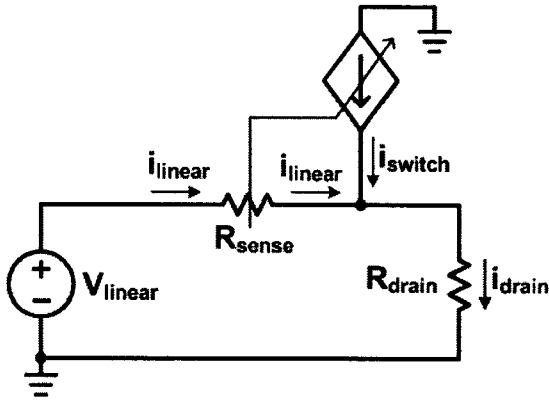
<그림 2> 드레인 바이어스 변화에 대한 전력 손실 [2]

II. DC-DC converter

일반적으로 포락선 추적방식은 드레인에 입력에 따라 변화하는 전압과 전류를 공급하기 위해 고효율의 DC-DC converter를 전력증폭기에 사용한다. 드레인에 공급원으로 사용되는 DC-DC converter는 전력증폭기 전체 효율에 영향을 미치기 때문에 효율이 높아야 한다. 일반적으로 PWM(Pulse Width Modulation) 방식을 사용하여 구현 된다. 그러나 PWM 방식을 사용하게 되면 스위치로 사용되는 소자의 스위칭 속도의 한계로 인해 대역폭이 제한되어 광대역(WCDMA 1FA : 5 MHz) 신호에 적용할 수 없게 된다. 뿐만 아니라 리플 전압이 발생하여 DC-DC converter 출력 신호의 선형성이 감소된다.

1. 새로운 구조의 DC-DC converter

새로운 구조의 DC-DC converter는 <그림 3>과 같이 표현되며 선형 영역의 선형성과 스위칭 영역의 높은 효율특성을 모두 이용하기 위한 구조이다.



<그림 3> DC-DC converter의 개념적인 회로

증폭기의 드레인으로 들어가는 전류 i_{drain} 은 선형 영역에서 나오는 전류 i_{linear} 와 스위칭 영역에서 나오는 전류 i_{switch} 의 합으로 식 (1)과 같이 표현 할 수 있다.

$$i_{drain} = i_{linear} + i_{switch} \tag{1}$$

i_{switch} 가 i_{linear} 에 비례한다고 가정하면

$$i_{switch} = k i_{linear} \tag{2}$$

$$i_{drain} = (1+k) i_{linear} \tag{3}$$

k 값이 매우 크다고 가정하면

$$i_{drain} \approx k i_{linear} = i_{switch} \tag{4}$$

식 (1)~(4)를 통하여 매우 큰 값의 $k = i_{switch} / i_{linear}$ 를 매우 작게 만들 수 있다는 것을 알 수 있다. i_{linear} 는 효율이 낮은 선형 영역에서 공급되기 때문에 DC-DC converter의 효율을 높이기 위해서는 i_{linear} 를 최소화 하거나 k 값을 크게 해서 효율이 높은 스위칭 영역의 전류 i_{switch} 를 최대화해야 한다. 그러므로 DC-DC converter에서 고효율을 얻기 위해서는 i_{switch} 를 i_{linear} 보다 충분히 크게 해야 한다. [3]

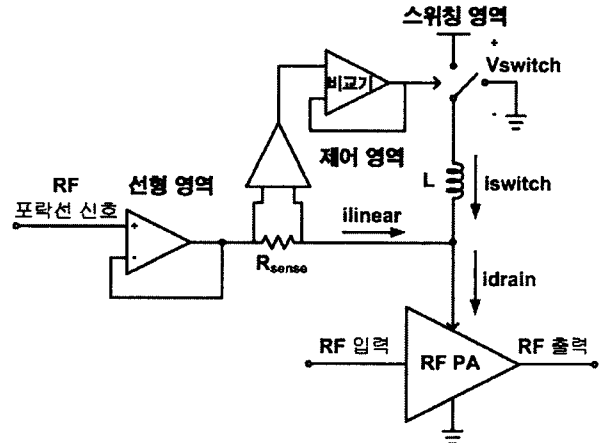
2. DC-DC converter의 동작

DC-DC converter의 영역별 역할을 정리하면 다음과 같다.

- 스위칭 영역에서 대부분의 전류 공급
- 선형 영역은 스위칭 영역에 의해 생기는 왜곡을 보상하는

리플 전류 공급

- 스위칭 영역은 증속 전류원으로 동작
- 선형 영역은 독립 전압원으로 동작
- 선형 영역에 의해 높은 충실도 구현
- 스위칭 영역에 의해 고효율 구현
- 선형 영역의 대역폭은 인덕터 L에 의해 발생하는 리플 전류를 빠르게 보상하기위해 최대한 넓어야 함



<그림 4> 포락선 추적 방식을 사용한 전력 증폭기

<그림 4>에서 RF 포락선 신호가 정현파라고 가정하면 입력이 증가할수록 선형영역에서 나오는 전류도 증가하게 된다. 증가된 전류는 R_{sense} 양단의 전압을 높게 된다. R_{sense} 전압의 변화는 비교기의 입력으로 사용된다. 비교기의 입력 전압이 상한 임계값을 넘게 되면 비교기의 출력으로 V1이 나오게 되고 스위치는 ON이 된다. 스위치가 ON 되어 있는 동안 인덕터 L에 흐르는 전류가 증가하게 되고 선형 영역에서 나오는 전류는 감소하게 된다. 스위칭 영역에서 나오는 전류는 선형영역에서 나오는 전류가 0이 될 때까지 전부 드레인 으로 들어가게 되고 선형 영역에서 나오는 전류가 0이 되면 스위칭 영역에서 나오는 전류의 초과분은 선형 영역으로 들어가게 된다. 반대 방향으로 흐르는 선형 영역의 전류에 의해 R_{sense} 양단의 전압은 떨어지게 되고 이것은 다시 비교기의 입력으로 들어간다. 비교기 입력 전압이 하한 임계값을 넘게 되면 출력으로 V2가 나오게 되고 스위치는 OFF 된다. 이때 스위칭 영역에서 나오는 전류는 감소하게 되고 리플을 보상하기 위해 선형 영역의 전류는 증가하게 된다. DC-DC converter는 이러한 방식으로 ON-OFF 동작을 반복한다.

III. 설 계

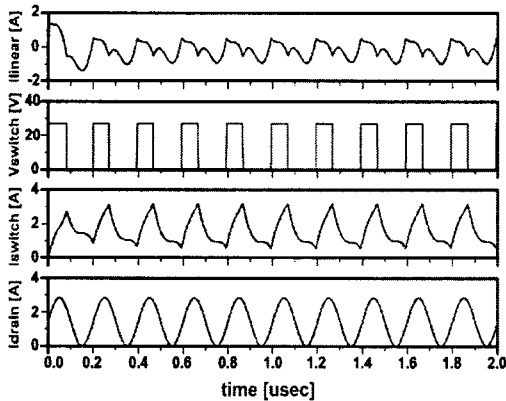
DC-DC converter와 전력 증폭기의 설계는 Agilent의 ADS 2005A (Advanced Design System 2005A)를 사용하였다.

1. DC-DC converter의 설계

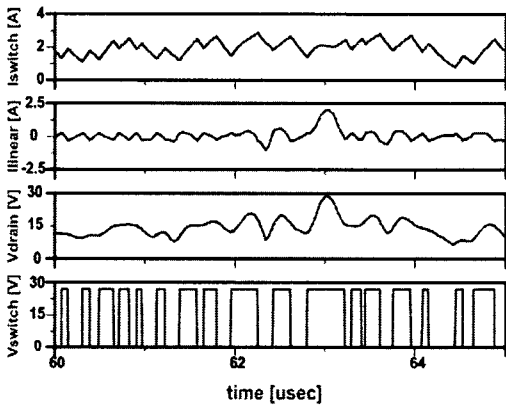
선형 영역과 제어 영역에 이상적인 연산 증폭기를 사용하

였고 스위칭 영역은 이상적인 스위치를 사용하였다. <그림 5>와 <그림 6>에 정현파와 변조 신호(WCDMA)에 대한 DC-DC converter의 각 영역별 파형을 나타내었다.

스위칭 영역에서 나오는 전류의 리플성분이 선형 영역에서 나오는 전류로 보상되어 드레인으로 정현파가 출력되는 것을 확인 할 수 있다. 또한 선형 영역의 출력 전류로 인해 스위치가 ON-OFF 되어 스위칭 영역에서 전류가 만들어 지는 것을 확인할 수 있다.



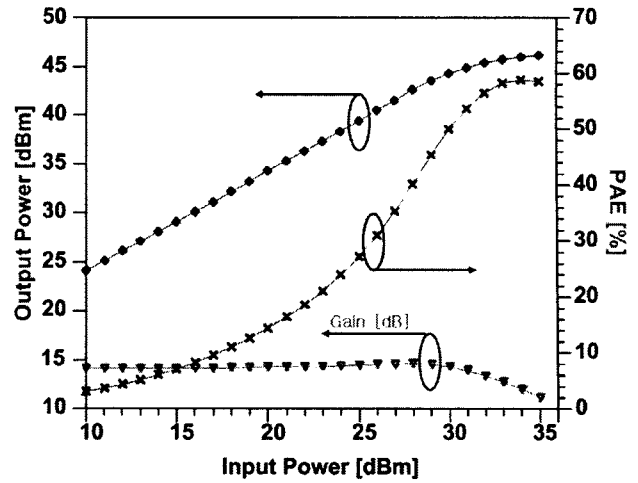
<그림 5> 정현파 입력에 대한 영역별 파형



<그림 6> WCDMA 신호 입력에 대한 영역별 파형

2. 전력 증폭기의 설계

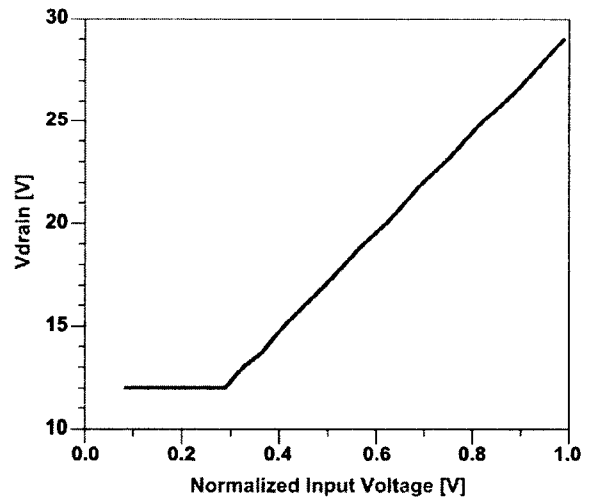
Freescale의 중심 주파수 2.14 GHz 대역 30W급 MRF21030 소자를 사용하여 AB급 전력 증폭기를 설계했다. 효율과 최대 출력을 고려해 비선형 소자 모델을 사용하여 Source-pull과 Load-pull 시뮬레이션을 수행 하였으며 source와 load의 최적 임피던스를 찾았다. 입력단은 19.4-j23.2 Ω, 출력단은 4.8-j2.8 Ω으로 정합 회로를 구현하였다. 시뮬레이션 결과 1 dB 압축 점 45.4 dBm에서 56.5 %의 전력 부가 효율과 10 dB 백-오프 지점에서 16.5 %의 전력 부가 효율을 얻었다. <그림 7>에 전력 증폭기의 출력 전력, 효율, 이득 관계를 나타냈다.



<그림 7> 전력 증폭기의 출력전력, 전력 부가 효율, 이득

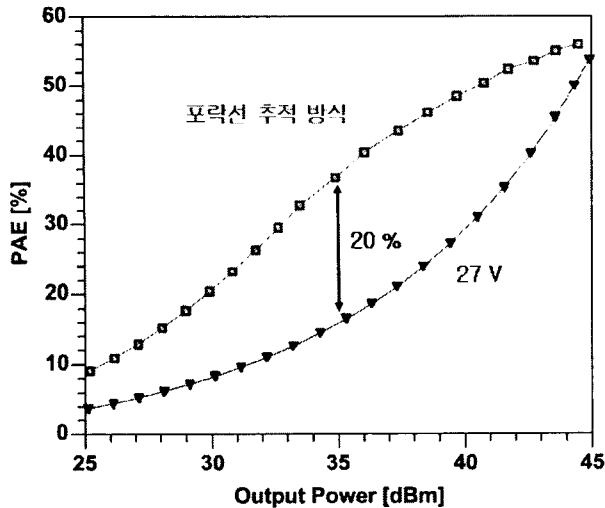
IV. 포락선 추적 방식을 사용한 RF 전력증폭기

DC-DC converter의 입력과 출력의 관계는 <그림 8>과 같다. RF 포락선 신호의 크기와 드레인 전압의 크기가 비례할 경우 낮은 입력에 대해 드레인 전압이 낮아져 출력 전력이 감소하게 된다. 이렇게 되면 낮은 입력에 대해 효율이 감소되기 때문에 정규화된 포락선 신호의 크기 0.3까지는 12 V의 드레인 전압이 나오도록 설계하였다. 일정 크기 이상에서는 입력에 비례한 드레인 전압이 나오도록 하였다.



<그림 8> DC-DC converter의 입력과 출력

<그림 9>에서 1-tone 신호로 시뮬레이션을 실행한 효율 특성을 나타내었다. 10 dB 백-오프 지점에서 27 V의 고정된 드레인 바이어스를 갖는 전력증폭기 보다 20 %의 효율 향상을 얻을 수 있었다.



<그림 9> 포락선 추적 방식과 고정된 바이어스를 갖는 전력 증폭기의 효율 비교

WCDMA 신호로 시뮬레이션을 실행한 경우 평균 출력 전력 36 dBm에서 고정된 바이어스의 경우 20%, 포락선 추적 방식의 경우 41%의 전력 부가 효율을 나타냈다.

V. 결론

전력 증폭기의 효율 향상을 위해 포락선 추적방식을 사용하였다. 새로운 구조의 DC-DC converter를 이상적인 소자를 사용하여 설계하고 각 영역별 동작 파형을 확인하였다. RF 전력증폭기와 연결해 효율 특성을 확인한 결과 1-tone 신호의 경우 10 dB 백-오프 지점에서 20 %, WCDMA 신호의 경우 평균 출력 전력 36 dBm에서 21 %의 효율 향상을 나타냈다.

VI. 감사의 글

본 연구는 정보통신부 및 정보통신 연구진흥원의 대학 IT연구센터 지원사업의 연구결과로 수행되었음.

참고문헌

1. Hanington, G., Chen, P.F., Radisic, V., Itoh, T., Asbeck, P.M., "Microwave power amplifier efficiency improvement with a 10 MHz HBT DC-DC converter", IEEE MTT-S Microwave Symposium Digest vol. 2, pp. 589-592, June 1998
2. Asbeck, P., Larson, L., Kimball, D., Yu Zhao, Feipeng Wang, Dongjiang Qiao, "High Dynamic Range, High Efficiency Power Amplifiers for Wireless Communications", Bipolar / BiCMOS Circuits and Technology Meeting, pp. 103-107, Oct 2005

3. Nam-Sung Jung, Nam-In Kim, Gyu-Hyeong Cho, "A New High-Efficiency and Super-Fidelity Analog Audio Amplifier with the aid of Digital Switching Amplifier : Class K Amplifier", Power Electronics Specialists Conference vol. 1, pp. 457-463, May 1998
4. S. C. Cripps, *RF Power Amplifier for Wireless Communications*, Norwood, MA : Artech House, 1999.
5. P. B. Kenington, *High-Linearity RF Amplifier Design*, Norwood, MA : Artech House, 2000