

# PCSNIM 기법을 이용한 ITS용 CMOS 저잡음 증폭기 설계에 관한 연구

PCSNIM CMOS Low Noise Amplifier for ITS Application

김태원

(광운대학교, 석사과정)

박준서

(광운대학교, 석사과정)

신이주

(광운대학교, 박사과정)

김복기

(광운대학교, 교수)

Key Words : PCSNIM, ITS, DSRC, LNA

## 목 차

I. 서론

II. 특성 및 설계

III. 모의실험

IV. 결론

참고문헌

## I. 서론

지능형 교통시스템(ITS, Intelligent Transport System)은 최근 급속히 발달하는 컴퓨터, 전자, 통신 등의 첨단기술을 활용하여 시시각각으로 변화하는 교통체계의 운영 및 이용 상황을 즉시 파악하여 최적화함으로써, 기존 교통시설 이용의 효율성을 극대화하는 것이 그 개념이다.

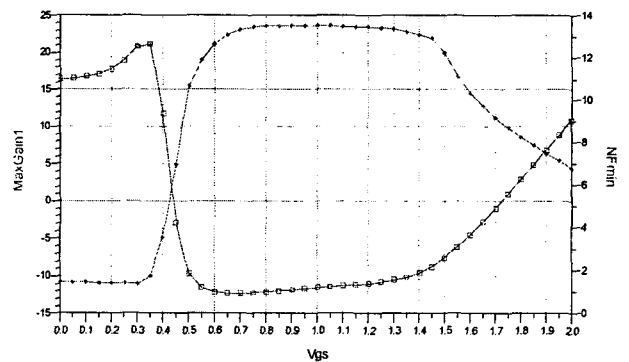
ITS는 움직이는 자동차를 대상으로 교통정보를 수집하고 이를 분석, 가공하여 각종 서비스를 제공하기 때문에, 가장 핵심적인 기술 분야의 하나가 무선통신기술이라 할 수 있다. 이러한 무선통신기술 중 대표적인 기술이 DSRC(Dedicated Short-Range Communication)라 할 수 있다. DSRC는 일명 단거리전용통신이라 하며, 이동하는 차량과 노변장치간의 고속무선패킷통신을 통해, 다양한 ITS 서비스를 제공할 수 있는 핵심 기술이다.

본 논문에서는 TSMC 0.18 $\mu$ m CMOS 공정을 이용해서 최소잡음지수와 최대이득을 얻을 수 있는 여러 가지 방법중 PCSNIM(Power Constrained Simultaneous Noise and Input Matching) 기법을 이용해서 LNA를 설계 하였다.

## II. LNA 설계

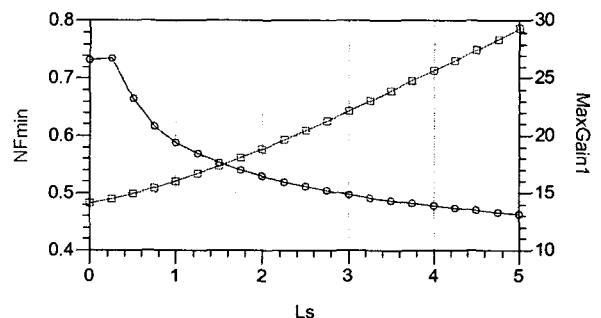
### 1. CMOS - FET 의 최소 잡음지수 및 최대 이득

회로도에서  $V_{gs}$  를 변화 하면서 최대이득과 최소잡음지수를 살펴보면, 최대이득을 나타내는 바이어스와 최소잡음지수를 나타내는 바이어스 전압은 동시에 만족하지 못하므로 적절한 값을 설정해야 한다. MOSFET의 Threshold Voltage를 넘어서 0.5 V의  $V_{gs}$  전압부터 비교적 낮은 최소잡음지수와 높은 이득을 나타내는 것을 그림 1. 에서 알 수 있다. 따라서 본 논문에서는  $V_{gs}$  를 0.65 V로 결정하였다.



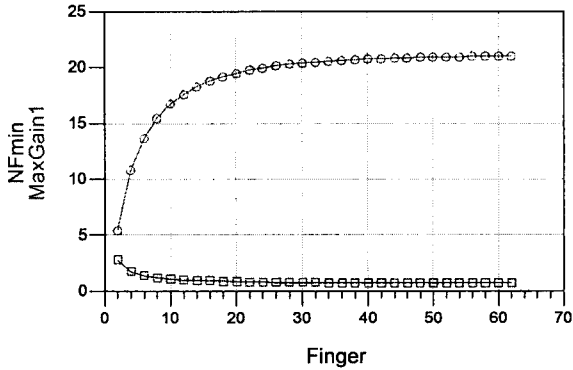
<그림 1>  $V_{bias}$  에 따른 최대이득 과 최소잡음지수

그림 2. 는 Source degeneration inductor의 값을 0 nH 에서 5 nH 까지 증가시키며 모의실험 한 결과로서, Inductor의 값이 커지게 되면 최대이득이 낮아지고, 최소잡음지수가 커지는 것을 볼 수 있다. 하지만 Source degeneration inductor를 사용하지 않았을 경우 Stability Factor K 값이 1 이하가 되어 시스템이 불안정 하게 된다. 따라서 적절한 값의 Inductor를 사용해야 하는데, Bonding wire inductor와 기생성분을 고려해서 0.6 nH 정도의 Inductor를 사용하기로 결정 하였다 [2].



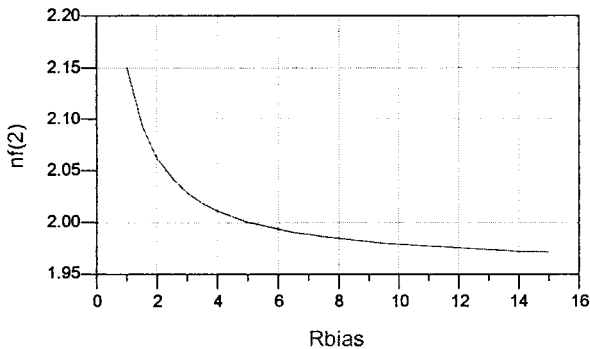
<그림 2> Source degeneration inductor에 따른 최대이득과 최소잡음지수 특성

그림 3.에서는 FET의 Total width에 따른 최대이득과 최소 잡음지수를 나타낸다. FET의 Unit width를 고정하고, Finger를 변화시키에 따라 gm 이 증가하고, 이로 인해 최대이득이 증가하고 최소잡음지수가 작아지는 것을 볼 수 있다. 하지만 Finger가 커지게 되면 Total width 가 커질수록 전류소모역시 커지게 되므로 적절한 크기의 Finger를 결정하여야 한다.



<그림 3> FET의 Width 변화에 따른 최대이득과 최소잡음지수 특성

그림 4.는 Vgs의 바이어스 저항의 크기에 따른 최소잡음지수를 나타내는데 10 kΩ 이상부터 비교적 낮은 잡음지수를 유지하므로 바이어스 저항은 10 kΩ으로 결정하였다 [3].

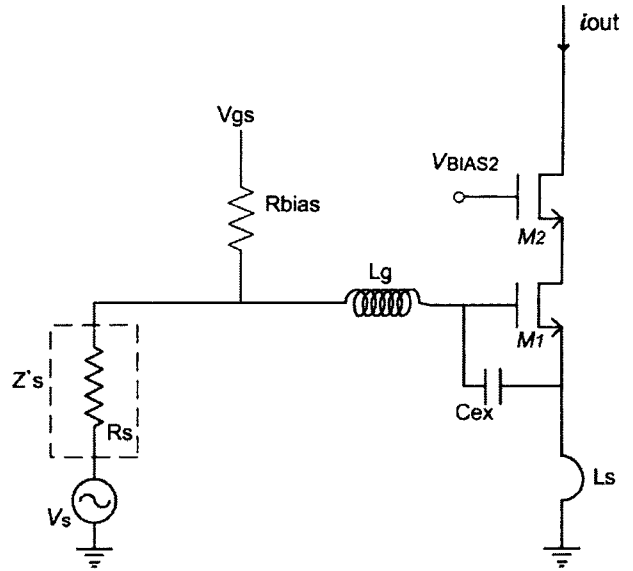


<그림 4> 바이어스 저항의 크기에 따른 최소잡음지수

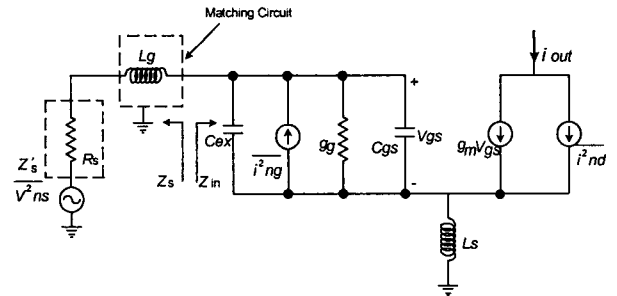
### III. 모의 실험

#### 1. 설계한 CMOS LNA

앞에서 언급한 특성을 고려하여 그림 5.와 같이 LNA의 구조 및 FET의 크기, 바이어스 전압, Source Inductor등을 결정하였다. 출력단의 Impedance가 커서 큰 이득을 갖는 Cascode 구조이며, 입력단의 정합은 DC block capacitor와 On-chip spiral inductor를 사용하였으며, Vgs 전압은 0.65V, Rbias는 10 kΩ으로 설계하였다. Source degeneration inductor는 기생 성분과 Bonding wire inductor를 고려하여 0.6 nH를 삽입하여 모의실험을 하였고, 낮은 소모전류와, 작은 Ls 값을 위해 Gate source capacitor Cex를 삽입하였다.



<그림 5> 설계한 LNA 회로도



<그림 6> 설계한 LNA의 Small-signal equivalent circuit

$$F = 1 + \frac{1}{g_m^2 R_s} \left\{ \begin{aligned} & \gamma \delta d \left[ 1 + s C_g (s L_g + s L_s) \left( 1 + |d| \alpha \sqrt{\frac{\delta}{\gamma}} \right)^2 \right]^2 \\ & - (s C_g R_s)^2 \left( 1 + |d| \alpha \sqrt{\frac{\delta}{\gamma}} \right)^2 \\ & - \frac{\alpha \delta}{5} (1 - |d|^2) g_m (s C_g)^2 (R_s^2 - s L_s^2) \end{aligned} \right\} \quad (1)$$

$$F_{\min} = 1 + \frac{2}{\sqrt{5}} \frac{w}{w_t} \sqrt{\gamma \delta (1 - |d|^2)} \quad (2)$$

$$Z_{opt} = \frac{\alpha \sqrt{\frac{\delta}{5\gamma(1-|d|^2)}} + j \left( \frac{C_t}{C_g} + |d| \alpha \sqrt{\frac{\delta}{5\gamma}} \right)}{w C_g \left( \frac{\alpha^2 \delta}{5\gamma(1-|d|^2)} + \left( \frac{C_t}{C_g} + |d| \alpha \sqrt{\frac{\delta}{5\gamma}} \right)^2 \right)} - s L_s \quad (3)$$

$$R_n = \frac{\gamma}{\alpha} \cdot \frac{1}{g_m} \quad (4)$$

$$C_t = C_{gs} + C_{\alpha} \quad (5)$$

$$Z_{in} = s L_s + \frac{1}{s C_t} + \frac{g_m L_s}{C_t} \quad (6)$$

$$L_s \approx \frac{\alpha \sqrt{\frac{\delta}{5\gamma(1-|d|^2)}}}{w w_t C_t} \quad (7)$$

Cex를 추가할 때와 추가하지 않을 때의 차이는, (3)의 Zopt와 (6)의 Zin에서 허수(Imaginary) 성분은 흡사하지만 실수

(Real) 성분이 다르며, (2)의 Fmin 과 (4)의 Rn 은 Cex 를 추가하기 전과 변함이 없다. 다시 말하면 잡음과 입력정합을 동시에 하기 위해서는 (8) ~ (11) 의 조건을 만족해야 하는데, LNA는 낮은 잡음지수를 가져야 하므로 입력정합 보다 잡음정합에 맞게 정합한다. 따라서 (10)과 (11)중 (11)을 무시할 수 있다. 그렇게 되면 4 개의 Unknowns (Vgs, Cgs, Ls, Cex)를 가지고 (8) ~ (10) 3 개의 식을 계산할 수 있다.

$$Z_{opt} = Z_{in}^*$$

$$Re\{Z_{opt}\} = Re\{Z_s\} \quad (8)$$

$$Re\{Z_{in}\} = Re\{Z_s\} \quad (9)$$

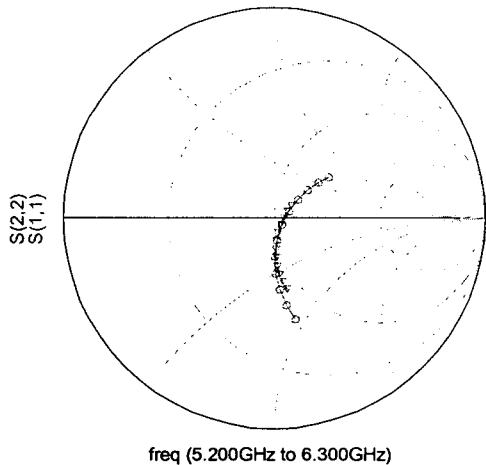
$$Im\{Z_{opt}\} = Im\{Z_s\} \quad (10)$$

$$Im\{Z_{in}\} = Im\{Z_s\} \quad (11)$$

또한 Cex 를 사용함으로써 인해 Ct 가 증가하고, 이로 인해 Ls 가 작아지는 것을 (7) 을 통해 확인할 수 있다 [4].

## 2. LNA 모의실험 결과

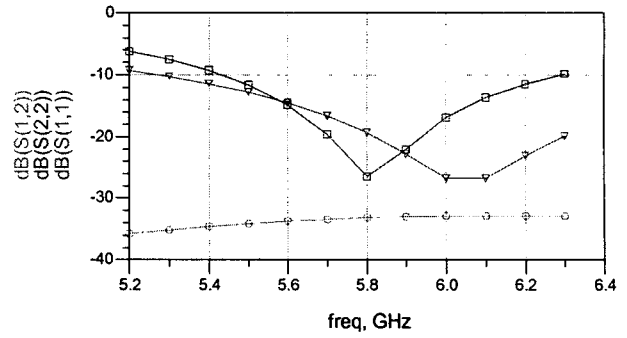
본 논문에서는 Agilent 사의 Advanced Design System (ADS) 2005A 설계 툴 을 이용해서 TSMC 0.18 $\mu$ m CMOS 공정변수를 사용해서 모의실험 하였으며, 그림 5. 에서 입-출력 단의 정합은 On-chip spiral inductor 와 DC block 겸용의 Capacitor를 사용 하였다.



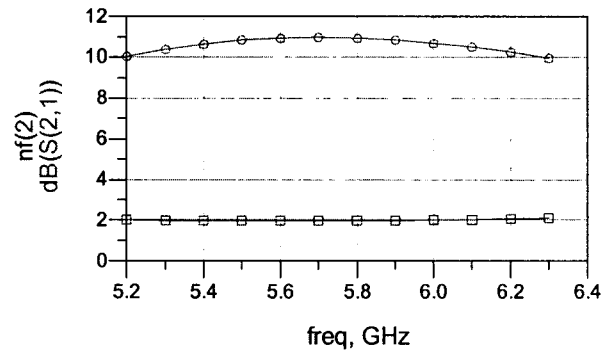
<그림 7> 설계한 LNA 의 S<sub>11</sub> & S<sub>22</sub>

그림 7. 에서 나타나듯이 입력반사계수 (S11)와 출력반사계수 (S22)를 5.8 GHz 에서 50 $\Omega$  근처로 정합을 하였다.

그림 8. 은 주파수에 따른 S-Parameter를 dB 단위로 나타내었다. 입력반사계수 (S11)가 5.8 GHz 에서 -19.3 dB 임을 확인할 수 있으며, 출력반사계수 (S22) 는 5.8 GHz 에서 -26.4 dB 임을 확인할 수 있다. 역방향격리도 (S12)은 5.8 GHz 에서 -33 dB 를 유지한다.



<그림 8> 설계한 LNA 의 S<sub>11</sub> & S<sub>22</sub> & S<sub>12</sub>



<그림 9> 설계한 LNA의 NF & S<sub>21</sub>

그림 9. 는 설계한 LNA 의 잡음지수와 이득 (S21)을 나타내었다. 잡음지수는 1.98 dB 의 값을 갖는 것을 확인할 수 있으며 이득은 5.8 GHz 에서 10 dB 이상임을 확인할 수 있다.

LNA 에서 입력정합과 같은 개념으로 정재파비를 측정하게 되는데 보통 2 이하의 값으로 설계를 한다. 모의실험 한 LNA 의 정재파비는 1.24 의 값을 나타내었다.

그림10. 에서는 설계된 LNA의 1차항 (Fundamental)과 IM3 성분에 해당하는 직선들을 도시하였다. 1차항 (Fundamental) 성분과 IM3 성분이 선형성을 유지하는 가상의 직선에서 서로 교차했을 때, 그 교점의 좌표를 3rd Intercept Point (IP3) 라고 정의한다.

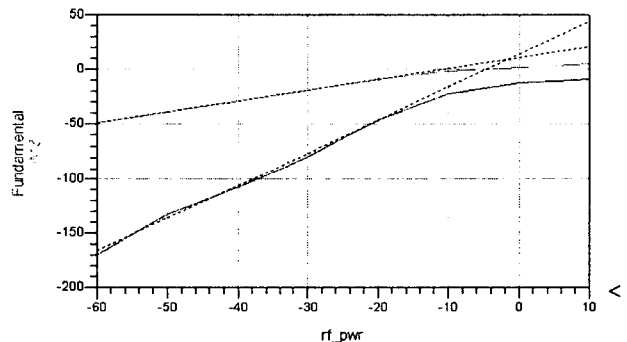


그림 10> 설계한 LNA의 Fundamental & IM3

LNA 에서는 IIP3 (3rd input intercept point)가 중요한데 설계된 LNA의 IIP3는 그림 10 에서 보는 것과 같이 -1.5 dBm 의 값을 얻을 수 있다. 비선형 증폭기에서 중요한 또 다른 요

소 중 1dB compression point인 P1dB 는 -11.0 dBm 이다 [6].

LNA 의 안정성을 고려해 볼 때 무조건적 안정도를 나타내는 지표로서 Stability Factor K 가 1보다 커야 무조건 안정에 속하고, 그렇지 못할 경우 LNA가 발진할 가능성이 있다. 일반적으로 사용주파수의 10배 이상의 주파수까지 1보다 크게 설계를 하는데 본 논문에서는 100 GHz 까지 의 안정도를 살펴 보았다. Stability Factor K 값이 모든 주파수 영역에서 1 보다 크므로 발진할 가능성이 없는 것을 확인할 수 있다 [7].

#### IV. 결론

이상으로 CMOS 0.18 $\mu$ m LNA 에 대한 기본적인 이론과 모의실험 결과를 살펴보았다. 본 논문에서는 LNA 설계에 있어 Vgs 전압, Source inductor, 바이어스 저항에 따른 최대이득과 최소잡음지수에 대한 관점에서 접근하는 방법과, 작은 값의 Source inductor를 위해 Gate source capacitor Cex, 에 대해 분석하였다.

표 1. 에서 보는바와 같이 분석 결과로는 5.8 GHz 대역의 DSRC 에서 사용하는 LNA 용으로 1.8 V 의 전원을 사용하고, 2.73 mA 의 전류가 흘러 4.91 mW 의 전력을 소모하였고, 10 dB 이상의 이득과 1.98 dB 의 의 잡음지수를 확인하였다. IIP3 와 P1dB 는 각각 -1.5 dBm 과 -11.0 dBm 으로 선형적인 측면에서는 평범한 결과를 보였지만, 입력반사계수 (S11) 와 정재파비 특성은 각각 -19dB 와 1.24의 양호한 특성을 보였다.

<표 1> 모의실험 결과

Parameter	모의실험 결과
Technology	TSMC 0.18 $\mu$ m CMOS
공급 전압 (V)	1.8
사용 주파수 대역 (GHz)	5.8
입력반사계수 S11 (dB)	-19.3
출력반사계수 S22 (dB)	-26.4
역방향이득 S12 (dB)	-33
이득 S21 (dB)	10.9
잡음지수 (dB)	1.98
IP3 (dBm)	-11
P1dB (dBm)	-1.5
소모 전류 (mW)	4.91
정재파비	1.24

#### 참고문헌

1. B. Razavi, "Design of Analog CMOS Integrated Circuits". Mc Graw Hill, 2001
2. D. K. Shaeffer, Thomas H. Lee, "A 1.5-V, 1.5-GHz CMOS Low Noise Amplifier" IEEE J. Solid-state Circuits. Vol.32, pp. 745-758, May 1997
3. RERC ICU 부설연구센터 "CMOS RFIC 설계학교(실습교육 시뮬레이션), 2004
4. Trung-Kien Nguyen, and Sang-Gug Lee, "A Power Constrained Simultaneous Noise and Input Matched Low Noise Amplifier Design Technique", IEEE International Symposium on Circuits and Systems (ISCAS 2004), pp. IV281-284, Vancouver, Canada, May, 2004
5. Trung-Kien Nguyen, Nam-Jin Oh, Huyng-Chul Choi, Kuk-Ju Ihm, Sang-Gug Lee, "CMOS Low Noise Amplifier Design Optimization Technique", IEEE International Midwest Symposium on Circuits and Systems (MWSCAS'04), pp. I.185-I.188 , Hiroshima, Japan, Jul. 2004
6. T. H. Lee, The Design of CMOS Radio-Frequency Integrated Circuits, Cambridge Univ., 2004
7. B. Razavi "RF Microelectronics", Prentice Hall PTR 1997