

# N<sub>2</sub>O 플라즈마 전처리와 엑시머 레이저 어닐링을 통한 150° C 공정의 실리콘 산화막 게이트 절연막의 막질 개선 효과

김선재, 한상면, 박중현, 한민구

## High quality SiO<sub>2</sub> gate Insulator with N<sub>2</sub>O plasma treatment and excimer laser annealing fabricated at 150° C

Sun-Jae Kim, Sang-Myeon Han, Joong-Hyun Park and Min-Koo Han

**Abstract** - 플라스틱 기판 위에 유도 결합 플라즈마 화학적 기상 증착장치 (Inductively Coupled Plasma Chemical Vapor Deposition, ICP-CVD)를 사용하여 실리콘 산화막 (SiO<sub>2</sub>)을 증착하고, 엑시머 레이저 어닐링 (Excimer Laser Annealing, ELA)과 N<sub>2</sub>O 플라즈마 전처리를 통해, 전기용량-전압(Capacitance-Voltage, C-V) 특성과 항복 전압장 (Breakdown Voltage Field)과 같은 전기적 특성을 개선시켰다. 에너지 밀도 250 mJ/cm<sup>2</sup>의 엑시머 레이저 어닐링은 실리콘 산화막의 평탄 전압(Flat Band Voltage)을 0V에 가까이 이동시키고, 유효 산화 전하밀도 (Effective Oxide Charge Density)를 크게 감소시킨다. N<sub>2</sub>O 플라즈마 전처리를 통해 항복 전압장은 6 MV/cm에서 9 MV/cm으로 향상된다. 엑시머 레이저 어닐링과 N<sub>2</sub>O 플라즈마 전처리를 통해 평탄 전압은 -9V에서 -1.8V로 향상되고, 유효 전하 밀도 (Effective Charge Density)는 400°C에서 TEOS 실리콘 산화막을 증착하는 경우의 유효 전하 밀도 수준까지 감소한다.

### 1. 서 론

엑시머 레이저 어닐링(ELA)을 통해 결정화된 저온 다결정 TFT는 플렉서블 기기 구현을 위한 플라스틱 기판에 적합한 소자로 주목받고 있다. TFT 제작시, 고온 공정은 플라스틱 기판을 변형시키므로, 최대 공정온도는 200도 이하로 유지하여야 한다. 그러나 200도 이하의 저온공정에서는 양질의 게이트 절연막을 형성시키기 어렵다. 150도 극저온 공정에서 형성되는 게이트 절연막은 높은 평탄 전압, 계면 트랩 전하와 C-V 곡선에서의 이력 현상(Hysteresis) 등을 비롯한 전기적 특성이 우수하지 못하다.[1] 본 연구의 목적은 ICP-CVD를 이용해, N<sub>2</sub>O 플라즈마 전처리와 ELA 처리를 하여 양질의 실리콘 산화막 게이트 절연막을 획득하는 것이다. 일반적으로 다결정 실리콘 TFT의 극저온 게이트 절연막을 증착하는 방법은 PECVD를 이용하는 것이다. 그러나 기존의 PECVD에서는 이온 충격 현상이 다양으로 발생해 게이트 절연막과 실리콘 박막간 계면 특성을 심각하게 열화시킨다고 보고된다. 그러므로, 이온 충격현상을 줄이기 위해 원격 플라즈마 방식을 적용한 ICP-CVD가 연구되고 있다. ICP-CVD로 증착된 절연막은 반도체 소자에서 게이트 절연막이나 패시비에이션 물질 등 다양한 용도로 사용된다.[2] 또한 ICP 방식은 표면 손상 없이 고밀도 플라즈마를 생성시키므로 양질의 실리콘 산화막이나 실리콘 질화막과 같은 절연막을 증착시키기 위해 널리 사용되어왔다.[3]

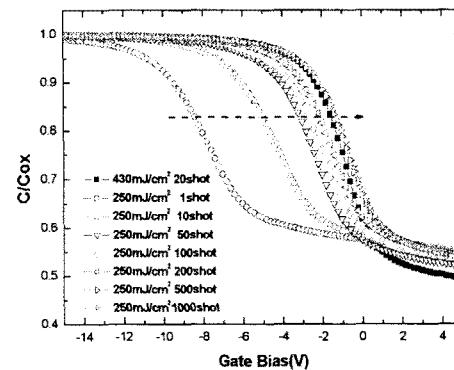
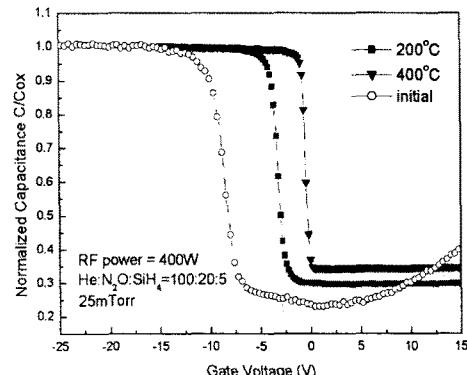
### 2. 본 론

#### 2.1 실험

150도, 50mTorr의 저온, 저압 공정으로 ICP-CVD를 사용해 실리콘 산화막을 증착하였다. 반응 가스는 SiH<sub>4</sub> 가스와 N<sub>2</sub>O 가스이며, 수송 가스로서 헬륨을 사용하였다. 가스 유량은 100:30:5 sccm(헬륨:산화질소 : 사일렌) 이었다. RF 전력은 400W 였다. 증착된 실리콘 산화막 상에 308 nm 파장의 XeCl ELA 처리를 하였다. 다음 실험으로, 실리콘 산화막 증착에 앞서 100W의 RF 전력으로 1분간의 N<sub>2</sub>O 플라즈마 전처리를 하였다. 모든 MOS 캐퍼시터는  $1 \times 10^{-15} / \text{cm}^3$ 으로 도핑된 p형 100 실리콘 웨이퍼 상에 제작되었으며 실리콘 산화막의 두께는 100Å로 증착하였다. 실리콘 산화막 증착 전에는 불화 수소 용액 세척을 하여 네이티브 산화막을 제거하였다. 증착된 실리콘 산화막에 대한 C-V 측정은 SSM-495 수온 게이트 시스템을 이용하여 수행하였다. 측정 주파수는 1 MHz로 하였다. C-V 곡선을 이용하여 평탄 전압을 측정하였다. 또한 실리콘 산화막을 형성한 화학적 결합을 적외선 분광법(FT-IR)을 이용하여 조사하였다.

#### 2.2 결과

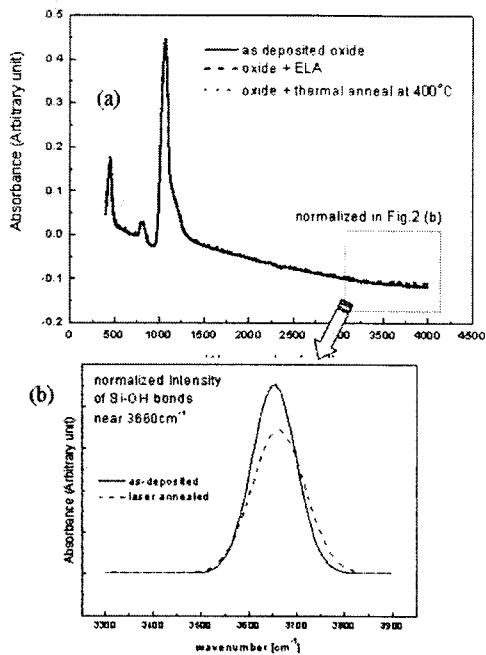
그림 1 (a)는 ICP-CVD에 의해 증착된 실리콘 산화막과 200도, 400도에서 각각 어닐링된 산화막의 C-V 특성을 보여준다. 그림 1 (a)에서 보이는 바와 같이, 400도 어닐링 이후, C-V 특성이 매우 향상되었는데, 이는 실리콘 산화막의 고정 전하와 계면 트랩 전하의



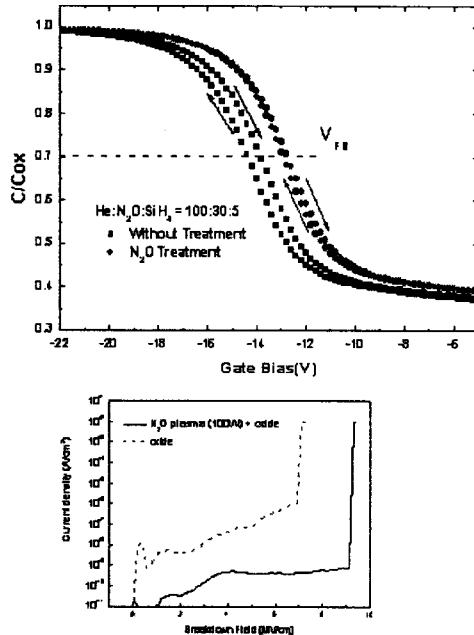
〈그림 1〉  
(a) 열 처리를 통한 실리콘 산화막의 C-V 특성 변화  
(b) 다양한 ELA 조사수에 따른 C-V 특성 변화

감소에 기인하는 것으로 판단된다.[4] 그러나 플라스틱 기판 공정에서는 고온의 어닐링이 불가능하다. 그러므로, 실리콘 산화막 상에 XeCl 엑시머 레이저 (ELA) 처리를 하는 방법이 제안되었다.[5] 선행연구에서 ELA 처리는 150도 공정 산화막의 C-V 특성을 향상시켰으나, 에너지 밀도가 430 mJ/cm<sup>2</sup>로, 탑 게이트 방식의 TFT 구조를 형성할 경우 실리콘 산화막 아래 다결정 실리콘 박막을 재결정화를 준다.[6] 따라서, 본 연구에서는 다결정 실리콘 박막을 재결정화하는 수준인 300~350 mJ/cm<sup>2</sup>보다 낮은 250 mJ/cm<sup>2</sup>의 에너지 밀도로 ELA를 조사하여 실리콘 산화막의 특성 변화를 평가하였다.

그림 1 (b)는 ELA 조사 수에 따른 실리콘 산화막의 C-V 특성을 보여준다. 조사수가 증가할수록, 실리콘 산화막의 평탄 전압은 0V 방향으로 이동한다. 250 mJ/cm<sup>2</sup> 세기의 ELA를 500회 조사한 경우, 430 mJ/cm<sup>2</sup> 세기로 20회 조사한 경우와 비슷한 특성이 나타났다. 평탄 전압은 각각 -2.04 V와 -1.95 V 있으며, 유효 산화 전하 밀도는 각각  $2.57 \times 10^{11} / \text{cm}^2$ 와  $2.76 \times 10^{11} / \text{cm}^2$ 였다. 그러나 ELA 조사수가 500회를 넘어감에 따라 조사수 증가에 따른 C-V 특성 개선효과는 줄어들었다. 이처럼 250 mJ/cm<sup>2</sup>의 낮은 에너지 밀도의 ELA 조사가 높은 에너지 밀도의 ELA와 비슷한 효과를 나타낸 것은 극저온 다결정 실리콘 TFT 공정에 있어서 상당한 의미를 가진다. 실리콘 산화막들의 특성 개선을 확인하기 위해 FT-IR 측정을 수행하였다. 그럼 2는 ELA 조사 여부에 따른 4000Å 두께의 실리콘 산화막의 IR 스펙트럼을 보여준다. 그림 2 (a)에서 보이는 바와 같이 모든 스펙트럼은 거의 비슷하다. 그러나 Si-OH 결합이 관찰되는 3660 cm<sup>-1</sup> 근처 파수에서는 차이점이 나타난다. 좀더 명확한 비교를 위해 400도에서 1시간동안 어닐링시킨 산화막을 표본으로 하여 스펙트럼들을 3300 cm<sup>-1</sup>에서 3900 cm<sup>-1</sup> 파수 대역에서 정규화시켰다.



〈그림 2〉 실리콘 산화막의 IR 스펙트럼  
(a) 전체 IR 스펙트럼  
(b) 정규화된 흡광도 차이

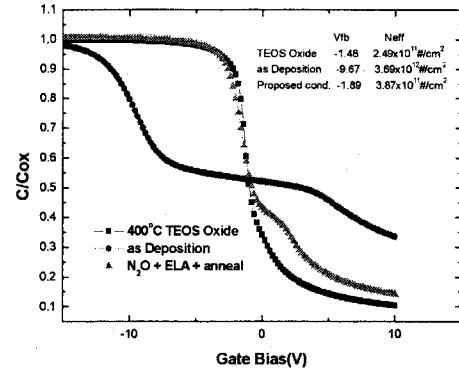


〈그림 3〉 N<sub>2</sub>O 플라즈마 처리 유무에 따른 C-V 특성과 항복 전압장 특성의 변화

그림 2(b)는  $3660\text{ cm}^{-1}$  근처의 자세한 스펙트럼들과 정규화된 흡수도 피크를 보여준다. ELA 처리를 한 실리콘 산화막의 경우 피크와 그것을 중심으로 한  $3660\text{ cm}^{-1}$  근처의 영역이 미세하게 감소함을 알 수 있다. 이는 ELA를 통해 수소 원자가 계면에서 빠져나가 계면 OH 결합이 줄어들고, 이로 인해 실리콘 산화막이 더 조밀해짐을 의미한다. 그러나 OH 결합이 관찰되는 피크는 여전히 존재하므로, 계면에서 OH 결합이 완전히 사라지지는 않았음을 알 수 있다.

그림 3 (a)는 실리콘 산화막에 대한 C-V 특성 측정을 통해 N<sub>2</sub>O 플라즈마 전처리 효과를 보여준다. 150도 실리콘 산화막 증착 전, 100 W의 RF 전력으로 ICP-CVD를 이용해 1분간의 N<sub>2</sub>O 플라즈마 전처리를 수행하였다. 그림 3 (a)에서 보는 바와 같이 평탄 전압은 1V ~ 1.2 V 감소하였으며, 이력 현상 특성 역시 향상되었다. 향상된 C-V 곡선은 실리콘 산화막과 실리콘 계면의 선행 산화 효과에 의한 것으로 생각된다. N<sub>2</sub>O에 의한 선행 산화는 계면의 산소 결핍으로 인한 결합 밀도를 줄이는 효과가 있다.<sup>[7]</sup> 이러한 실험 결과로부터, N<sub>2</sub>O 플라즈마 전처리는 격자 미스매치를 줄여, 음의 평탄 전압을 0V에 가깝게 끌어올리는 효과가 있다고 추론할 수 있다. 그림 4에서 보는 바와 같이, 항복 전압장 역시 7 MV/cm에서 9.5 MV/cm

으로 향상되었다. 증가한 항복 전압장은 N<sub>2</sub>O 플라즈마가 계면을 조절함으로서 실리콘 박막과 실리콘 산화막 간의 변이층의 두께를 줄이는 효과에 기인한 것으로 판단된다.<sup>[8]</sup> 또한 선행 산화 효과는 실리콘 리치 (silicon-rich) 산화막 두께를 줄임으로서 항복 전압장을 줄인다고 알려져 있다.



〈그림 4〉 C-V 특성 : ICP-CVD 150도 공정의 실리콘 산화막과 400도 공정의 TEOS 산화막, 그리고 N<sub>2</sub>O 플라즈마와 ELA 처리를 한 산화막

실리콘 산화막의 C-V 특성을 개선시키기 위해 N<sub>2</sub>O 플라즈마 전처리, ELA, 150도 저온 열처리 등이 시도되었다. 우선, N<sub>2</sub>O 플라즈마 전처리를 하였다. 다음으로, 150도에서 ICP-CVD를 이용하여 100 nm 두께의 실리콘 산화막을 증착하였다. 본 공정은 게이트 절연막 증착 전 발생할 수 있는 오염 가능성을 줄이기 위해 진공을 깨지 않고 연속으로 진행하였다. 그리고, ELA 처리를 하였으며 이후 150도에서 2시간동안 어닐링을 수행하였다. C-V 측정을 통해 실리콘 산화막의 특성 변화를 확인해보면, 우선 트랩 밀도는 한 숱수 이상 감소하였음을 확인할 수 있다. 또한 그림 4에서 확인할 수 있듯, 평탄전압은 9 V에서 1.8 V로 개선되었다. 평탄전압과 유효전하 밀도는 400도 공정의 TEOS 실리콘 산화막을 증착한 경우와 비슷한 정도의 특성을 보였다. 제안된 처리를 통해 게이트 산화막의 항복 전압장 역시 6 MV/cm에서 9 MV/cm로 향상됨을 확인하였다. C-V 특성에서 나타나는 이력현상 역시 개선되었는데, 이는 N<sub>2</sub>O 플라즈마 전처리를 통한 이동 전하 감소에 기인하는 것으로 판단된다.

### 3. 결 론

ICP-CVD를 사용하여 증착한 실리콘 산화막의 특성이 ELA와 N<sub>2</sub>O 플라즈마 전처리를 통해 개선되었다. 평탄전압은 9 V에서 1.8 V로, 항복 전압장은 6 MV/cm에서 9 MV/cm로 향상되었다. 이상의 결과를 통해 ICP-CVD를 사용한 실리콘 산화막 증착시, N<sub>2</sub>O 플라즈마 전처리와 ELA 처리를 통해 특성을 개선하여, 플렉서블 기판 등에 적용 가능한 극저온의 다결정 실리콘 TFT에 적합한 게이트 절연막을 획득할 수 있을 것으로 기대된다.

### 【참 고 문 헌】

- [1] K. Yuda, K. Sera, F. Uesugi, I. Nishiyama, F. Okumura, International Electron Devices Meeting (IEDM), San Francisco, USA, pp. 519-522, 1994.
- [2] Y. C. Chou, R. Lai, G. P. Li, Jun Hua, P. Nam, R. Grundbacher, H. K. Kim, Y. Ra, M. Biedenbender, E. Ahlers, M. Barsky, A. Oki, and D. Streit, IEEE Electron Device Lett., VOL. 24, NO. 1, pp.7-9, 2003.
- [3] J. W. Lee, K. D. Mackenzie, D. Johnson, J. N. Sasserath, S. J. Pearton, and F. Ren, J. Electrochem. Soc. 147(4), pp.1481-1486, 2000.
- [4] E. H. Nicollian, J. R. Brews, "MOS (Metal Oxide Semiconductor) Physics and technology", John Wiley and Sons, 1982.
- [5] S. H. Kang, M. C. Lee, K. C. Moon and M. K. Han, Mat. Res. Soc. Symp. Proc., Vol. 769, pp.207-212, 2003
- [6] H. Kuriyama, T. Nohda, Y. Aya, T. Kuwahara, K. Wakisaka, S. Kiyanma and S. Tsuda, Jpn. J. Appl. Phys., Vol. 33, No. 10, pp. 5657-5662, 1994.
- [7] Yong Woo Choi, Sang Won Park, and Byung Tae Ahn, Appl. Phys. Lett., Vol. 74, No. 18, pp.2693-2695, 1999.
- [8] D. W. Gao, Y. Kashiwazaki, and K. Muraoka, H. Nakashima, K. Furukawa, and Y. C. Liu, K. Shibata and T. Tsurushima, J. Appl. Phys. 82 (11), pp. 5680-5685, 1997.