

아날로그 병렬 처리 망을 이용한 비터비 디코더의 기준 입력 인가위치에 따른 성능 평가

Performance of the Viterbi Decoder using Analog Parallel Processing circuit with Reference position

김현정, 김인철, 이왕희, 김형석
(Hyunjung Kim, In-Cheol Kim, Wnag hee Lee, Hyongsuk Kim)

Abstract - A high speed Analog parallel processing-based Viterbi decoder with a circularly connected 2D analog processing cell array is proposed. It has a 2D parallel processing structure in which an analog processing cell is placed at each node of trellis diagram is connected circulary so that infinitively expanding trellis diagram is realized with the fixed size of circuits. The proposed Viterbi decoder has advantages in that it is operated with better performance of error corrections, has a shorter latency and requires no path memories. In this paper, the performance of error correction as a reference position with the Analog parallel processing-based Viterbi decoder is testd via the software simulation

Key Words : 동적 계획법, 병렬처리 망, 비터비 디코더

1. 서 론

데이터 통신이나 디스크 드라이브의 신호가 고속화 되면 신호의 왜곡 정도가 심해지기 때문에 위성통신, 디지털 통신 및 디스크 드라이브^[1] 등의 분야에서는 비터비 디코더^{[2][3]}를 여러 정정 목적으로 많이 사용하고 있다. 비터비 디코더는 수신된 이진 신호를 트렐리스 타이어그램상의 부호어와 수신 신호와의 차이를 계산하고 그 누적된 값의 최적 조건 검색 개념에 의하여 에러를 정정하므로 여러 정정 능력이 매우 우수하다.

비터비 디코더는 구현 방식으로 디지털 구현 방식이 있으나, 입력 신호를 즉시 고속의 A/D 변환을 하여 모든 연산을 디지털 회로에 의하여 처리하였다. 그러나 이러한 방식은 A/D 변환기의 성능에 의하여 여러 정정 속도가 제한되며, 고속의 데이터를 처리할 시 파워 소모가 매우 많아 칩의 수명을 단축시키는 결과를 초래할 수 있는 문제가 있다. 또한 디지털 비터비 디코더는 에러가 누적되어 최적의 경로를 추적하기 위한 역추적(back-tracking)과정이 필요하므로 디코딩 시간의 지연을 초래하게 되었다.

이에, 기존의 디지털 비터비 디코더의 연산 처리 셀을 아날로그 병렬처리 망을 이용하여 처리 하는 방식을 제안하였다. 제안한 아날로그 병렬처리 망을 이용한 비터비 디코더는 기존의 디지털 비터비 디코더의 연산 처리 과정을 완전 아날로그 병렬 처리 셀의 2차원 배열을 이용하여 사용함으로서,

path memory가 필요치 않으며, A/D 변환 없이 연산이 가능하므로 적은 전력 소모와 여러 정정 능력이 우수한 장점이 있다. 본 논문에서는 병렬 처리 셀을 이용한 PRML(Partial Response Maximum Likelihood)용 비터비 디코더에 대한 제안한 알고리즘에 대한 검증을 하였다.

2. PRML용 비터비 디코더 구조

PRML 기술은 자기 디스크에 데이터를 고밀도로 저장하기 위한 멀리 레벨 코딩 기법인데 최근 DVD 디스크나 차세대 DVD 디스크 등의 광 저장 매체에도 적용되고 있다. 광 디스크 드라이브의 채널 특징은 디스크 드라이브의 퍼업(Pick-up) 성능 등의 물리적인 특징으로 결정 된다^[4].

$$H(f) = \frac{2}{\pi} \left\{ \cos^{-1} \left(\frac{f}{f_c} \right) - \left(\frac{f}{f_c} \right) \sqrt{\left(1 - \frac{f}{f_c} \right)} \right\} \quad (1)$$

$$f_c = \frac{2NA}{\lambda} | \nu | \quad (2)$$

식 (1),(2)는 Trigonometric 모델의 일반적인 특성을 나타낸다. f_c , NA , λ , ν 는 각각 채널의 차단 주파수, 개구수, 파장, 선속도를 나타낸다. 이중 DVD용 디스크에 적합한 방법이 PR(a,b,b,a)로 식 (3)으로 표현 할 수 있다.

$$f(k) = a \times z_k + b \times z_{k-1} + b \times z_{k-2} + a \times z_{k-3} \quad (3)$$

이 전달함수를 그림 1과 같이 표현할 수 있는데 $s(k)$ 는 입력 신호의 code bit열이고, $f(k)$ 는 입력 신호에 의하여 생성된 출력 값이다. 입력 신호 열이 '-1'과 '1'로 구분됨으로 출력 레벨 $f(k)$ 는 '-6', '-4', '0', '+4', '+6'의 값을 갖게 된다.

저자 소개

- * 김현정 : 全北大學 電子情報工學部 博士課程
- * 김인철 : 全北大學 電子情報工學部 碩士課程
- * 이왕희 : 全北大學 電子情報工學部 碩士
- * 김형석 : 全北大學 電子情報工學部 教授 · 工博

3. 병렬처리 셀을 위한 동적 계획법

본 논문에서 제안한 비터비 디코더는 기준의 비터비 디코더들과 달리 그림 1의 트렐리스 다이어그램 상의 모든 노드에 아날로그 신호처리 셀을 배치한 완전 병렬 아날로그 비터비 디코더이다. 제안한 비터비 디코더의 기본연산은 단순화된 동적계획법으로 각 노드에서는 입력된 정보들 중의 최소값 계산을 통하여 목표점까지의 최소 오차 값을 계산한다. 즉, 노드 (k,l) 로부터 목표점에 이르는 최소 오차 값을 $D_{k,l}$ 라고 하고, 노드 (i,j) 와 (k,l) 사이의 오차 값을 $d_{ij,kl}$ 라고 할 때, 목적 점에서 노드 (i,j) 에 이르는 최소 오차 값 $D_{i,j}$ 는 인접한 노드 (k,l) 에 이르는 데 소요되는 오차값 $d_{ij,kl}$ 과 그 위치로부터 목표점에 이르는 최소 오차 값 $D_{k,l}$ 을 합한 값 중 최소값을 취하는 식 (4)과 같이 계산한다.

$$D_{i,j} = \min \{ D_{k,l} + d_{ij,kl} \mid (k,l) \in S \} \quad (4)$$

여기서, S 는 노드 (i,j) 의 인접한 노드들의 집합을 의미하여, \min 은 팔호안의 값들 중 최소값을 출력하는 함수를 나타낸다. 식 (4)을 비터비 디코더에 적용하기 위해서 $d_{ij,kl}$ 에 트렐리스 다이어그램상의 부호어와 수신된 심볼과의 차이값을 인가하고, 각 노드에 (4)식을 수행할 수 있는 연산 유닛을 배치하게 되면, stage가 진행함에 따라 각 노드에는 오차 값이 누적되는데 마지막 stage의 노드 중 최소값을 갖는 노드의 경로를 역 추적하여 디코딩을 수행하게 된다.

제안한 비터비 디코더는 식 (4)의 min연산을 수행하는 유닛을 각 노드에 배치하여 누적된 거리 값 중 최소의 값을 갖는 경로를 역추적하여 디코딩을 수행한다. 그러나 min연산 방식은 하드웨어 구현 시 많은 제약을 야기하고, 회로 또한 복잡하기 때문에 아날로그회로로 구현이 용이한 max회로를 이용하여 임의의 큰 값으로부터 거리 값을 감하여 최대값 연산을 취하는 방식을 선택하였다.

임의의 큰 기준값을 I_{ref} 라고 하고 I_{ref} 와 $D_{k,l}$ 의 차이값을 $y_{k,l}$ 라면, 식 (4)는 식(5)로 표현할 수 있다.

$$y_{k,l} = \max \{ y_{k,l} - d_{ij,kl} \mid (k,l) \in S \} \quad (5)$$

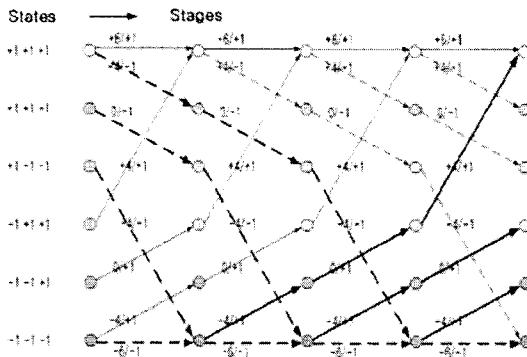


그림 1. PR(a,b,b,a)의 트렐리스 다이어그램

Fig. 1. Trellis diagram for the PR(a,b,b,a)

4. 제안한 병렬처리 셀을 이용한 비터비 디코더

제안한 비터비 디코더^[5]는 트렐리스 다이어그램의 각 노드에 최대값 연산을 수행하는 아날로그 신호처리 셀을 병렬로 배치한 구조이며, 그림 2와 같이 마지막 열의 셀들과 처음 열의 셀들을 연결한 순환형 구조이다.

그림 3은 그림 4의 순환형 구조를 펼친 전개도로 현재의 디코딩 stage를 지시하는 stage indicator, 디코딩 상태를 표시하는 state indicator, 아날로그 신호의 출력 회로 및 입력 capacitor로 구성되어있다. 제안한 비터비 디코더의 디코딩은 기준 입력 I_{ref} 가 한 스테이지에 인되고, 각각의 stage에 연결된 capacitor에 심볼이 저장되면 시작한다. 디코딩이 시작할 I_{ref} 의 초기 위치는 임의로 지정되지만, stage indicator의 순서에 의하여 다음 I_{ref} 의 위치가 정해진다. 인가된 I_{ref} 는 각 stage의 모든 셀에서 식 (5)의 연산을 통하여 마지막 stage로 전파된다. I_{ref} 가 마지막 stage로 전파된 후 디코딩 연산을 수행하는데, 본 논문에서 제안한 방식은 처음 열의 '0' 또는 '1'의 경로를 절단한 후 신호의 변화 여부를 검출하는 방식이다. 즉, 첫 번째 stage의 '0'의 경로를 절단한 후 신호가 인가되었을 때, 마지막 단의 출력 변화 여부 정도에 따라 '0' 또는 '1'으로 결정되는 원리이다.

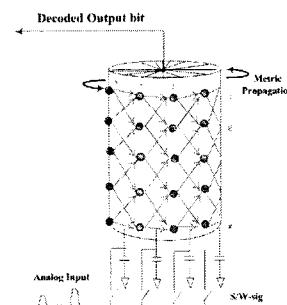


그림 2. 제안한 아날로그 비터비 디코더의 순환형 구조

Fig. 2. Circular parallel structure of the proposed Viterbi decoder.

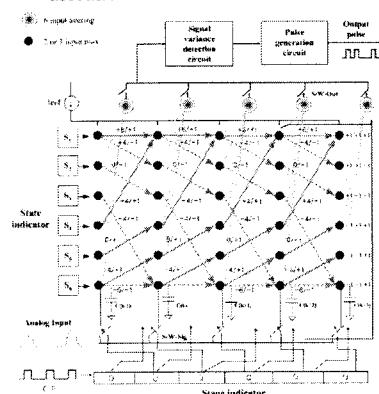


그림 3. 제안한 비터비 디코더 구조의 전개도

Fig. 3. Developed diagram of the proposed Viterbi decoder.

5. 시뮬레이션

병렬 처리 셀을 이용한 PRML(Partial Response Maximum Likelihood)용 비터비 디코더에 대한 제안한 알고리즘에 대한 검증을 하였다. 제안한 비터비 디코더의 성능을 검증하기 위하여 AWGN 채널의 노이즈를 가정하여 C언어를 이용한 소프트웨어 시뮬레이션을 수행하였다. 제안한 비터비 디코더의 stage수는 구속장의 크기보다 1 stage 많은 5개의 구속장을 구현하였다. 제안한 비터비 디코더는 최종 출력 단의 연산 방식을 평균값을 이용하였으며, 소프트웨어 시뮬레이션에 사용된 데이터의 개수는 100만개이며, 채널 잡음을 가정하여 인가하였다.

그림 4는 평균값 연산을 이용한 제안한 비터비 디코더의 시뮬레이션 결과로써 첫 번째 단의 셀에 인가되는 기준 레퍼런스의 크기에 따른 에러 정정 능력을 나타내고 있다. 제안한 아날로그 병렬 처리 비터비 디코더는 기존의 디지털 비터비 디코더보다 에러 정정 능력이 0.5dB 정도 개선을 할 수 있었으며, 임의의 큰 값 이상의 기준 레퍼런스를 인가하여도 정정 능력은 유사함을 확인 할 수 있었다. 그림 5는 기준 레퍼런스의 인가 위치에 따른 결과로써, 첫 번째 입력 위치의 처음 셀에 인가한 경우와 모든 셀에 인가하였을 경우의 성능 비교이다. 처음 셀에 레퍼런스를 인가하였을 경우 모든 셀에 인가한 경우 유사한 성능을 나타낸을 확인 할 수 있었다.

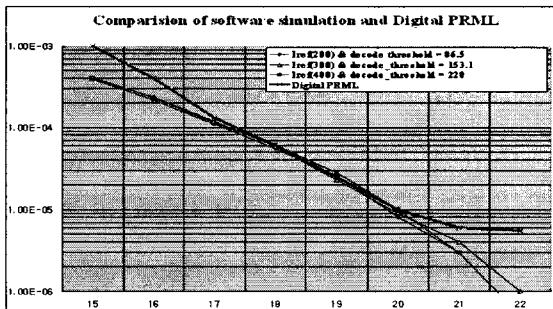


그림 4. 기준 레퍼런스의 크기에 따른 에러 정정 능력

Fig. 4. Performance of the proposed Viterbi Decoder with Reference value

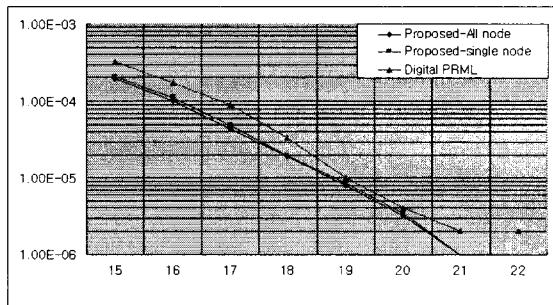


그림 5. 기준 레퍼런스의 위치에 따른 에러 정정 능력

Fig 5. Performance of the proposed Viterbi decoder with start point of the Reference value

6. 결론

아날로그 신호처리 셀을 이용하여 데이터 통신이나 마그네틱 디스크 리더의 에러 정정에 적용할 수 있는 순환형 구조의 비터비 디코더를 제안하였다. 제안한 비터비 디코더는 기존의 방식과는 달리 아날로그 신호처리 셀의 2차원 배열을 이용한 아날로그 병렬처리 방식으로, 여러 정정 능력이 기존의 비터비 디코더들에 비해 우수할 뿐만 아니라, 칩의 전력 소모도 적다는 특징이 있다.

본 논문에서는 제안한 비터비 디코더의 성능을 검증하기 위한 소프트웨어 시뮬레이션 결과 기존의 디지털 비터비 디코더에 비하여 17dB 노이즈 신호에서 약 0.5dB정도 우수한 성능을 보였다. 기준 레퍼런스의 인가 위치가 성능 저하에 영향을 주지 않아 하드웨어 구현 시 보다 간결화 할 수 있는 가능성을 확인 할 수 있었다.

감사의 글

“이 연구에 참여한 연구자는 2단계 BK21사업의 지원비을 받았음”

참 고 문 헌

- [1] T. W. Matthews, R. R. Spencer, "An integrated analog CMOS Viterbi detector for digital magnetic recording," IEEE J. Solid-State Circuits, vol. 28, pp. 1294-1302, Dec. 1993
- [2] G. David Forney, JR. "The Viterbi Algorithm," Proc. of the IEEE, vol. 61, No. 3, Mar. 1973.
- [3] Sung Han Choi, Jun Jin Kong, Byung Gook Chung, Yong Hwan Kim, "Viterbi Detector Architecture for High Speed Optical Storage", IEEE Region 10 Annual Conference, TECON '97., Speech and Image Tech. for Computing and Telecommunications, Vol.1, pp.89-92, Dec 1997.
- [4] Gene Sonu, Nedi Nadershahi, Stanley Radzewicz, Young-Mook Kim,Jae-Wook Lee,Daeyun Shim, K.O.Cho,Hyuncheol Park,Kiwon Lee, Hyun-Soo Park, and Jae-Seong Shim, "Partial-Response Maximum Likelihood Core Development for a CD/DVD Controller Integrated Circuit," IEEE Tr. On magenetics, vol.37, no.2, pp.663-669, March. 2001
- [5] Hyongsuk Kim, Hongrak Son, Tamas Roska, and Leon O. Chua, "High-Performance Viterbi Decoder With Circularly Connected 2-D CNN Unilateral Cell Array," IEEE Transactions on Circuits and Systems I, Vol.52,pp. 2208- 2218, Oct. 2005.