

제품소형화를 위한 3차원 실장 기술

장 세 영 책임연구원
(삼성전자)

제품 소형화를 위한 3차원 실장 기술

삼성전자
기술총괄 생산기술연구소
기반기술팀

발표자 : 장세영 책임연구원

2006-01-31/ 장세영 책임 / 기반기술팀 / 생산기술연구소(기술총괄)

0/34

PDF created with pdfFactory Pro trial version www.pdffactory.com

■ 目次

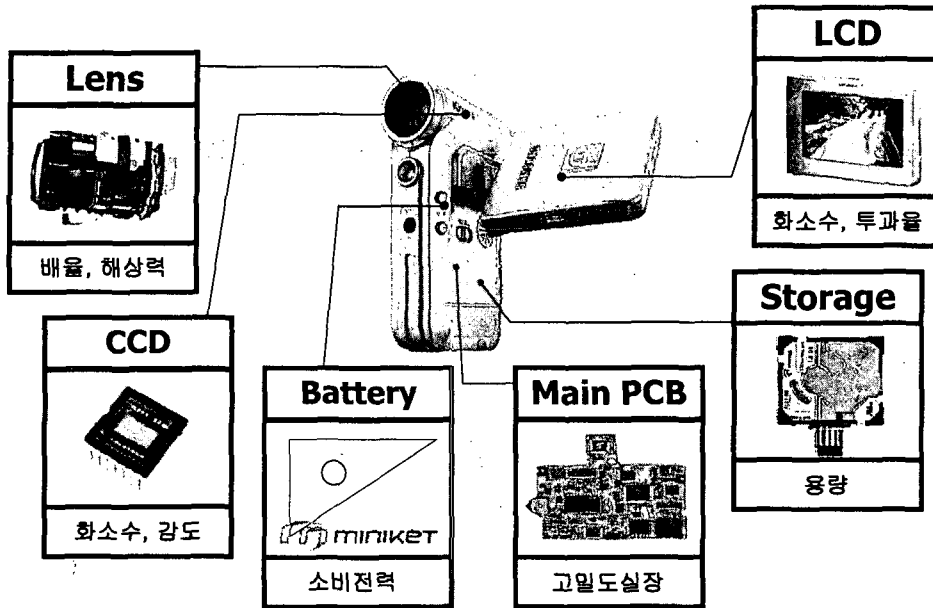
- I. 모바일 제품 HW 소형화
- II. 실장기술 정의/동향
- III. 3D Component Stack
- IV. Embedded Passives
- V. 3차원 실장을 위한 준비
- VI. Summary

2006-01-31/ 장세영 책임 / 기반기술팀 / 생산기술연구소(기술총괄)

1/34

PDF created with pdfFactory Pro trial version www.pdffactory.com

Mobile 제품 HW 구성



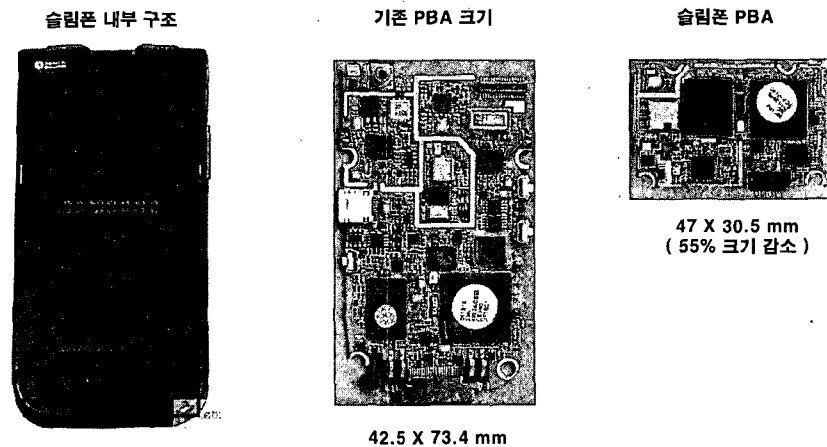
2006-01-31/ 정세영책임/ 기반기술팀 /생산기술연구소(기술총괄)

PDF created with pdfFactory Pro trial version www.pdffactory.com

2/34

제품 소형화를 위한 PBA 소형화

모바일 제품 슬림화, 소형화에 따라 PBA 면적, 두께 축소 필요



2006-01-31/ 정세영책임/ 기반기술팀 /생산기술연구소(기술총괄)

PDF created with pdfFactory Pro trial version www.pdffactory.com

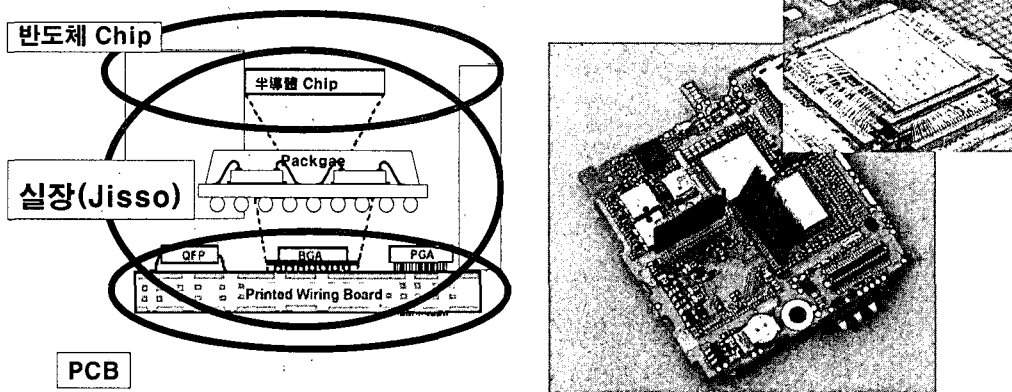
3/34

■ 실장 기술 정의

범위 : 반도체 후공정부터 제품의 조립까지

정의 : 반도체, 전자부품, 반도체 Package, Print 배선판 등

각각의 기술을 유기적으로 연계하여 최적화하는 System 설계기술



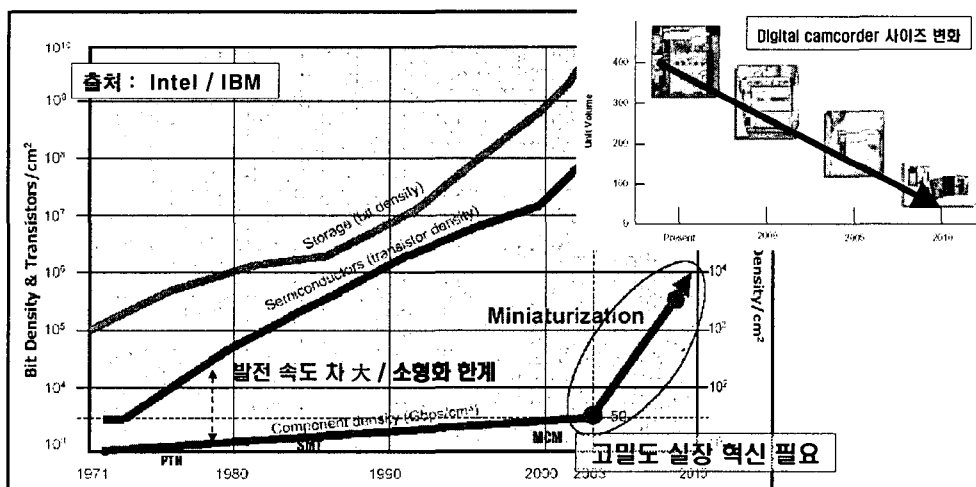
2006-01-31/ 장세영책임/ 기반기술팀 /생산기술연구소(기술총괄)

4/34

PDF created with pdfFactory Pro trial version www.pdffactory.com

■ 실장 기술 중요성

고밀도 실장 기술의 혁신 없이는 초일류 제품 구현에 한계가 있음



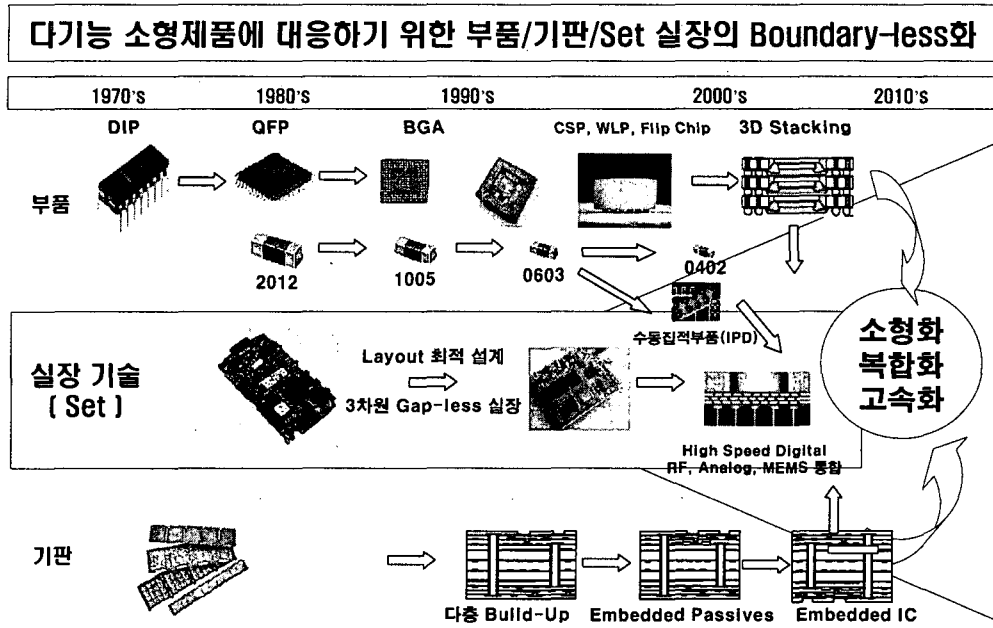
< 제품 소형화를 위한 저장용량, 반도체, 실장 밀도 동향 >

2006-01-31/ 장세영책임/ 기반기술팀 /생산기술연구소(기술총괄)

5/34

PDF created with pdfFactory Pro trial version www.pdffactory.com

■ 실장 기술 Trend

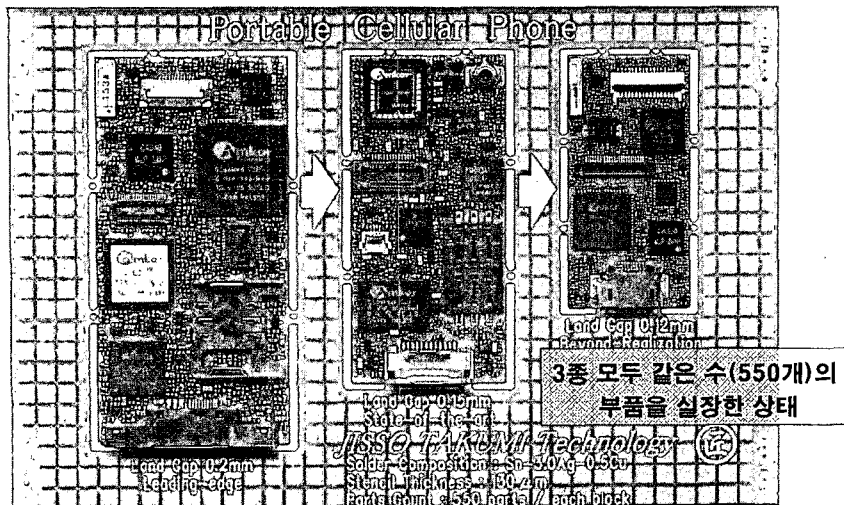


2006-01-31/ 장세영 책임/ 기반기술팀 /생산기술연구소(기술총괄)
 PDF created with pdfFactory Pro trial version www.pdffactory.com

6/34

■ 2D 고밀도 실장 적용 例

부품간 Gap, 부품 소형화를 통해 보드 사이즈를 소형화 시킨 사례




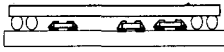

2006-01-31/ 장세영 책임/ 기반기술팀 /생산기술연구소(기술총괄)
 PDF created with pdfFactory Pro trial version www.pdffactory.com

7/34

Part I. 3D Component Stack

■ SMT Level 3D Stack 구조 (1)

SMT level 3차원 실장 구조 Concept

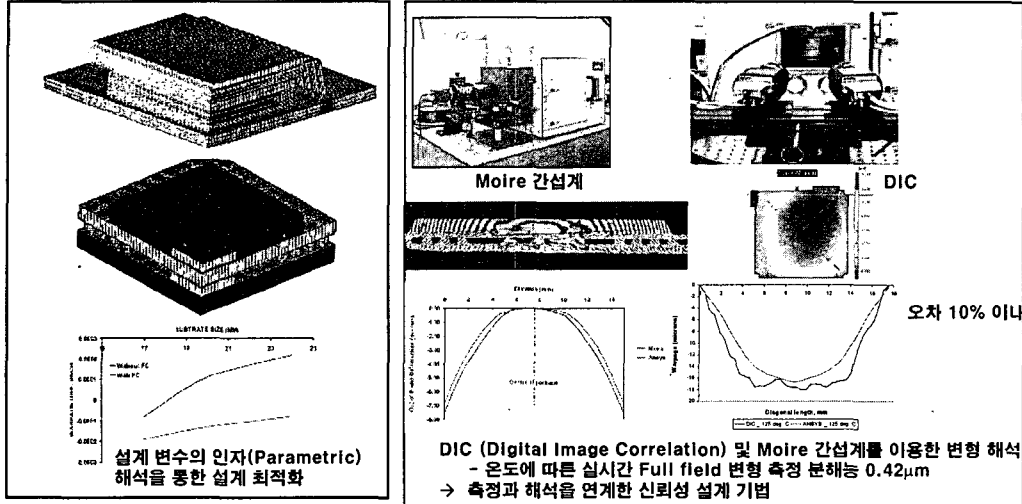
구조	1-1. BGA on Flip Chip	1-2. BGA on Passive	1-3. PoP (Package-on-Package)
단면 구상도			
제품 적용 가능성	- Main B' d상 Flip Chip 적용 안 된 면 상태에서 적용 난이 [2-3년 후 가능성]	- 적용 가능한 Dimension의 BGA만 있다면 적용 가능	- Top 부품: Memory MCP Bottom 부품: 주로 LSI
[장점]	- 이종 IC간 Stack 가능 - PCB Routing Issue	- 전기적 특성 향상, 적용 용이	- 각 반도체 업체 개발 中
[단점]	- Flip Chip, BGA Rework Issue	- 수동부품 rework 불가	- 신뢰성 Issue
[실장 면적 감소 효과]	- 9.6 %	- 10.8 %	- 42.0 %

· BGA (Ball Grid Array), TSOP (Thin Small Outline Package), CSP (Chip Size Package)

3D Stack 실장 신뢰성

3차원 적층 패키지 신뢰성 향상을 위한 최적 설계 기술

-신뢰성에 취약한 3차원 적층 패키지의 변형 측정 및 해석 기술 개발



2006-01-31/ 장세영책임/ 기반기술팀 /생산기술연구소(기술총괄)

10/34

PDF created with pdfFactory Pro trial version www.pdffactory.com

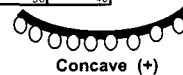
PoP Warpage

Relative Warpage (25 °C 기준 상대적 변형)

측정방법: DIC (Digital Image Correlation), Convection Chamber Heating

단위: um

	Temp	25	50	75	100	125	150	175	200	220	240	250	Average
Dried	PoP A Top	#1	0	12	23	33	49	49	24	18	12	-13	-22
		#2	0	13	22	33	43	41	33	32	33	18	10
	PoP A Bottom (Bottom)	#1	0	24	45	72	90	108	95	96	84	70	70
		#2	0	24	48	73	92	110	92	93	87	73	71.5
	PoP A Bottom (Top View)	#1	0	22	40	62	80	90	70	70	70	63	48
		#2	0	20	40	53	61	87	71	76	77	67	54
	PoP B Top	#1	0	4	4	5	4	-1	-18	-23	-43	-61	-75
		#2	0	3	3	4	5	-3	-23	-28	-54	-70	-86
	PoP B Bottom (Bottom)	#1	0	19	39	53	40	40	35	39	38	36	36
		#2	0	18	37	52	38	40	35	32	29	21	21
	PoP B Bottom (Top View)	#1	0	13	30	44	43	40	38	37	36	34	30
		#2	0	15	31	48	49	45	46	48	49	49	40



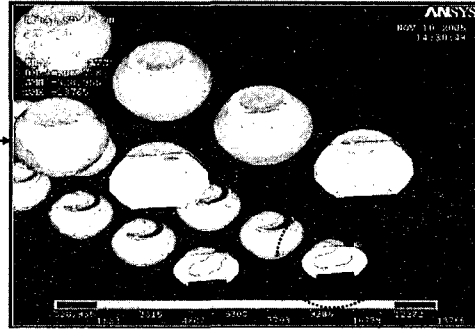
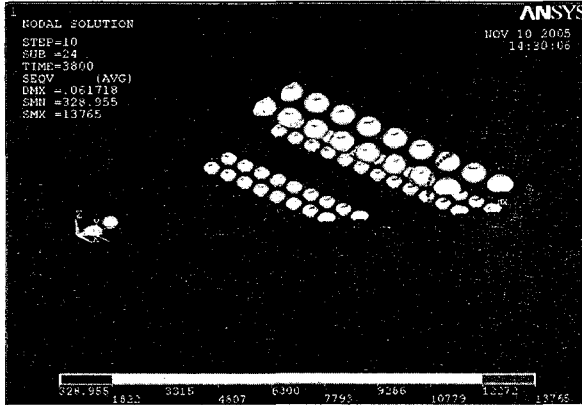
- PoP B의 경우, PoP A 대비 Top/Bottom Warpage 차이가 큼 (250°C에서 105~116 um 차이)
 → SMT Reflow시 수율에 악 영향

2006-01-31/ 장세영책임/ 기반기술팀 /생산기술연구소(기술총괄)

11/34

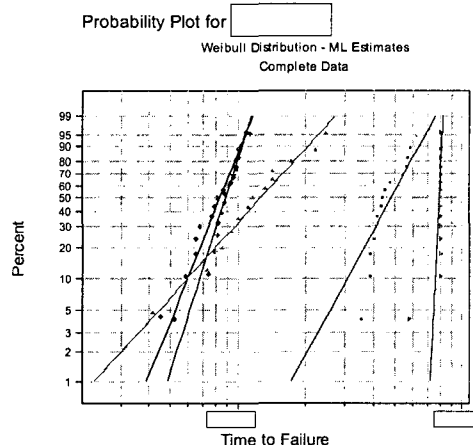
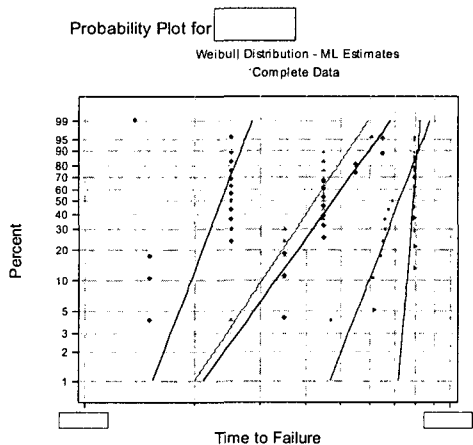
PDF created with pdfFactory Pro trial version www.pdffactory.com

■ 3D PoP 해석



• 3D PoP 해석을 통해 Package 구조, Underfill 물성에 따른 신뢰성을 예측

■ Underfill 종류에 따른 PoP 신뢰성



Underfill Requirement for PoP

1. For Processability: Low Viscosity, Wetting, Reworkability
2. For Reliability: Low CTE, High Tg

- [] Underfill A
- [] Underfill B
- [] Underfill C
- [] Underfill D
- [] Underfill E

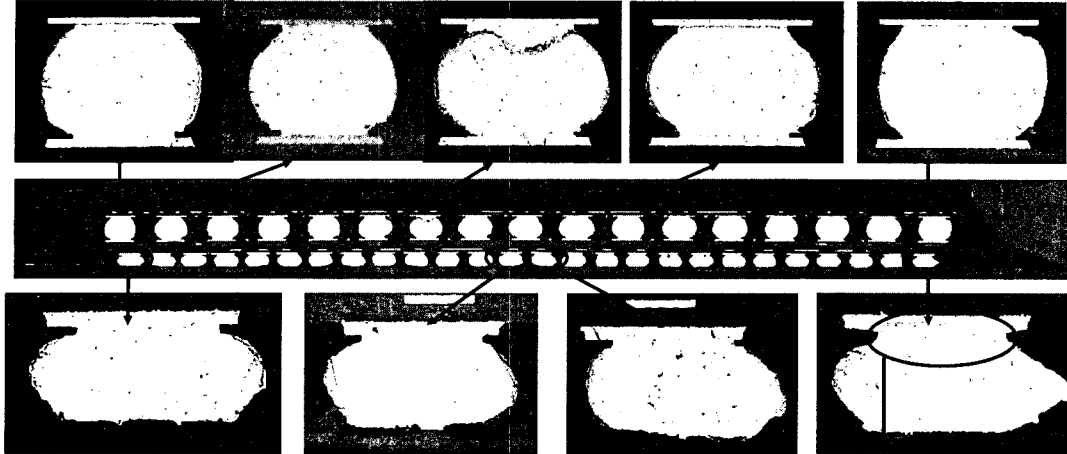
■ PoP 열충격 불량 분석 例

TC_L1

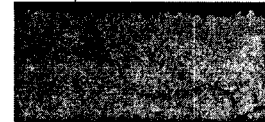
T_R7

TC_R1

Underfill G, #U1, ~500 cycle



- Top 부품 Solder Joint에서 주로 Crack 관찰 됨
- 최 외곽 Joint 뿐 아니라 Inner joint에서도 큰 Crack 관찰 됨



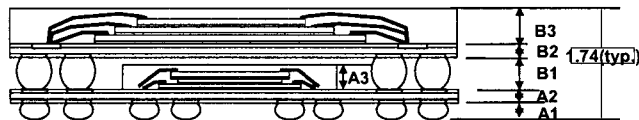
2006-01-31/ 상세영역/ 기반기술팀 /생산기술연구소(기술총괄)

PDF created with pdfFactory Pro trial version www.pdffactory.com

■ PoP 적용 실장 공정/신뢰성

□ PoP 구조 (例): 2차원 실장면적 100% vs. PoP실장면적 42%

- Top: Memory MCP
- Bottom : Baseband, Application Processor



Moire 간섭계 125 °C 변형 측정, V Field



No Underfill



Underfilled

신뢰성 기술적 Issue

Drop, Bending 신뢰성 강화 위해 Underfill 필요하나
Underfill 도포시, 열충격 신뢰성 문제
→ Package 구조, Material 최적화

2006-01-31/ 상세영역/ 기반기술팀 /생산기술연구소(기술총괄)

PDF created with pdfFactory Pro trial version www.pdffactory.com

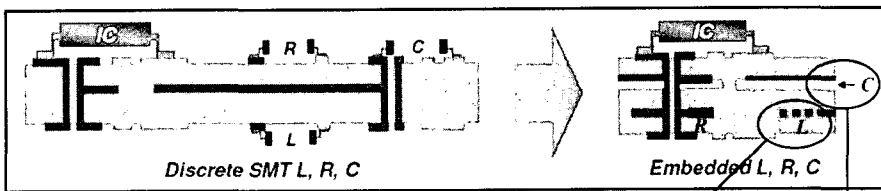
15/34

Part II. Embedded Passives

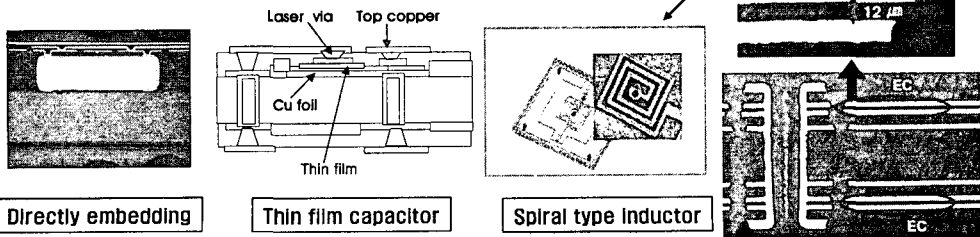
■ Embedded Passive 개요

▶ Embedded PCB 란?






보드 표면에 실장되는 여러 소자들을 기판내부에 삽입하여 PCB의 고집적화, 전기적 기능을 향상시키는 실장기술을 의미



▶ Embedded structure의 종류



■ Embedded Passive 적용 시 주요 문제점

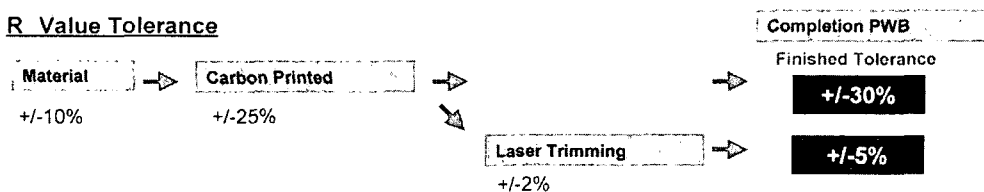
1. C의 용량 Range가 매우 한정적 
 - 현재 수십 pF 정도만 구현가능 (Sanmina, Motorola 공법)
 - 16 pF/mm² : 구현가능, 30 pF/mm² 도입 中
 - 신 재료 개발 필요 (기판, 재료 업체 공동 개발)
2. Design이 어렵다 
 - Library 부재. 재료, 공정, 업체 확정 이전에는 Library 구축 불가
3. 신뢰성 Issue 
4. Cost 문제 
5. Test, 수입검사 문제 (Capacitor) 

■ Embedded Resistor 현황

업체	Process	Trimming	용량	Tolerance	Remark	Cost	현재 수준
B	Paste	No -Trim	10 ~ 100 kΩ	+/- 30 %	2 types/ layer	-	Sample 대응 中 (신뢰성 OK)
		Trimming		+/- 5 %		-	
	TCR	No -Trim	10 ~ 500 Ω	+/- 15 %	1 type/ Layer	-	Sample 대응 中 (신뢰성 우수)
		Trimming		+/- 5 %		-	

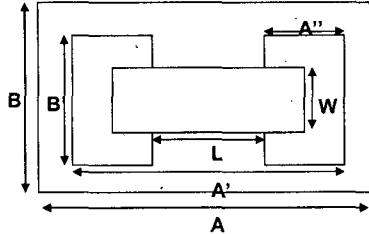
- 2 types/layer의미: layer 당 최대 2가지 종류의 Ink 사용 가능
- Direct Embedding의 경우 20% 이상 Cost up 예상 (현재 HDI와 수율 같은 경우)

R Value Tolerance



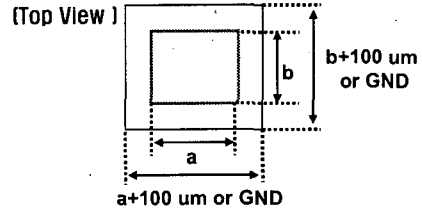
■ Embedded Passive 설계 기준 (예)

Embedded Resistor



	sheet 저항	L	W	A	A'	A''	B'	B	A*B
10	15	300	450	1200	1100	400	850	950	1140
10 K	10K	300	300	1200	1100	400	700	800	960
20 K	10K	600	300	1500	1400	400	700	800	1200
100 K	100K	300	300	1200	1100	400	700	800	960
200 K	100K	600	300	1500	1400	400	700	800	1200

Embedded Capacitor



Cap. (pF)	18	39	47	100
Area (mm ²)	0.818	1.773	2.136	4.545
22 pF/mm ²				
Area (mm ²)	1.385	3.000	3.615	7.692
13 pF/mm ²				

※ Sheet 저항 = sheet resistivity of paste material (ohm/sq.)

2006-01-31/ 장세영책임/ 기반기술팀 /생산기술연구소(기술총괄)

20/34

PDF created with pdfFactory Pro trial version www.pdffactory.com

■ Embedded Passive 적용 사례 (1)

2종 R Embedded Proto PBA 적용 Test

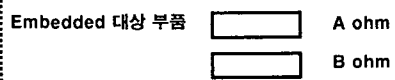
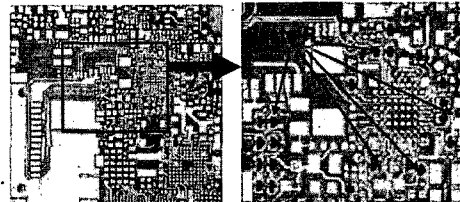
? Embedded PCB 제작

- 2종류 R 전량 적용

: A ohm 78개, B ohm 26개

→ 전체 수동부품의 22%

- PCB 업체에서 지속 개발 중.
지속적인 연구 개발 필요

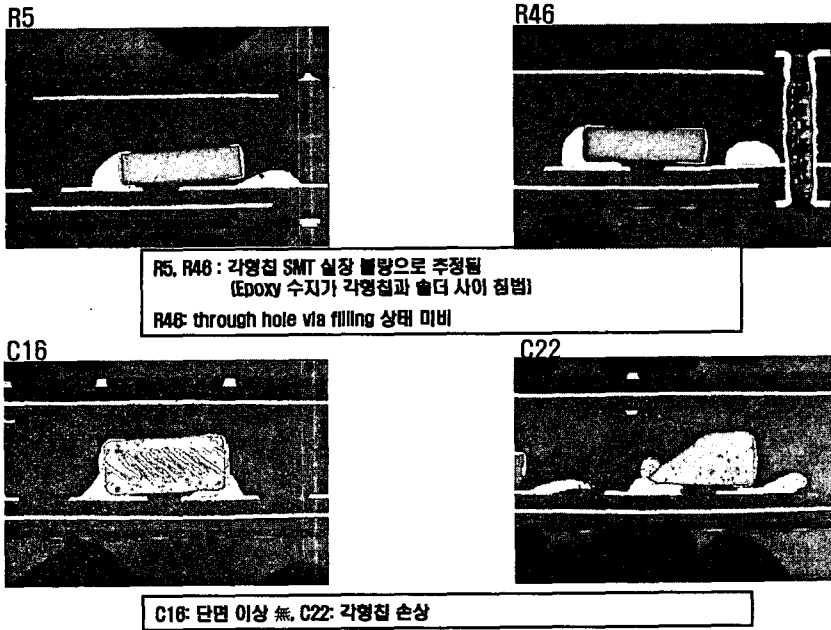


2006-01-31/ 장세영책임/ 기반기술팀 /생산기술연구소(기술총괄)

21/34

PDF created with pdfFactory Pro trial version www.pdffactory.com

■ 초기 불량 검토 (Direct Embedding)

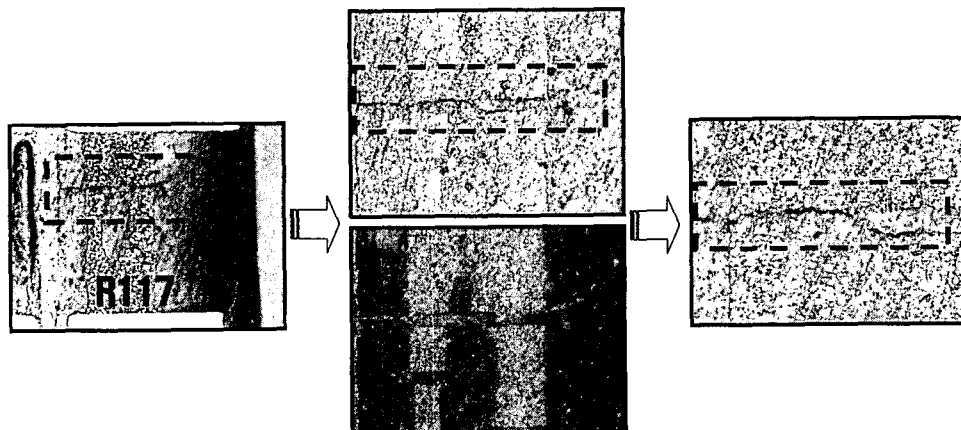


2006-01-31/ 상세영역팀/ 기반기술팀 /생산기술연구소(기술총괄)

22/34

PDF created with pdfFactory Pro trial version www.pdffactory.com

■ 신뢰성 검토 (Print R)



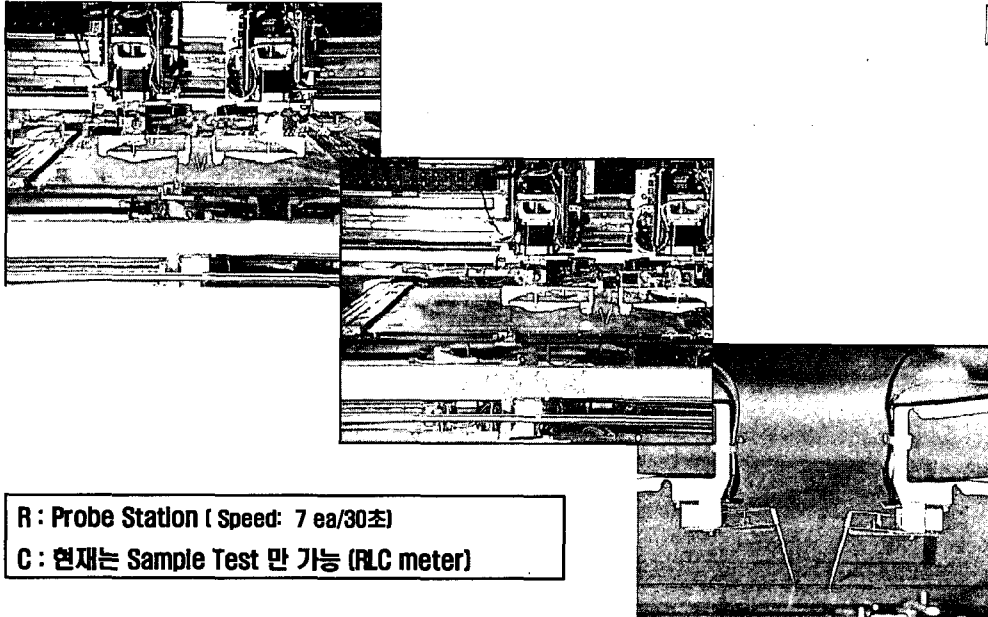
과도한 Trimming에 의한 Crack 전파 예

2006-01-31/ 상세영역팀/ 기반기술팀 /생산기술연구소(기술총괄)

23/34

PDF created with pdfFactory Pro trial version www.pdffactory.com

■ Test 방법



2006-01-31/ 장세영책임/ 기반기술팀 /생산기술연구소(기술총괄)

24/34

PDF created with pdfFactory Pro trial version www.pdffactory.com

Part III. 3차원 실장을 위한 준비

2006-01-31/ 장세영책임/ 기반기술팀 /생산기술연구소(기술총괄)

25/34

PDF created with pdfFactory Pro trial version www.pdffactory.com

■ 제품에서의 실장 요구

- 1) 설계 요구에 유연하게 대응할 수 있어야 한다.
- 2) 신규 부품, 보드, 재료별 품질/신뢰성 보증이 되어야 한다.
- 3) 접합 신뢰성이 확보 되어야 한다.
- 4) 공정 품질이 안정화 되어야 한다.
- 5) 생산성 (Speed)이 좋아야 한다.
- 6) 수리성이 좋아야 한다. (물론, 불가피할 경우 수리는 포기할 수 있다)
- 7) 검사 방안이 확보되어야 한다.
- 8) 추가 투자 비용을 최소화해야 한다.

→ 실장 기술 연구 개발에 있어서, 제품 Needs를 충분히 고려해야 한다.

2006-01-31/ 장세영책임/ 기반기술팀 /생산기술연구소(기술총괄)

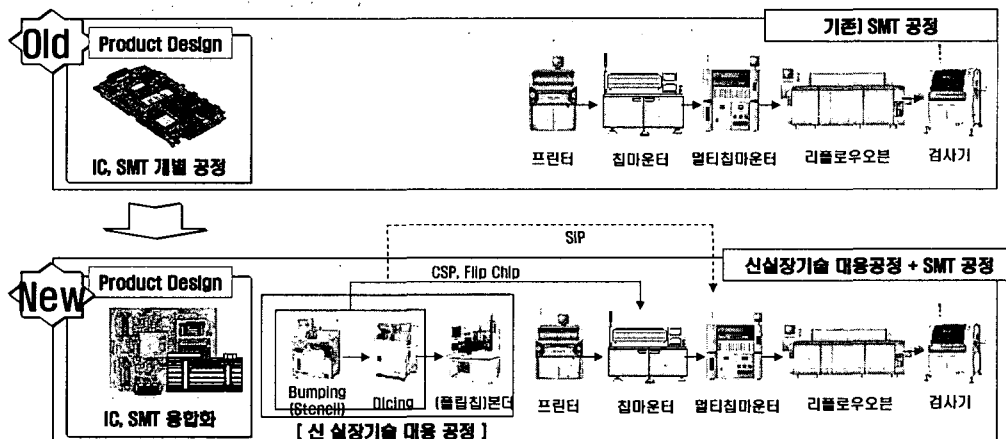
26/34

PDF created with pdfFactory Pro trial version www.pdffactory.com

■ 차세대 실장 Line 등장

Set 업체에서 제품 Concept에 맞도록 직접 핵심 IC, 모듈 패키징 실시

- Set 업체에 반도체 후공정을 도입하여 차별화된 IC, 모듈 독자 확보 → 제품 경쟁력 강화



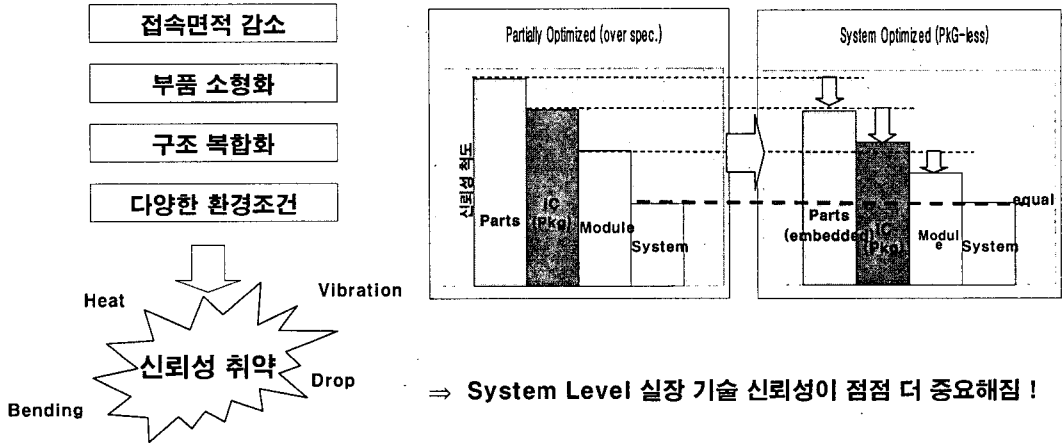
2006-01-31/ 장세영책임/ 기반기술팀 /생산기술연구소(기술총괄)

27/34

PDF created with pdfFactory Pro trial version www.pdffactory.com

■ 실장에서의 Assembly 신뢰성 중요성

개별 부품의 신뢰성 취약으로 인해, Assembly 신뢰성 향상 요구 증가



2006-01-31/ 정세영책임/ 기반기술팀 /생산기술연구소(기술총괄)

28/34

PDF created with pdfFactory Pro trial version www.pdffactory.com

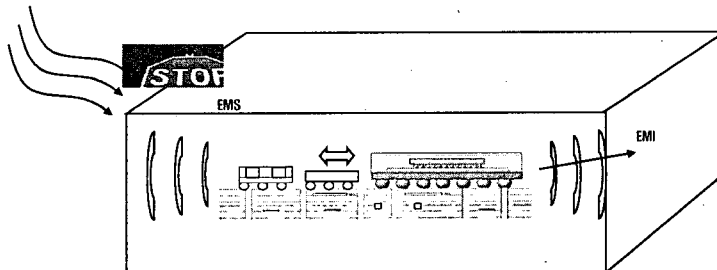
■ EMC 불량

실장 부품의 간격 축소 (~0.1mm), 보드 레벨 신호 주파수 상승
→ EMC 대응 설계 요구 증가

EMC (Electromagnetic compatibility : 전자 환경 적합성)

= EMI (Electromagnetic Interference: 전자파 간섭)

+ EMS (Electromagnetic Susceptibility : 전자파 내성)



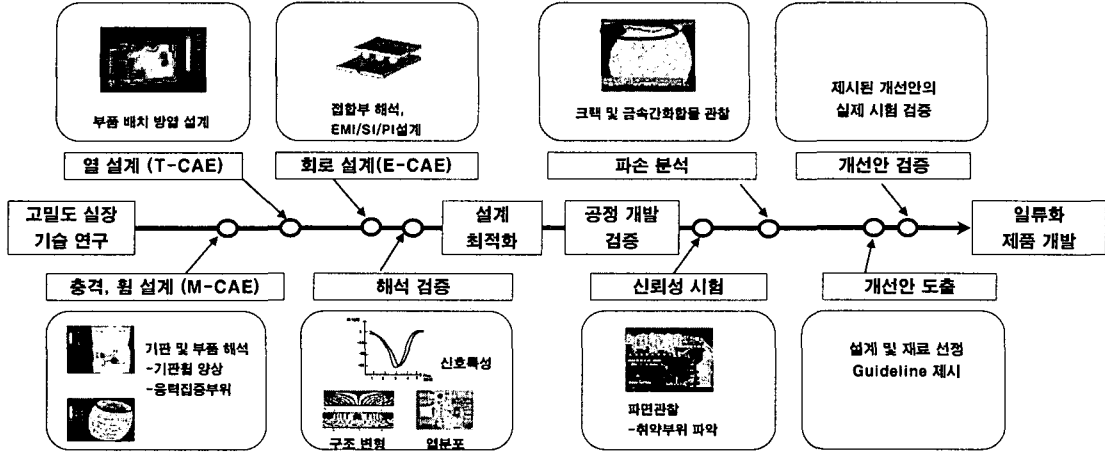
2006-01-31/ 정세영책임/ 기반기술팀 /생산기술연구소(기술총괄)

29/34

PDF created with pdfFactory Pro trial version www.pdffactory.com

■ 실장 기술 적용 Process

- 설계, 신뢰성, 실장 공정 까지 Total Solution 제공필요 (공정 기술 만으로는 제품 적용 불가능)



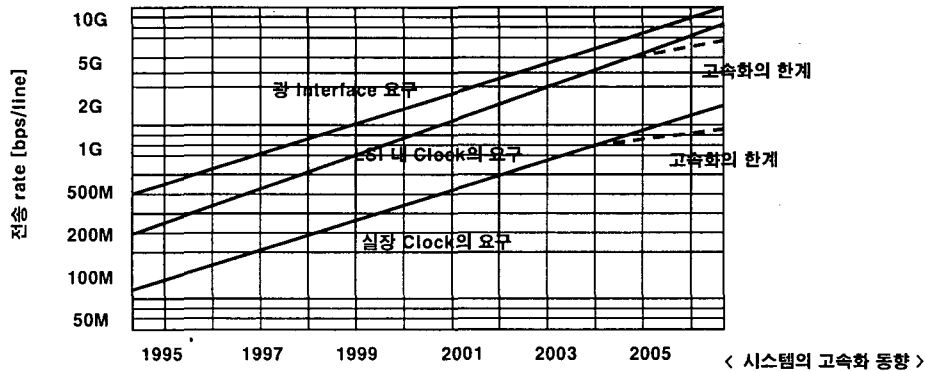
2006-01-31/ 정세영책임/ 기반기술팀 /생산기술연구소(기술총괄)

30/34

PDF created with pdfFactory Pro trial version www.pdffactory.com

■ 실장 통합 설계의 필요성

- ◆ 시스템이 고속, 복잡화 되면서 통합 설계 환경 필요성이 증가하고 있음
- ◆ 예로 2003년에 실장 보드 상의 최대 클럭주파수가 1GHz이나, 실장기판은 반사, 크로스토크, 노이즈 등 문제 때문에 고속화 한계. 칩 간의 인터페이스도 패키지 내의 와이어 길이, 서지 보호용량에 따라 고속화 제한



2006-01-31/ 정세영책임/ 기반기술팀 /생산기술연구소(기술총괄)

31/34

PDF created with pdfFactory Pro trial version www.pdffactory.com

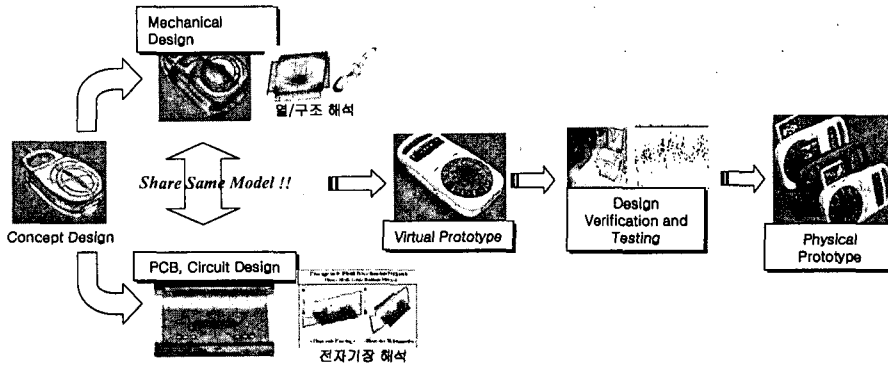
■ 실장 통합 설계

1. 정의

- 제품 설계 단계에서 E, M, T-CAE를 활용, 통합적인 Virtual Test, Simulation을 하는 설계 프로세스

2. 형태

- 대상 : 시스템을 구성하는 전 요소 부품 (패키지, 수동 부품, 실장 보드, 케이블, 케이스 등)
- 통합 설계 Tool로 기계 / 열 / 전기 복합 설계를 수행



2006-01-31/ 장세영특원/ 기반기술팀 /생산기술연구소(기술총괄)

PDF created with pdfFactory Pro trial version www.pdffactory.com

32/34

■ 차세대 실장 기술 Issue

설계	통합 설계, CAE
접속 기술	저온 Reflow 기술
반도체	흡습 적고 Thin, Small Form Factor 반도체 패키지
PCB	박형 PCB 힘 감소, 고밀도 Pattern
부품	부품의 복합화 (모듈화)
재료	차세대 도전성 접착제, 저온 Solder, Repairable Underfill
공정(설비)	실시간 공정 관리 System, 모듈 실장 가능 (반도체 후공정 도입) 다품종 소량 생산 대응 : Cell 생산 공정, Mini line, 부품, 기판 산포에 대응 가능한 공정

2006-01-31/ 장세영특원/ 기반기술팀 /생산기술연구소(기술총괄)

PDF created with pdfFactory Pro trial version www.pdffactory.com

33/34

■ Summary

1. 모바일 제품 고기능/소형화를 위해 3차원 실장 (3차원 부품 Stack, Embedded PCB) 필요성 증대
2. 고밀도 실장을 위해 기존 부품업체 (능동, 수동, 기타부품), PCB 업체, Set 업체간의 명확한 기술구분이 사라짐
→ 기존 부품의 조합에 의한 조립이라는 패러다임 변화 요구됨
(의식 개혁 필요)
3. 新 실장기술 도입의 가장 큰 장애물 중 하나는 신뢰성 확보임
신규 기술 연구/개발과 동시에 충분한 신뢰성 확보가 필수