

Multi-Level을 사용한 PDP 구동회로에서 Timing 변화에 따른 특성 변화에 관한 연구

김중수, 강순은, 송석호, 노정욱, 홍성수, 사공석진,
국민대학교 전자공학과

A study on performance characteristic of Multi-level PDP driver circuit in accordance of signal time

J. S. Kim, S. E. Kang, S. H. Song, C. W. Roh, S. S. Hong, S. C. Sakong
Kookmin Univ.

ABSTRACT

Proposed Multi-level PDP sustain Driver make use of element which has a low voltage rating instead of suggested method by the existing Webber and it passes through a second phase both rising and falling at sustaining voltage waveform. In accordance with the change of timing phase($Tr1$, $Ti1$, $Tr2$) performance comparison of a electric discharge characteristics in a PDP module has been carried out. At the conclusion of experimentation, the feature is extended by alteration of $Ti1$ and it has little to do with alteration of $Tr1$.

1. 서 론

PDP의 최대 단점들인 높은 소비 전력과 높은 가격은 보급형 PDP 시장 형성에 걸림돌로 작용한다. 저 효율 원인 중에서 가장 큰 이유는 PDP 셀 내에서 형성되는 플라즈마의 생성 및 VUV 생성 효율이 낮기 때문이고, 따라서 패널의 구조, 방전 가스의 조성, 형광체의 개선, 발광 효율의 개선, 전력 소모량 저감을 위한 재료 및 제조 방법, 구동 방법, 화질 개선 등에 지속적인 연구 개발이 필요하고 현재 많은 업체 및 학계에서 진행되고 있다.

소비전력 및 원가를 줄이는 PDP의 핵심 기술은 크게 높은 발광 효율을 가지는 패널 개발 과 고효율 동작 및 저 원가로 구성되는 구동부 회로 및 시스템 개발로 분류할 수 있다. 특히, 구동 회로 및 시스템의 경우 우리나라가 보유한 기술 및 특허는 극히 미미한 실정이라 이 분야에 대한 지속적인 연구 개발이 시급하다고 할 수 있다.

따라서 본 연구에서는 기존에 제안된 Multi-level을 사용한 PDP Sustain 구동회로를 실제 PDP panel에 연결하여 Sustain 동작시 rising 시간 변화에 따른 PDP의 특성(휘도, 소비전력, contrast등)을 비교한다.

2. Multi-level 방식의 PDP 구동 회로

그림 1과 그림 2는 multi-level을 사용한 PDP Sustain 회로 및 동작 전압/전류 파형을 나타낸다. 이 회로는 저 전압 및 기생용량이 작은 소자의 채용이 가능하고, 기생 저항이 기존의 회로 방식에 비해 적으며, 무효 전력 회로의 경로에 인가되는 전류의 r.m.s.치가 기존 회로 방식에 비해 절반이 되는 장점이 있다.

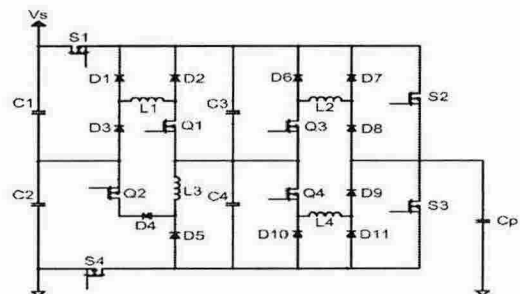


그림 1 Multi-level PDP Sustain 구동회로 개념도

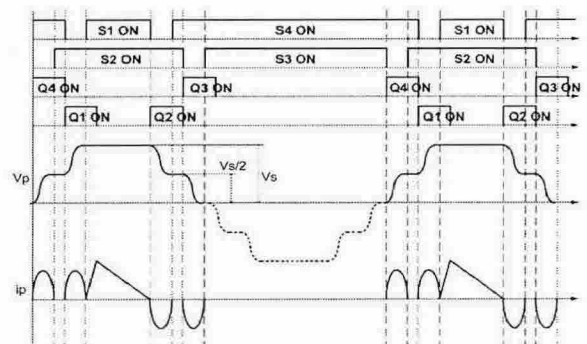


그림 2 Multi-level PDP Sustain 구동회로 동작 전압/전류 파형

3. 실험 조건

3.1 실험 회로 구현

전구간 동작을 시키기 위해 그림 3과 같이 회로를 구

성하였다. 자세한 spec은 다음과 같다.

- PDP panel : LG 전자 42인치 WVGA급
- V_s : 190V
- V_{set_up} : 200V
- V_y : -75V
- V_a : 65V
- V_{sc} : 120V

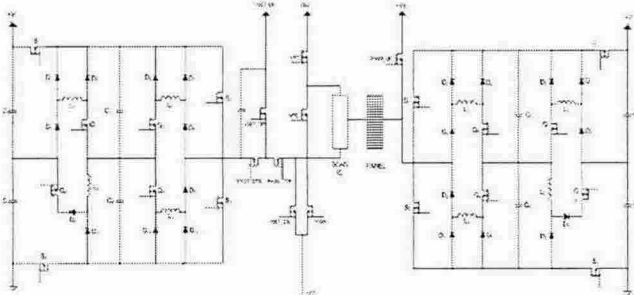


그림 3 전구간 실험 블럭도

전압 파형에서 rising 경우에 첫 번째 공진에 의한 rising time을 Tr_1 , 두 번째 공진에 의한 rising time을 Tr_2 , rising time 가운데 잠시 유지하는 구간을 Ti_1 , sustain 전압을 유지하는 구간을 T_{sus} , 첫 번째 falling 구간을 Tf_1 , 두 번째 falling 구간을 Tf_2 , 중간시간을 Ti_2 라고 하겠다.

기본 rising time과 falling time은 다음 표와 같이 구현하였다.

표 1 기본 파형 시간(단위:ns)

	Tr_1	Ti_1	Tr_2	T_{sus}	Tf_1	Ti_2	Tf_2
Y	100	60	150	1220	270	90	310
X	100	60	150	1190	240	110	350

3. 2 실험 방법

Rising time의 변화에 대한 특성을 측정하기 위하여 Falling time은 고정시킨 상태에서 Tr_1 , Ti_1 , Tr_2 를 변화시켜 측정한다.

- 휘도

Panel의 총 9부분을 측정하여 평균을 낸다.

- 소비전력

V_s 가 인가된 전압과 공급되는 전류의 곱으로 계산한다.

- Contrast

휘도측정과 같은 방식으로 9부분 가운데 중앙에 10% window를 켜 상태에서 나머지 8부분과 가운데의 휘도를 측정하여 비율을 계산한다.

- panel 효율

Full white 상태에서 $(3.14 \times \text{평균휘도} \times 0.48) / ((I_{Vs, Va\ on} - I_{Vs, Va\ off}) \times V_s)$ 의 식에 대입하여 계산

- module 효율

Full white 상태에서 $(3.14 \times \text{평균휘도} \times 0.48) / (I_{Vs, Vaon} \times V_s)$ 의 식에 대입하여 계산

4. 결과 및 토의

Multi-level을 사용한 경우에 Energy Recovery 동작 시 2단계를 걸쳐 올라감으로써 각각의 rising time이 변화함에 따라 PDP module의 특성(휘도, 소비전력, contrast, panel 효율, module 효율)을 비교한다.

다음 표 2과 그림 4은 Tr_1 이 변화함에 따라서 PDP에 미치는 영향을 나타낸 결과이다.

표 2 Tr_1 변화에 따른 결과

	휘도 [cd/m^2]	소비전력 [W]	contrast	panel 효율	module 효율
100ns	203.00	245.10	1894.74	1.43	1.25
140ns	202.22	243.20	1895.95	1.42	1.25
180ns	202.00	241.30	1860.47	1.43	1.26
220ns	201.22	237.50	1907.82	1.44	1.28

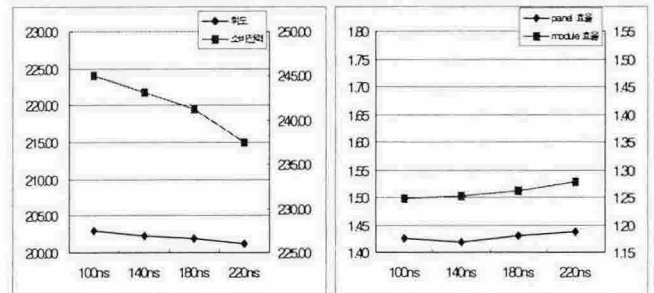


그림 4 첫 번째 rising time 변화에 따른 결과 그래프

표와 그림에서 보듯이 Tr_1 은 PDP 특성에 큰 영향을 미치지 못하는 것으로 나타난다. 시간이 100ns에서 220ns 까지 늘어나면 휘도는 $203cd/m^2$ 에서 $201.22cd/m^2$ 으로 떨어지고 소비전력은 245.1W에서 237.5W로 감소한다. 효율 면에서는 panel효율은 1.43에서 1.44, module효율은 1.25에서 1.28으로 약간씩 상승하는 것을 볼 수 있다.

시간이 길어질수록 소비전력은 감소하고 효율은 좋아 지지만 그 효과는 미미한 것을 알 수 있다. 또한 휘도의 변화도 거의 없는 것을 알 수 있다. 따라서 Tr_1 의 변화는 PDP 특성에 큰 영향을 주지 못하는 것을 확인할 수 있다.

표 2와 그림 5은 rising 구간 사이에 존재하는 idle time이 변화함에 따라 미치는 영향을 나타낸 결과이다.

표 2 Ti_1 변화에 따른 결과

	휘도 [cd/m^2]	소비전력 [W]	contrast	panel 효율	module 효율
60ns	203.00	245.10	1894.74	1.43	1.25
100ns	207.89	241.30	1764.26	1.49	1.30
140ns	219.78	235.60	1669.83	1.60	1.41
180ns	226.78	226.10	1618.50	1.75	1.51

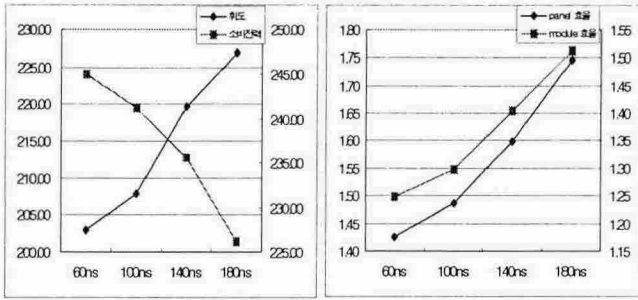


그림 5 Idle time 변화에 따른 결과 그래프

위의 표와 그림을 보면 T_{i1} 의 변화에 따라 특성변화가 많은 것을 나타낸다. 시간이 60ns에서부터 180ns까지 증가하면 휘도는 203에서 226.78으로 증가, 소비전력은 245.1W에서 226.1W로 감소한다. 효율면에서는 panel은 1.43에서 1.75, module은 1.25에서 1.51까지 상승하는 것을 볼 수 있다.

T_{r1} 이나 T_{r2} 의 변화에 비해 T_{i1} 의 변화에 의한 영향이 큰 것을 표와 그림을 통해 알 수 있다. 시간이 늘어날수록 휘도는 증가, 소비전력은 감소, 효율은 증가한다. 이상이 긍정적인 면이라면 contrast가 감소되는 단점을 갖고 있다.

표 3와 그림 6은 두 번째 rising time이 변화함에 따라 미치는 영향을 나타낸 결과이다.

표 3 두 번째 rising time 변화에 따른 결과

	휘도 [cd/m ²]	소비전력 [W]	contrast	panel 효율	module 효율
150ns	203.00	245.10	1894.74	1.43	1.25
190ns	202.89	241.30	1888.89	1.44	1.27
230ns	208.89	235.60	1762.18	1.52	1.34
270ns	216.33	228.00	1740.52	1.63	1.43

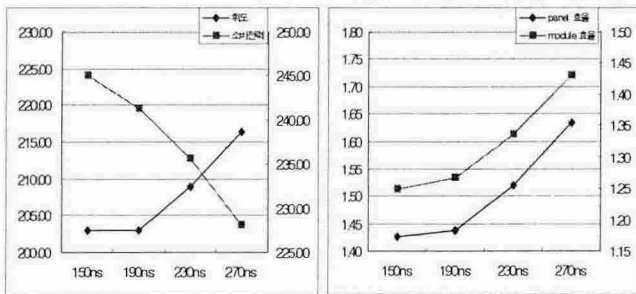


그림 6 두 번째 rising time 변화에 따른 결과 그래프

T_{r2} 의 변화에 의한 특성에 영향을 많이 미치지만 T_{i1} 의 변화에 비해서는 작게 미치는 것을 볼 수 있다. 시간이 150ns에서 270ns까지 증가할 경우 휘도는 203에서 216.33으로 증가, 소비전력은 245.1에서 228로 감소한다. 효율면에서는 panel은 1.43에서 1.63, module은 1.25에서 1.43으로 증가한다. T_{i1} 변화와 마찬가지로 시간이 길어질수록 휘도와 소비전력, 효율면에서 모두 좋아진 것을 알

수 있다. 역시 단점으로 contrast가 감소하는 것을 표에서 볼 수 있다.

4. 결론

본 논문에서는 기존에 새롭게 제안된 Multi-level을 사용한 PDP Sustain 구동방식을 연구대상으로 하여 실제 PDP panel에 연결하여 rising time의 변화에 따른 특성 변화를 실험을 통해 어떻게 나타나는지 data를 추출, 비교하였다.

실험 결과 3단계의 rising 구간에서 T_{i1} 에 의한 특성 영향이 가장 큰 것으로 나타났으며, T_{r1} 에 의한 특성 영향은 거의 없는 것으로 나타났다.

실험을 통해 추출된 Data는 이후 실제 Multi-level을 이용한 PDP Sustain 구동방식을 적용할 경우에 최적의 구동 상태를 만들기 위해 사용될 것으로 생각된다.

이 논문은 LG전자(주)의 산학 협력 연구비 지원에 의하여 연구됨.

참고 문헌

- [1] Chung-Wook Roh, Hye-Jeong Kim, Sang-Hoon Lee, and Myung-Joong Youn, "Multi-Level voltage wave-shaping display driver for AC plasma display panel application", IEEE Journal of Solid State Circuits, Vol.38, No.6, June 2003.
- [2] Chung-Wook Roh, "Novel Plasma Display Driver with Low Voltage/Current Stresses", IEEE Transactions on Consumer Electronics, Vol. 49, No. 4, pp.1360-1366, November 2003.
- [3] L.F. Webber, "Plasma Display Device Challenges," Asia Display '98 Digest, pp.15-271.
- [4] J. Castellano, "Market Trends for Display in Consumer Television", 2000 SID Symposium, pp. 407-409
- [5] T. Shinoda, et.al. "Development of Technologies for Large-Area Color ac Plasma Displays," 1993 SID Int. Symposium, Seattle, pp.160-161
- [6] M. Ishii, et al, "Reduction of Data Pulse Voltage to 20V by Using Address-While-Display Scheme for ACPDPs," 1999 SID Int. Symposium, pp.162-165