

고속, 저해상도, 저비용, 저전력용 Successive Approximation A/D 변환기의 설계

김성목*, 정강민**
*성균관대학교 전자전기공학과
**성균관대학교 전자전기공학과
e-mail : m200ml@skku.edu

Design of Advanced Successive Approximation A/D Converter for High-Speed, Low-Resolution, Low-Cost, Low-Power Application

Sung-Mook Kim*, Kang-Min Chung**
*Dept. of Electronics and Electrical Engineering, Sung Kyun Kwan University
**Dept. of Electronics and Electrical Engineering, Sung Kyun Kwan University

요 약

Binary-search 알고리즘을 이용한 새로운 6-bit 300MS/s ADC 를 제안 하였다. 본 연구에서 제안된 ADC 는 저전력, 고속동작, 저해상도의 응용분야에 적합하도록 설계 되었다. 11 개의 rail-to-rail 비교기와 기준전압 발생기, 그리고 기준전압 제어회로로 구성 되었으며, 이는 기존의 구조와는 다른 전혀 새로운 형태로 제안된 것이다. 전력소모를 줄이기 위해 비교기 공유기술을 사용하였다. 또한 ADC 의 sub-block 인 rail-to-rail 비교기는 인버터 logic threshold 전압 값을 이용한 새로운 형태의 비교기를 제안하였다. 비교기는 인버터와 n-type preamp, p-type preamp 그리고 각각에 연결되는 latch 로 구성되었다. 기존의 rail-to-rail comparator 에 비해 입력 범위 전체 영역에서 일정한 gm 값을 얻을 수 있다. 실험결과 2.5V 공급전압에서, 17mW 의 전력 소모를 보이며, 최대 304MS/s 의 데이터 변환율을 가진다. INL 과 DNL 은 입력신호가 2.38Mhz 의 주파수를 가지는 삼각파일 때, 각각 ± 0.54 LSB, ± 1 LSB 보다 작다. TSMC 0.25u 공정을 이용하였다.

1. 서론

고성능의 CMOS Analog-to-Digital(ADC) 변환기는 혼성-신호 집적회로에서 핵심적인 구성요소이다. 최근에, ADC 의 응용 분야는 hard disk drives, digital videodiscs 그리고 local-area networks 등과 같은 digital data reading 분야에서 많이 사용되고 있다 [1], [2]. 이런 분야에서 사용되는 ADC 는 빠른 속도의 데이터 변환율을 필요로 하며, 적어도 6-bit 이상의 해상도를 필요로 한다.

본 연구에서는 high-speed, low-resolution, low-power, low-cost ADC 설계를 목표로 하였다. 제 2

장에서는 제안된 회로의 전체적인 설명과 함께 각 단위 블록들의 설계를 언급하였다. 제 3 장에서는 전체 회로의 시뮬레이션 결과와 기존에 발표된 회로들과의 성능비교표를 제시 하였다. 제안된 변환기는 standard CMOS 공정으로 제작이 가능해 개발비용 또한 저렴하다. 더욱이 비교적 설계하기가 쉬운 간단한 전자회로 블록들로 구성되어 있어, 설계기간 또한 단축할 수 있다는 이점이 있다.

2. 제안하는 SA-ADC

본 논문에서 제안된 Advanced Successive

Approximation ADC(ASA-ADC)를 그림 1 에 보였다. 기준전압을 발생하는 reference voltage generator, 비교기 공유를 위한 기준전압 제어 회로인 reference voltage control logic, 그리고 Decision stage 로 구성된다. 모든 decision stage 에 기준전압과 입력 신호가 바로 인가되므로 기존의 SA-ADC 보다 빠른 데이터 변환율을 보인다.

기준전압 발생기에서 63 개의 기준전압이 발생되고 기준전압 제어회로에 의해 상황에 맞게 Decision stage of D3(DS-D3)부터 DS-D0 로 분배 되어 D3, D2, D1, D0 가 결정 되어 진다. 이는 또한 비교기의 공유를 의미하는데, 기준전압 제어회로와 스위치로 인해서 가능해진다.

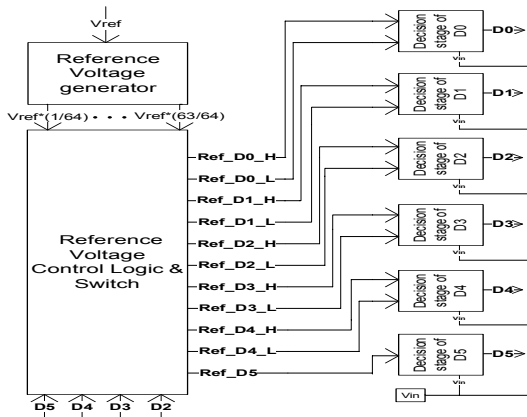


그림 1. proposed Advanced Successive Approximation ADC (ASA-ADC)

2.1 Decision Stage

그림 2 에서 MSB 를 결정하는 DS-D5 를 나타내었다. 이는 1 개의 rail-to-rail 비교기로 구성되어 진다. Ref_D5 에는 항상 고정된 전압 값 즉 $(1/2) * V_{ref}$ 가 인가 되어 지고 이는 입력신호(in)와 비교되어 D5 를 결정한다. 비교기의 출력에 연결된 인버터에 의해 D5Bar 와 D5 신호가 만들어 지는데, 이는 DS-D4 를 제어하는 신호이다.

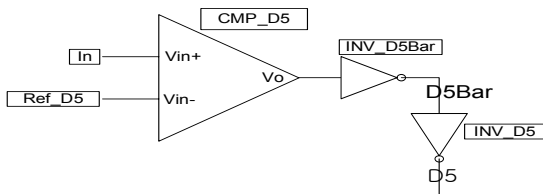


그림 2. decision stage of D5

그림 3 에서 DS-D4 의 블록 다이어그램을 보였다. Ref_D4_L 과 Ref_D4_H 에는 $(1/4) * V_{ref}$ 와 $(3/4) * V_{ref}$ 가 각각 인가 되어 진다. DS-D5 의 출력인 D5 가 1 이라면 SW_D4_H 를 on 시키므로 $(3/4) * V_{ref}$ 를 기준 전압으로 갖는 비교기인 CMP_D4_H 의 출력에 의해 D4 가 결정 되어 진다. 이때 D5Bar 를 제어신호로 가지는 SW_D4_L 은 off 상태이므로 CMP_D4_L 은 D4

의 결정에 아무런 영향을 미치지 못한다.

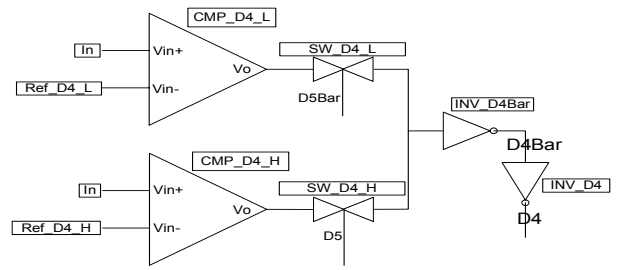


그림 3. decision stage of D4

반면에 $D5 = 0$ 이면 $D5Bar = 1$ 이 되므로 이를 제어 신호로 갖는 SW_D4_L 는 on 상태가 되어 진다. 따라서 D4 는 $(1/4) * V_{ref}$ 를 기준전압으로 갖는 비교기인 CMP_D4_L 의 출력에 의해 결정 되어질 것이다. 이때 D5 를 제어 신호로 갖는 SW_D4_H 는 off 상태이므로 CMP_D4_H 는 D4 의 결정에 아무런 영향을 미치지 못한다. 이를 아래의 표 1 에 나타내었다.

D5	SW_D4_L	SW_D4_H
1	off	on
0	on	off

표 1. DS-D4 의 제어

DS-D3 의 구조는 그림 4 에서 볼 수 있듯이 DS-D4 와 동일하다. D3 가 결정 되어 지는 과정은 표 1 에서 설명한 것과 같이 비슷한 과정에 의해서 결정되어진다. 이를 표 2 에 정리 하였다. 다만, 기준전압인 Ref_D3_L 과 Ref_D3_H 에 인가되는 전압들이 D5 의 값에 따라 달라진다. 이는 reference voltage control logic 에 의해서 비교기가 공유되고 있음을 말한다.

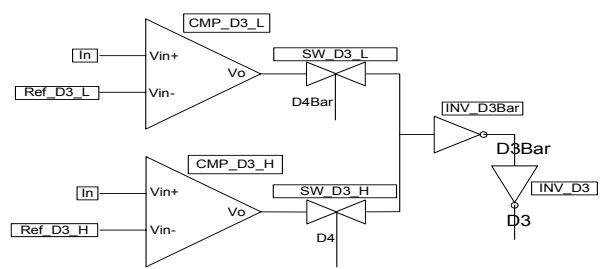


그림 4. decision stage of D3

D4	SW_D3_L	SW_D3_H
1	off	on
0	on	off

표 2. DS-D4 의 제어

DS-D2, DS-D1, DS-D0 또한 위와 같은 과정에 의해서 각각의 bit 들이 결정 되어 진다. 다만 DS-D2 에 인가되는 기준전압들은 D5 와 D4 의 조합에 의해

서 결정 되어 지고, DS-D1 에 인가되는 기준전압들은 D5, D4, 그리고 D3 에 의해서 정해지게 된다. 마지막으로 DS-D0는 D5, D4, D3, 그리고 D2 에 의해서 결정 되어 진다.

2.1.1 비교기 설계

본 논문 에서는 인버터 logic threshold 전압을 ($V_{ref}/2$) 이용한 새로운 형태의 rail-to-rail 비교기를 제안 하였다. 이를 그림 5 에 나타내었다.

n-type preamp 를 가지는 CMP_n 과 p-type preamp 를 가지는 CMP_p 로 구성 되어지는 이 비교기는 입력전압 값이 $V_{ref}/2$ 보다 클 경우 n-type preamp 의 출력이 전체 비교기의 출력이 되고, 반면에 입력이 $V_{ref}/2$ 보다 작을 경우 p-type preamp 의 출력이 전체 비교기의 출력이 되어진다.

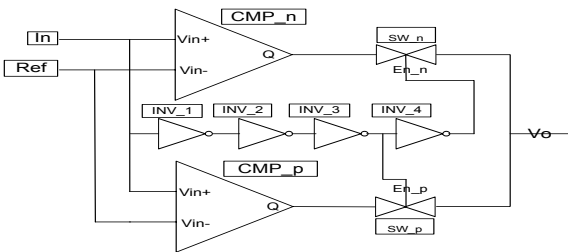


그림 5. Inverter logic threshold voltage 를 이용한 새로운 형태의 rail-to-rail comparator

입력 MOS 트랜지스터가 nmos 로 구성된 n-type preamp 를 그림 6 에 보였다. preamp 는 능동 부하를 가지는 차동 입력 쌍으로 구성하였다.

비교기의 스피드는 -3dB 주파수가 결정한다. n-type preamp 는 643MhZ 의 -3dB 주파수를 가지고 DC gain 은 6-bit 의 해상도를 만족하기에 충분한 19.2dB 를 가진다. 전력소모는 $V_{DD}=2.5V$ 에서 438uW 를 보이고 있다.

p-type preamp 는 n-type preamp 와 대조적으로 구성된다. 668MhZ 의 -3dB 주파수를 가지고 DC gain 은 해상도를 만족하기에 충분한 18.1dB 를 가진다. 전력소모는 $V_{DD}=2.5V$ 에서 640uW 를 보이고 있다.

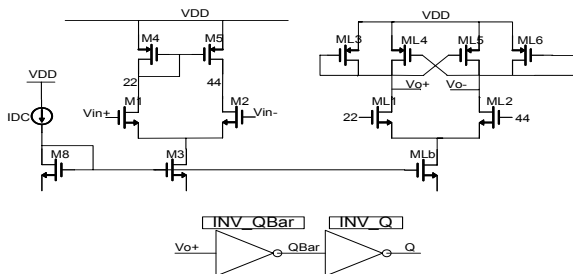


그림 6. positive feedback 을 이용한 latch 를 가지는 n-type preamp

2.2 Reference voltage generator

기준 전압 발생기는 저항 사다리를 이용하였다(그림 7). 저항 사다리의 각 노드에서 보는 출력 저항 값을 줄이기 위해 2 개의 동일한 저항 사다리를 사용하여 각각의 대응되는 노드를 평균하였다. 단, 이때의 저항 값의 조건은 $R2 \ll R1$ 이어야 한다. 본 논문에서는 $R2 = 1\Omega$, $R1 = 20\Omega$ 을 각각 사용하였다. 제안된 기준전압 발생기는 $V_{ref} = 2.5V$ 에서 9.7mW 의 전력 소모를 보인다.

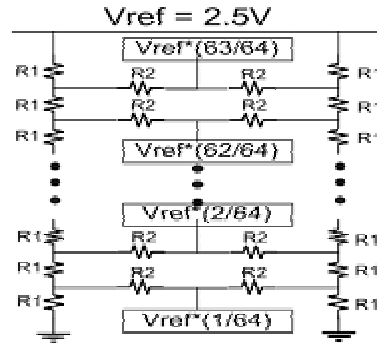


그림 7. 기준전압 발생기로 사용된 저항 사다리

2.3 Reference voltage control logic

기준전압 제어 회로는 그림 8 에서 보는 바와 같이 간단한 디코더와 스위치를 이용하였다. 이는 DS-D2 의 경우를 예로 든 것이다. DS-D2 에 인가되는 기준전압 진리표는 표 3 과 같다.

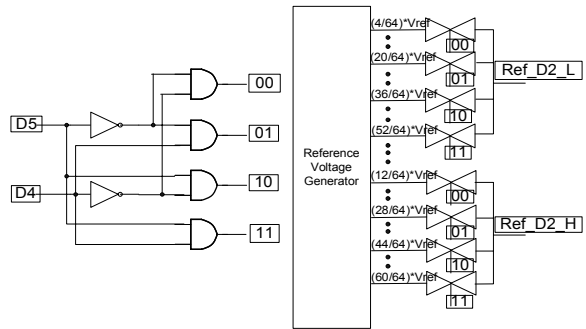


그림 8. DS-D2 의 기준 전압 제어회로

D5	D4	Ref_D2_L	Ref_D2_H
0	0	$(4/64) * V_{ref}$	$(12/64) * V_{ref}$
0	1	$(20/64) * V_{ref}$	$(28/64) * V_{ref}$
1	0	$(36/64) * V_{ref}$	$(44/64) * V_{ref}$
1	1	$(52/64) * V_{ref}$	$(60/64) * V_{ref}$

표 3. Ref_D2_L 과 Ref_D2_H 의 진리표

표 3 과 그림 8 에서 볼 수 있듯이 D5, D4 는 디코더에 의해서 00, 01, 10, 11 의 모든 경우의 수로 만들어지고, 이는 기준전압 발생기의 출력노드에 연결된 스위치의 제어신호로 쓰이게 된다. DS-D3, DS-D1, DS-D0 에 사용 되는 기준전압 제어회로도 이와 같

은 간단한 디코더가 사용되었다. 그림 9 에서 DS-D2의 기준전압 제어회로의 시뮬레이션 결과를 볼 수 있다. 위에서부터 Ref_D2_L, Ref_D2_H, D5, D4의 파형이며, 제어회로에 의해 정확한 기준전압이 DS-D2에 인가 되어 짐을 알 수 있다.

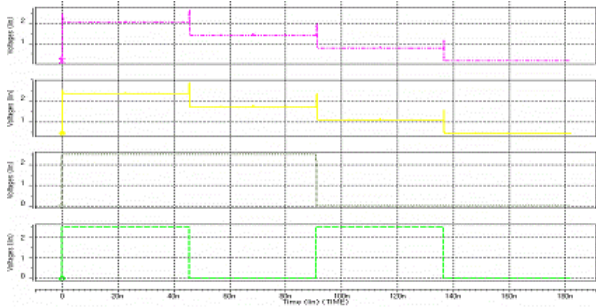


그림 9. 기준전압 제어회로에 의한 DS-D2의 기준전압 시뮬레이션 결과

위에서 언급한 바와 같이 각각의 Decision stage에 인가되는 기준 전압이 제어회로에 의해 각각의 stage에 인가되므로 비교기를 2^n 개 만큼 사용하지 않아도 된다. 여기서 윗첨자 n은 ADC의 resolution을 나타낸 것이다. 그러므로 칩 면적에 있어서 작은 면적을 차지할 뿐만 아니라 저전력 회로설계에 적합하다. ASA-ADC에서는 11개의 비교기를 사용하였다.

3. 실험 결과

입력신호로 2.5V peak-to-peak (0V - 2.5V) 삼각파형이 입력되었을 때 시뮬레이션 결과를 그림 10에 보였다. 입력신호의 최대 주파수인 2.38MHz에서 손실된 코드 없이 정상적으로 작동한다. ASA-ADC는 단위 사이클 당 128개의 코드를 생성하므로 최대 변환율은 $128 * 2.38 \text{ MHz} = 304 \text{ Ms/s}$ 이다. 전체 전력 소모는 $VDD=2.5V$ 에서 17mW 이하이다. 표 4에서는 기존에 발표된 회로들과의 성능을 비교하였다.

INL(integral nonlinearity), DNL(differential nonlinearity) 시뮬레이션 결과를 그림 11에 나타내었다. 입력신호가 2.38MHz의 주파수를 가지는 삼각파일 때, INL은 $\pm 0.54 \text{ LSB}$ 를 넘지 않고 DNL은 $\pm 1 \text{ LSB}$ 보다 작다.

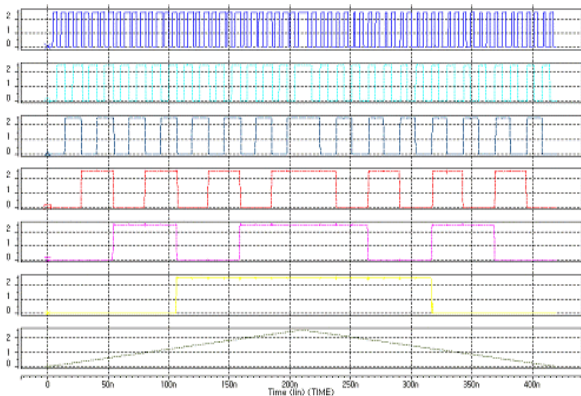


그림 10. ASA-ADC 회로 시뮬레이션 결과 (입력이 삼각파일 때)

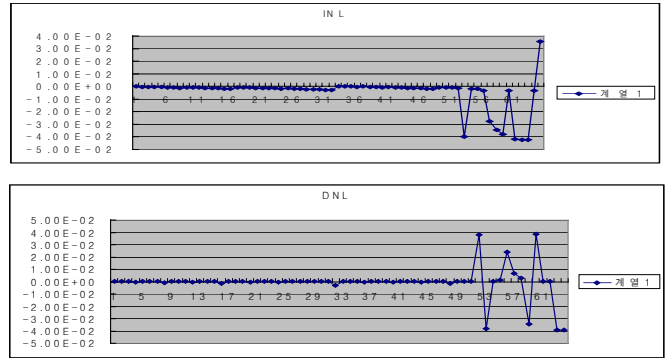


그림 11. NISA-ADC의 INL, DNL simulation 결과

4. 결론

이상의 실험 결과에서 6-bit 300Ms/s의 최대 데이터 변환율을 가지는 개선된 Successive Approximation ADC를 보였다. 전체 전력소모는 17mW 이하이다.

본 논문에서 제안한 새로운 architecture에서 알 수 있듯이 input이나 reference voltage가 summing junction에 의해서 만들어 지지 않고 비교기에 직접 인가되는 구조이기 때문에 고속 동작에 보다 유리하다. 그리고 비교기의 수를 줄이기 위해 간단한 디코더를 이용하여 기준전압 제어회로로 사용하였다. 이는 저전력 응용분야에 적합하다. 또한 제안된 SA-ADC(NISA-ADC)는 standard CMOS 공정으로 제작이 가능하고, SoC 환경에 적합하다.

	[1]	[2]	[3]	[4]	This work
Tech	0.35u CMOS	0.5u CMOS	0.35u CMOS	0.35u CMOS	0.25u CMOS
Supply Voltage	3V	3.2V	0.9V-1V	0.8V-3.3V	2.5V
Input Range	1.0Vp-p	2.3Vp-p	rail-to-rail	rail-to-rail	rail-to-rail
Sampling rate	400MS/s@3V	400MS/s@2V	50MS/s@1V	250MS/s@3.3V	300MS/s@2.5V
Power	190mW@3V	200mW@3.2V	20mW@1V	30mW@3.3V	17mW@2.5V

표 4. 성능비교 테이블

참고문헌

[1] I.Mehr and D. Dalton, "A 500-Msample/s, 6-bit Nyquist-rate ADC for disk-drive read-channel application," IEEE J. Solid State Circuits, vol. 34, pp. 912-920, July 1999

[2] A. Baschiroto, G. Brasca, V. Colonna, P. Cusinato, and G. Gandolfi, "A compact-disc analog-to-digital front-end in BiCMOS technology," IEEE Trans. Consumer Electron., vol 46, pp.343-352, May 2000.

[3] S. Tsukamoto, W. G Schofield, and T. Endo, "A CMOS 6-b, 400-Msample/s ADC with error correction," IEEE J. Solid-State Circuits, vol. 33, pp. 1939-1947, Dec. 1998.

[4] M. Flynn and B. Sheahan, "A 400-Msample/s, 6-b CMOS folding and interpolating ADC," IEEE J. Solid-State Circuits, vol. 33, pp. 1932-1948, Dec. 1998.