

# DVB-T baseband 수신기를 위한 DSP 기반 SoC 플랫폼 설계

강승현\*, 조군식\*\*, 서우현\*, 조준동\*  
\*성균관대학교 전자전기 공학부, \*\*삼성 전기  
e-mail:eureka@vada1.skku.ac.kr

## Design of DSP based SoC platform for DVB-T baseband receiver

\*Seoung-Hyun Kang, \*\*Koon-Shik Cho, \*Woo-Hyun Seo,  
\*Jun-Dong Cho  
\*School of Electrical and Computer Engineering, Sungkyunkwan  
University  
\*\*Samsung Electro-mechanics

### 요 약

본 논문에서는 기존의 설계 방법의 문제점을 해결하기 위한 설계 방법인 플랫폼 기반 설계에서 사용할 수 있는 DSP 기반 플랫폼을 구현하였다. 구현된 DSP 기반 플랫폼을 AMBA AHB 버스를 바탕으로 한 듀얼프로세서 플랫폼과 crossbar switch 구조의 버스 구조를 가지고 4개의 프로세서를 연결한 멀티프로세서 플랫폼으로 확장하여 검증함으로써 이질적인 환경에서 동작함을 나타내었다. 멀티프로세서 플랫폼에서는 DVB-T baseband 수신기를 HW/SW 분할 구현하고 성능 평가를 수행하였다. DSP 기반 플랫폼은 유연성, 확장성, 고속의 연산의 특징을 가진다.

### 1. 서론

미래의 IT시장의 급증하는 부분을 차지하는 embedded system은 큰 시스템 안에서 주어진 특정한 기능을 수행하기 위해서 삽입된 subsystem으로서, 소프트웨어와 하드웨어를 동시에 요구하며, 주로 SoC(System On Chip)의 형태로 제작된다. 하지만 타겟 시스템을 모델링해서 시뮬레이션하기 힘들뿐 아니라 디버깅할 수 있는 환경이 열악하며 TTM (Time to-market)이 짧기 때문에 하드웨어와 소프트웨어 간의 동시 작업과 설계가 요구된다.

따라서 칩의 면적을 최소화하고 성능을 최대화하며 게이트 수준의 최적화를 통한 기존의 셀 기반 설계 방법으로는 설계의 생산성 문제를 해결할 수 없다. 이러한 문제를 해결하기 위한 새로운 설계 방법인 IP 재사용을 기반으로 한 플랫폼 기반 설계가 제시되었다. VSIA의 정의에 따르면 플랫폼이란 미리 정형화되고 통합된 하드웨어, 소프트웨어의 IP 블록이나 모델 및 설계 도구를 말한다.[7]

특히 멀티미디어 응용의 경우에는 멀티태스킹 환경이 일반적이고, 새로운 표준의 등장과 기존 표준의

확장이 빈번하여 소프트웨어 중심의 SoC 설계가 더욱 중요하게 된다. 디지털 신호처리는 점점 더 많은 복소 연산과 고속의 데이터 처리를 요구하게 되었고, 이에 맞는 타겟 시스템은 고속의 데이터 처리와 복수의 복소 연산을 동시에 효율적으로 수행하도록 요구되어 졌다. 디지털 신호처리 시스템은 많은 연산량과 고속의 데이터 처리가 필요하여, 요구되어진 성능을 만족하기 위해 이질적인(heterogeneous) 멀티프로세서 사용이 늘어가고 있다.[1] 이런 필요에 따라 고속연산에 적합하며, 유연성을 갖춘 DSP 기반 SoC 플랫폼을 설계하였다.

2장에서는 DSP 기반 SoC 플랫폼 설계를 다루며, 3장에서는 구현한 DSP 기반 플랫폼의 검증하고 이를 멀티프로세서 플랫폼에 적용하여 DVB-T 수신기의 성능을 평가한다. 4장에서는 본 논문의 결과를 요약하며 끝을 맺는다.

### 2. DSP 기반 플랫폼

본 논문에서 사용하는 Teak DSP core는 16비트 고정소수점 범용 DSP 코어이며, 복잡한 디지털 신

호처리 구현을 위해 dual MAC 구조로 디자인 되었다. 반도체 업계에서 요구하는 저전력, 저비용의 DSP 코어로서 어플리케이션 프로세서, 디지털 카메라 및 멀티미디어 시스템 등에서 사용된다. 또한 SoC 구현을 위해 합성 가능한 소프트 IP 형태와 하드 IP(실리콘 칩) 형태로 공급되어 반도체 업체에서 곧바로 DSP 응용 칩셋을 만드는 것이 가능하며, Teak DSP는 Teak Lite, Oak DSP, Palm DSP와 호환성을 가지고 있다. Teak DSP는 DSP 명령어 셋과 어플리케이션이 요구하는 범용 마이크로프로세서 합수를 가진다.[6]. 본 논문의 communication interface는 외부 플랫폼과의 연결을 위한 버스 구조를 의미한다.

### 2.1 Teak DSP 플랫폼의 전체 구조

일반적인 DSP 프로세서는 그 연산 능력과 특징 때문에 신호처리 분야에서 유연성을 제공한다. 따라서 본 논문에서 설계한 DSP 기반 플랫폼도 다른 프로세서나 IP와의 확장성 및 유연성, 그리고 고속 연산에 초점을 두었다. Teak DSP 플랫폼의 구조는 [그림 1]과 같다.

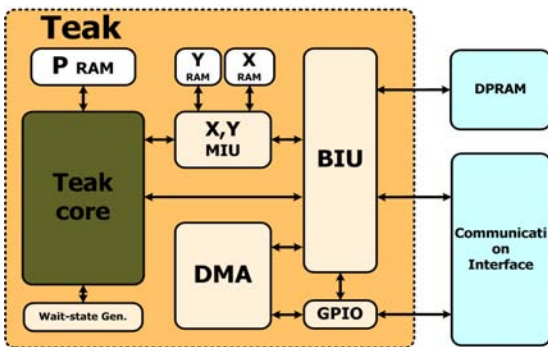


그림 1. Teak DSP 플랫폼

주요 블록으로 X,Y MIU(X Y Space Data Memory Interface Unit)과 BIU (Bus Interface Unit)이 존재한다. X,Y MIU는 내부 메모리를 관리하기 위한 블록이며, BIU는 외부 장치와의 원활한 의사 소통을 위해 필요한 블록이다. 이 두 블록을 이용하여 DSP core가 내부 메모리만을 이용하여 연산을 수행시에 DMA는 외부 IP에 필요한 데이터를 전송할 수 있다. 이런 결과로 고속의 연산을 수행할 수 있다. 이는 DVB-T 처럼 다량의 데이터 전송이 빈번히 일어나는 경우 효과적으로 사용할 수 있다.

P RAM은 프로그램 메모리이며,XY RAM은 내부 데이터 메모리이다. wait-state generator는 외부 플랫폼과의 신호 특성이 다를 경우 이를 위해

wait-state를 발생시켜 신호 특성을 제어한다. GPIO는 외부 장치와의 일반적인 신호 교환을 위해 사용한다. 예를 들어 외부 버스 구조가 crossbar switch의 경우 필요한 정보 교환을 이를 이용하여 사용하게 된다. Teak DSP 플랫폼의 DMA는 X, Y 메모리와 외부 메모리, 메모리와 IP들 사이의 데이터의 전송을 담당한다. Teak DMA는 Teak DSP 코어의 요청에 의해 동작하며, Teak의 간섭 없이 동작한다. DMA 채널은 Teak DSP 플랫폼에서 IP의 증가를 대비하여 확장을 할 수 있는 구조로 설계되어 있다. DPRAM부분은 mailbox 역할을 하는 블록을 추가할 경우 사용한다.

### 2.2 BIU의 구조

플랫폼 내부에서 DMA, Teak DSP 코어, 외부 메모리, 내부 메모리 등을 연결해주는 버스 구조가 BIU에 구현되어있다. 이 Teak BIU의 내부 버스는 mux 구조의 버스로 되어 있으며, decoder를 통해 적절한 블록으로 연결한다. 그리고 외부와의 연결은 어드레스와 데이터 확장을 위한 블록을 통해 확장된 플랫폼과의 원활한 연동을 돕는다.

Teak DSP 코어는 16bit의 데이터와 어드레스를 갖는다. 하지만 추후 확장될 플랫폼이 그 이상으로 확장되는 경우가 발생할수 있다. 이를 위해 Teak DSP 플랫폼은 BIU를 통하여 작업 순간에 따라 DPRAM, IPs, 그리고 공유메모리로 연결되는 블록이 변하게 된다. 32 bit 어드레스로의 변환시 메모리 맵에 따라 정해진 블록과 연결하게 되며, 각각 블록에 read/write strobe 및 각종 신호가 연결된 후 데이터 교환이 발생한다. [그림 2]에 BIU의 어드레스 맵핑 및 데이터 전송에 대한 개념을 블록도로 나타내었다.

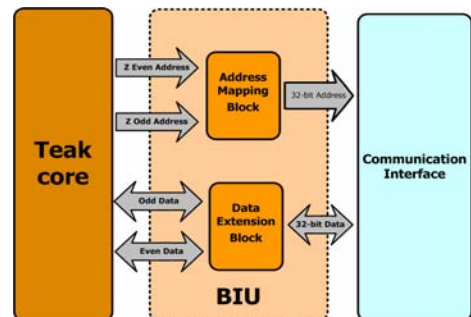


그림 2. BIU의 어드레스 맵핑 및 데이터 전송

데이터의 확장성을 위해서 BIU 내부의 데이터 확장 블록에서 부호 비트를 포함한 데이터의 확장 및

even, odd로의 분할을 수행한다. 하지만, 일반 데이터 값이 아닌 각 IP나 DMA 세팅을 위한 값인 경우에는 부호 비트를 무시하여 동작한다. 이 기능은 Teak DSP 코어만 아니라 DMA가 X,Y 메모리에 접근시에도 동작한다.

X, Y space 데이터 메모리는 각각 write 버퍼(buffer)를 가지고 있다. 이와는 다르게 Z space에는 write 버퍼가 존재 하지 않고, Teak DSP 코어에서 데이터 전송시 1 사이클의 딜레이가 발생한다. Teak DSP 플랫폼에서 다른 블록으로의 올바른 데이터의 전송을 위해서, 전송 시 발생하는 사이클의 딜레이를 조절하는 역할을 BIU가 한다.

### 2.3 X,Y MIU

Teak DSP 플랫폼에는 내부 메모리로 X, Y 메모리를 갖는다. 이 X, Y 메모리는 Teak DSP 코어만이 접근하는 것이 아니라, Teak DMA도 접근 가능해야 한다. 따라서 조건에 따라서 DMA가 X, Y MIU에 접근 가능토록하며, DMA가 communication interface를 통해서만 접근한다면, Teak DSP 코어는 X, Y 내부 메모리만을 가지고 연산 가능토록 해주는 역할을 한다. X, Y MIU는 word 데이터 DMA 접근모드, 2 word 데이터 DMA 접근모드, normal 모드를 지원하며, 외부로 2 word 데이터의 접근을 위해 X, Y의 even, odd의 동시 접근이 가능하도록 한다. 이런 MIU의 상태는 Teak DSP 코어에 의해 제어 된다. 여러 접근 방식의 존재는 코드 작성에는 어려움이 많으나, 효율적인 프로세싱을 지원한다.

### 3. DSP 기반 플랫폼 검증 및 DVB-T 수신기 설계

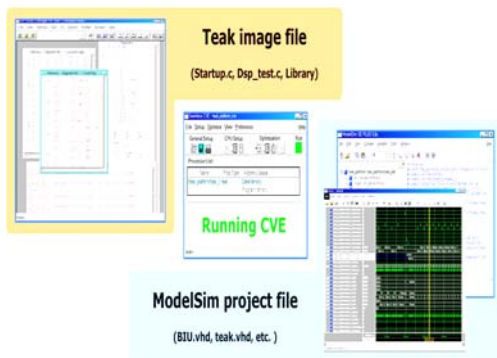


그림 3. Teak DSP 플랫폼 하드웨어/소프트웨어 Co-verification

DSP 기반 플랫폼의 SW/HW 통합 검증을 위해서 Mentor Graphic사의 Seamless CVE를 사용하였다.

Teak DSP core는 Seamless에서 제공하는 ISS를 사용하였다. Teak DSP 플랫폼 검증에서는 운영체제 없이, Start-Up 코드와 어플리케이션 프로그램을 작성하여 검증하였다. 전체적인 검증 모습은 [그림 3]와 같다. VHDL로 코딩된 하드웨어 부분은 ModelSim으로 시뮬레이션 되고, C로 코딩된 소프트웨어 부분은 Teak Debugger를 통해서 이루어지며, 이를 Seamless CVE를 통해서 통합 검증이 수행된다. Start-Up 코드와 어플리케이션 코드를 Teak 크로스 컴파일러를 이용하여 컴파일한 후, 라이브러리들을 이용하여 하나의 바이너리 실행 파일을 만들었고, 이를 Teak Debugger를 통해 Teak 플랫폼을 검증하였다.

### 3.1 DVB-T baseband 수신기

구현한 DVB-T baseband 수신기의 전체 블록도를 [그림 4]에 나타내었다. DVB-T 수신기 시스템에서 OFDM 신호를 정확하게 복원하려면 수신기에 먼저 주파수 동기가 선행되어야 한다. 주파수 동기화 기법은 미세 주파수 동기와 대략적 주파수 동기화 나누어 진행된다.

대략적 주파수 동기는 Classen 알고리즘을 사용하였으며[2][3], 미세 주파수 동기는 Beek 알고리즘을 사용하였다.[3][4] 대략적 윈도우 위치 복원인 심벌동기는 FFT 윈도우 위치 복원의 기능을 수행한다. DVB-T 방송 시스템의 전송 방식에서 심벌간의 간섭을 방지하기 위해 심벌과 심벌 사이에 보호구간을 삽입하여 전송한다. FFT 윈도우 위치 복원의 기능은 수신된 샘플열에서 보호구간을 제외한 실효 샘플만을 추출하여 FFT에 인가하는 역할을 수행한다. 심벌동기에 사용된 알고리즘은 신호 전력의 차의 절대값을 이용하는 알고리즘을 사용하였다.[4]

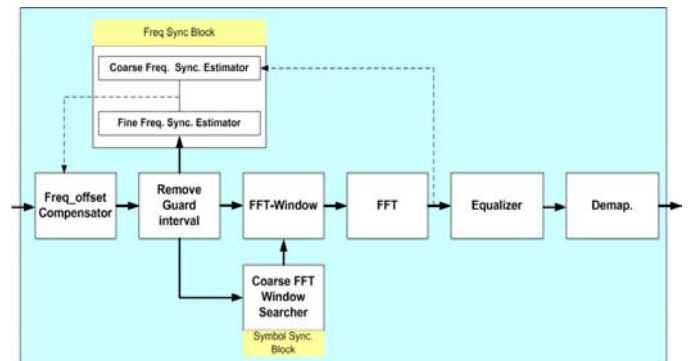


그림4. DVB-T baseband 수신기의 구조

FFT 프로세서는 OFDM 시스템에 있어 가장 큰

복잡도를 가지며 고속 연산이 요구되어 구현이 어려운 부분으로 hardwired ASIC 설계가 일반적이다[9]. 등화기는 채널의 영향 등 수신 신호의 진폭과 위상의 왜곡을 보상하는 것을 목적으로 하는 수신 요소이다. 등화기는 신호의 평균제곱오차(Mean Square Error) 최소화를 목적으로 하는 LMS(Least Mean Square) 알고리즘을 사용하였다.

3.2 플랫폼 확장 및 DVB-T 수신기 구현

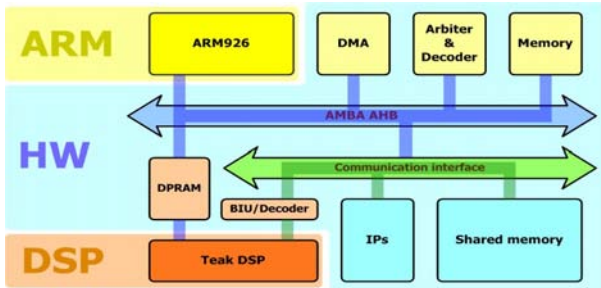


그림5. 듀얼프로세서 플랫폼 (AMBA AHB 기반)

먼저 DSP 기반 플랫폼을 다음 그림[5]와 같이 AMBA AHB 기반의 듀얼프로세서 플랫폼으로 확장하였다. ARM 프로세서는 ARM926ej를 사용하였고 Seamless CVE를 통하여 검증하였다. 이 듀얼 프로세서 플랫폼을 가지고 각 DVB-T 시스템의 블록의 성능을 측정하였으며 그 결과를 토대로 [그림 6]과 같은 4개의 프로세서를 사용한 멀티프로세서 플랫폼으로 확장하였다.

멀티프로세서 플랫폼은 병목현상을 최소화 하기 위하여 AMBA AHB와 같은 Shared bus 구조가 아닌 Crossbar switch 구조로 구현하였다. 복소 연산을 위하여 2개의 공유 메모리를 두었으며, DVB-T 각 블록을 ETSI의 EN 300 744 규격에 만족 하도록 스케줄링을 하였다. 이는 8MHz 채널에서 2k 모드면서 보호구간 1/8인 경우 전체 심볼 주기는 252us이다.[5]

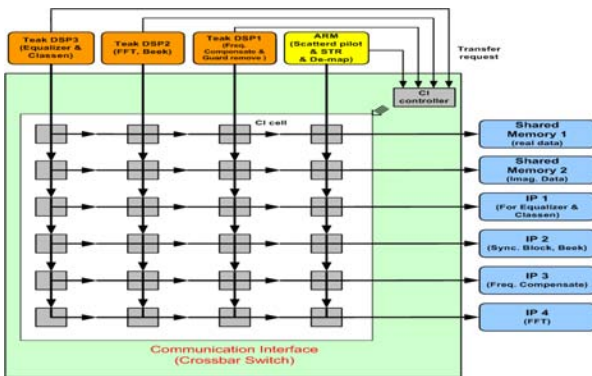


그림 6. 멀티프로세서 플랫폼 (crossbar switch)

스케줄링 결과를 바탕으로 단순 연산 블록들은 IP들로 구현하였으며, 버스 구조상의 일부 병목현상 결과 때문에 추가 시간이 필요하게 되었다. DVB-T 수신기의 초기 셋팅 시간을 제외하고는 모든 블록이 동시에 실행된다. 따라서 각 블록이 심볼 주기인 252us를 만족하면 된다. 주요 기능 블록별 성능 평가 결과는 다음 [표 1]과 같다. 플랫폼은 166MHz 주파수로 동작되어 작업을 수행하였다.

알고리즘	대략적 주파수	미세 주파수	FFT	등화기
플랫폼	동기	동기		
Teak DSP platform + IP	241us	56.3us	188.9 us	219.5us
IP	3.3us	1.5us	38.6 us	11.2us

표 1. 성능 평가

4. 결론

본 논문에서는 최근 새로이 SoC 설계 방법으로 등장한 플랫폼 기반 설계 방법에서 사용할 수 있는 DSP 기반 플랫폼을 구현하였다. DSP 기반 플랫폼은 고속의 연산 능력을 가지면서 유연하고, 다른 플랫폼으로의 확장성을 가진다. SW를 통하여 XY MIU나 GPIO 등을 제어 가능하여 멀티프로세서 플랫폼으로 확장시 유연함을 제공한다. 그리고 DSP core의 내부 메모리를 이용한 연산시, 동시에 DMA를 통하여 외부 IP 블록에 데이터를 전송할 수 있기 때문에 고속의 데이터 처리가 가능하다. AMBA AHB 구조의 듀얼프로세서 플랫폼과 crossbar switch 기반 플랫폼으로 확장하면서 DVB-T 수신기를 구현하였고 성능을 평가하였다. 추후 DSP 기반 플랫폼의 SW 스케줄링을 통한 최적화에 대한 연구를 수행할 예정이다.

참고문헌

[1]I. Karkowski and H. Corporaal, "Design Space Exploration Algorithm For Heterogeneous Multi-processor Embedded System Design", Proc. Design Automation Conf., June 1998.  
 [2] F. Classen and H.Meyr, "Frequency synchronization algorithms for ofdm systems suitable for communication over frequency selective fading channels," Proc. of VTC, pp. 1655-1659, 1994.  
 [3] 이형욱, 김기윤, 최형진 "DVB-T 시스템을 위한 효율적인 주파수 및 심볼 동기 구조," 한국통신학회 논문지 제 27권 2호 한국통신학회 2002  
 [4] J. Beek, M. Sandell, and P. Börjesson, "On synchronization in OFDM systems using the cyclic prefix," Proc. of RVK(Radiovetenskaplig Konferens), pp. 663-667, 1996.  
 [5] ETSI, "Digital video broadcasting(DVB); Framing structure, channel coding and modulation for digital terrestrial television," EN 300 744, V1.4.1 Jan. 2001.  
 [6] [www.parthusceva.com](http://www.parthusceva.com)  
 [7] [www.vsia.org](http://www.vsia.org)