

## Copper CMP에서 Electrochemical Plating 두께에 따른 Defect 특성 연구

김태건, 김남훈\*, 김상용\*\*, 장의구  
 중앙대학교, \*조선대학교, \*\*동부아남반도체

### Study of defect characteristics by electrochemical plating thickness in copper CMP

Tae-Gun Kim, Nam-Hoon Kim\*, Sang-Yong Kim\*\*, Eui-Goo Chang  
 Chung-Ang Univ., \*Chosun Univ., \*\*DongbuAnam Semiconductor Co.

**Abstract :** Recently semiconductor devices are required more smaller scale and more powerful performance. For smaller scale of device, multilayer structure is proposed. And, for the higher performance, interconnection material is change to copper, because copper has high EM(Electro-migration)and low resistivity. Then copper CMP process is a great role in a multilayer formation of semiconductor. Copper process is different from aluminum process. ECP process is one of the copper processes. In this paper, we focused on the defects tendency by copper thickness which filled using ECP process. we observed hump high and dishing. Conclusively, hump hight reduced at copper thickness increased. Also dishing reduced.

**Key Words :** CMP, ECP, Hump, Dishing

### 1. 서론

다층 배선구조를 위한 광역평탄화의 대표적인 방법인 CMP 공정은 현재 많은 연구가 진행되어 오고 있다. 배선 물질이 기존의 알루미늄에서 구리로 교체 되면서 구리 공정에 초점이 맞추어 지고 있으며 알루미늄 공정에서와 는 다른 공정이 적용 되고 있다. 구리를 실리콘 패턴위에 씌우는 방법도 많이 연구 되고 있다.[1]

ECP 공정이란 실리콘 기판위에 패턴을 형성한 후 copper를 다시 filling 하는 한가지 방법으로 씌여지고 있다.

그러나 ECP 공정에서 기존의 CVD 공정에서 발견되지 않았던 hump가 발생 되었다, 이러한 hump effect란 pattern이 조밀한 부분에서 copper의 두께가 다른 부분보다 높게 쌓이는 현상을 말하는데, 이런 현상은 CVD에서는 반대되는 현상으로 hump effect의 가장 큰 문제점으로 제기된 것은 uniformity에 대한 문제점 이었으며 이를 줄이기 위한 방법들이 연구 되어지고 있다.[2]

본 논문에서는 이러한 hump effect에 대한 ECP로 쌓여진 copper의 두께와의 상관성에 대해서 연구 되어졌으며 실험 내용은 copper thickness의 변화에 따른 hump hight의 증감을 조사 하였으며, 또한 CMP 공정을 한 이후 copper thickness의 변화에 대한 각각의 dishing을 측정하여 copper thickness와 dishing의 연관성에 대해서 고찰 하였다.

### 2. 실험

본 실험은 그림1 에서와 같이 pattern 위에 damascene 공정으로 2 layer를 증착시킨 후 각각의 layer에 대한 ECP thickness를 측정하였다. 각각의 layer에 따라 600nm, 800nm, 1000nm의 copper를 증착시켰으며 CMP의 공정조건은 같게 하였다. 이후 copper thickness에 대한 dishing의 발생량을 알아보기 위하여 HRP를 이용하여 dishing을 측정하였다. Dishing의 측정은 center chip과 edge chip을 나누

어서 측정하고 1'st 2'nd layer 대하여 각각 측정하였다.

CMP 공정시의 압력은 1'st layer가 4psi 이고 2'nd layer에서 3psi를 가하여 실험을 진행하였다. CMP 시간은 EPD signal이 측정되는 시점에서 공정을 중단하였다.

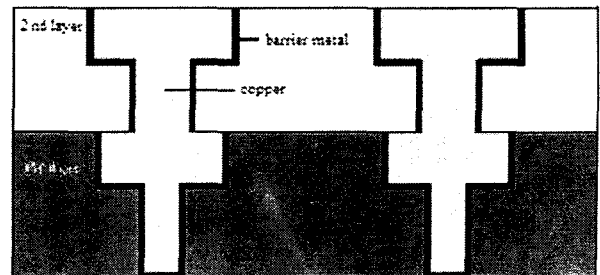


그림 1. 2 layer로 증착된 Si 기판의 개략도.

### 3. 결과 및 검토

그림 2는 ECP를 이용하여 쌓은 copper의 thickness에 따른 hump hight를 측정한 그래프이다. 그림에 알 수 있듯이 copper의 thickness가 증가하면서 hump의 hight는 감소하는 것을 볼 수 있다. Hump의 hight가 줄어드는 이유에 대해서는 hump가 pattern의 조밀한 부분에서 나타난다는 것을 고려할 때 hump의 발생과 hight의 변화는 pattern에 조밀함에 의존적이라 볼 수 있으며 copper의 thickness가 증가하면서 기존의 pattern에 대한 의존도가 상대적으로 작아진다는 것을 알 수 있다. 따라서 pattern의 조밀함으로 인한 stress를 copper의 thickness가 증가되면서 절감 시키고 hump의 hight가 줄어든다고 판단할 수 있다.

또한 hump가 CMP 공정 전반에 주는 영향을 알아보기 위하여 CMP 후 dishing을 측정하였다. 그림4는 copper의 thickness에 따른 dishing을 측정한 그래프이다.

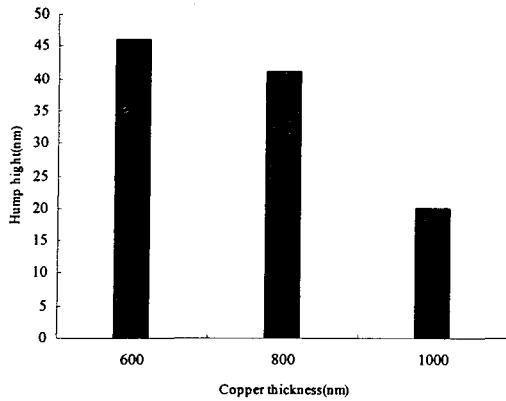


그림 2. Copper의 thickness의 변화에 의한 hump height 변화.

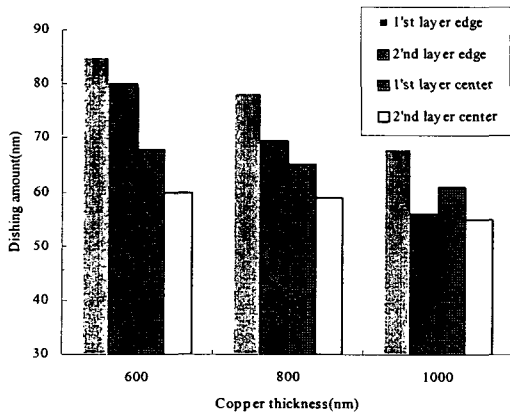


그림 3. Copper의 thickness의 변화에 의한 dishing의 변화량.

Dishing을 측정 한 결과 1000nm 에서 1st layer와 2nd layer 모두 50nm~65nm의 dishing을 보인 반면 600nm로 쌓은 경우 60nm~85nm의 dishing을 보였다. 이는 hump의 height의 증가에 의한 uniformity의 변화가 일어남을 예측할 수 있으며 이러한 uniformity의 변화는 CMP 공정에서 defect의 증가를 초래 하였을 것이라는 것으로 판단된다.

또한 그래프에서 보면 2nd layer에서 center와 edge의 차이 1st layer 보다 차이가 나는 것을 볼 수 있는데 이것은 layer가 높아지면서 나타나는 적층 stress로 볼 수 있다. 이것은 그림 4의 EPD signal의 bandwidth의 차이로 알아 볼 수 있다.

그림 4에서 CMP 공정시간이 나타나게 되는데 CMP 공정 시간 또한 copper thickness에 의존적이라는 것을 알 수 있다.

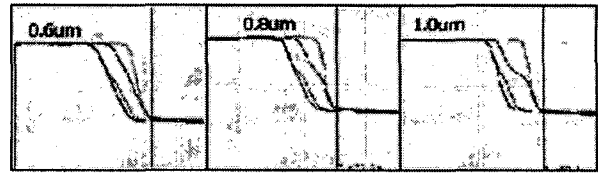


그림 4. EPD signal.

#### 4. 결론

본 연구에서는 ECP로 copper를 쌓은 후 나타나는 hump로 인하여 CMP 공정후 dishing으로 이어지는 현상에 대한 전반적인 경향을 알아보았다.

Copper의 thickness에 대한 hump의 경향에 대해서는 thickness가 증가되면서 hump의 height는 줄어드는 경향을 확인 할 수 있었다. Hump effect로 인한 가장 큰 결점이라 할 수 있는 uniformity와 defect의 발생은 줄여야만 하는 이유가 있다. 이를 위하여 copper thickness에 대한 dishing을 분석해 본 결과 hump effect가 줄어드는 thickness가 높았을 때 dishing 또한 줄어드는 경향을 볼 수 있었다.

Copper thickness의 의존성이 높은 hump effect로 인한 dishing의 증가를 알 수 있었으며 copper thickness와 defect와의 경향성의 관점에서는 높은 thickness가 공정의 높은 효과를 나타낼 수 있으나 공정비용과 공정시간을 감안한다면 copper의 thickness가 두꺼운 것만이 최적의 조건이라 할 수가 없다. 따라서 모든 면이 고려된 최적의 ECP copper filling의 공정 요구조건이 필요하겠다.

#### 감사의 글

본 연구는 한국과학재단 목적기초연구(R01-2002-000-00375-0) 지원으로 수행되었음.

#### 참고 문헌

- [1] J. M. Steigerwald, S.P Mararka, and R. J. Gutmann, "Chemical Mechanical Planarization of Microelectronic Materials", John Wiley & Sons, New York 1997.
- [2] J. Reid, V. Bhaskaran, R. Contolini, E. Patton, R. Jackson, E. Broadbent, T. Walsh, S. Mayer, R. Schetty, J. Martin, M. Toben, and S. Menald, "Optimization of Damascene Feature Fill for Copper Electroplating Process", Novellus Technical Report. 2000 Available at [www.novellus.com/damascus/tec/tec\\_14.htm](http://www.novellus.com/damascus/tec/tec_14.htm) p. 229, 1989.