

데이터 지연방식의 CDR을 이용한 광 송신기 설계

Design of Optical Receiver with CDR using Delayed Data Topology

김경민, 강형원, 최영완
Kyung Min Kim, Hyung Won Kang, Young Wan Choi
Microwave & Lightwave Telecommunication Lab.
School of Electrical and Electronic Engineering, Chung-Ang Univ.

Abstract

In this paper, we design optical receiver composed of CDR(clock and data recovery), SA(sense amp), TIA(transimpedance amplifier), and decision circuit. The optical receiver can be classified to two main block, one is Deserializer composed of CDR and SA, another is PD receiver composed of preamplifier(샴), peak detector, etc. In this paper, we propose CDR using delayed data topology that could improve defects of existing CDR. The optical receiver that is proposed in this paper has the role of translation a 1.25 Gb/s optical signal to 10×125 Mb/s array electric signals. This optical receiver is verified by simulator(hspice) using 0.35 μ m CMOS technology.

접수일자 : 20XX. X. XX., 수정완료 : 20XX. X. XX.

홍길동 : 강원대학교 전기공학부(itfe@itfe.or.kr)

김유신 : 삼성기술연구원(edit@itfe.or.kr)

※ 본 논문은 IDEC(반도체설계교육센터)에서 지원하여 연구하였습니다.

Keywords

Deserializer, CDR, delayed data topology, Optical receiver

I. 서론

현재 정보처리 프로세서의 clock 주파수는 3

GHz를 넘어서고 있다. 이러한 처리속도는 800 MHz대의 FSB(front side bus)를 기반으로 여러 채널을 병렬로 연결하여 구현한 동작 속도이다. 최근 Intel사에서 1066 MHz의 FSB를 가지는 CPU를 출시할 예정이라 발표하여, 하나의 버스라인에서 GHz대역의 처리속도가 가능해질 것으로 예상된다. 하지만, chip-to-chip 또는 board-to-board의 데이터 통신에 있어서 신호 주파수의 증가는 그에 따른 버스간의 cross talk, 임피던스 매칭, EMI(electro magnetic interface), 신호전달 지연시간, 데이터의 손실 등 해결해야 할 문제를 제시하게 되었다. 이러한 문제점들을 해결하기 위해 고속 PCB(printed circuit board)의 연구가 활발히 진행되어 왔지만 궁극적인 해결책은 제시하지 못하고 있다. 이에 기존의 전기신호를 광신호로, 전기신호의 전송버스를 광섬유나 광도파로로 대체하는 광 접속 기술이 그 대안을 제시하고 있다. 광 접속 기술은 크게 두 부분으로 나누어 질 수 있다. 하나는 전송버스와 관계되는 OPCB(optical printed circuit board)이며, 다른 하나는 광 접속에 사용되는 광 송수신기 회로와 chip to chip 또는 board to board의 인터페이스에 관한 기술이다. 본 논문에서는 이와 연계하여 광 접속기술에 관련된 1.25 Gb/s의 광 수신기를 설계하였다.

II. 본론

본 논문에서는 광접속기술에 사용되는 광 수신기를 설계하였다. 아래의 그림 1. 은 설계한 광 수신기의 block diagram을 보여주고 있다. 설계된 광 수신기

는 PD receiver와 CDR, 그리고 10개의 flip flop 단으로 구성이 된다. 2.5 Gb/s의 광 신호는 PD를 통해 전류 신호로 변환되며, 이 1.25 Gb/s의 전류 신호는 preamplifier 와 peak detector 및 비교기로 구성된 PD 수신기에 의하여 전압신호로 변환된다. 이 전압신호에 동기를 맞추어 데이터를 복원시켜 주는 것이 CDR의 역할이며, 이 때 복원된 신호는 flip flop을 통해 같은 위상의 10개의 데이터로 변환되어 외부의 단자에 신호를 인가하게 된다.

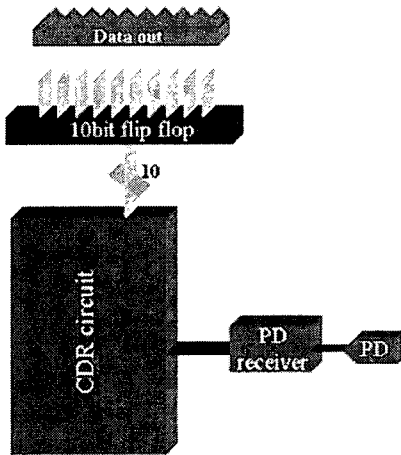


그림 1. 광 수신기의 block diagram

1. 주파수 합성기

CDR에 포함되는 회로인 VCO(voltage controlled oscillator)는 고주파로 동작할 수록 잡음에 민감하게 되며, 위상잡음 등 동작 특성에 제한을 받게 된다. 이러한 이유로 CDR에서 사용되는 PFD(phase frequency detector), PD (phase detector)는 VCO의 특성 개선을 위하여 half rate clock, 1/4 rate clock, 1/8 rate clock(VCO를 통해 일정 위상차를 갖는 신호를 이용하는 방식)방식을 사용하여 VCO의 동작 주파수를 낮추려 시도하고 있다. 본 논문에서는 VCO의 동작 주파수를 낮추기 위하여 5 x 주파수 합성기를 이용하였다. 본 논문에서 설계된 VCO는 125 MHz에서 동작하며, 총 10개의 delay buffer를 사용하여 1/20 lambda의 위상 차이를 보이는 출력을 얻을 수 있다. 그림 2. 는 제안한 주파수 합성기의 회로도도를 보여주고 있다.

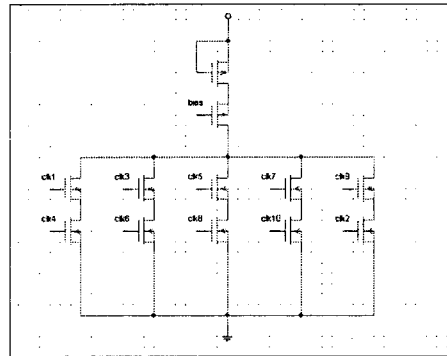


그림 2. 주파수 합성기

주파수 합성기는 serializer 회로를 응용하여 설계하였으며 총 10개의 VCO 출력신호가 주파수 합성기의 입력으로 인가되어 1.25 Gb/s의 주파수를 생성하게 된다. 각 단의 nmos의 입력으로는 2/5 lambda의 위상차를 보이는 VCO의 출력이 인가되며, 하나의 nmos단과 다른 nmos단의 위상차이는 1/5 lambda이다. 주파수 합성기의 출력 단에는 버퍼회로를 추가함으로써 보다 완벽한 5배 주파수의 구형파를 얻어내게 된다. 그림 3. 은 주파수합성기와 버퍼단을 통하여 5배의 주파수로 변환된 모습을 보여주고 있다.

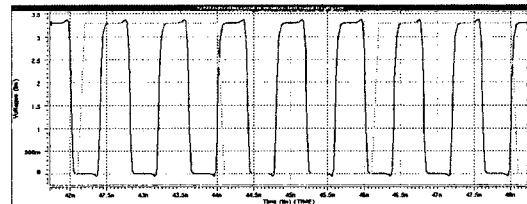


그림 3. 5배 주파수 합성기 simulation 결과

2. CDR

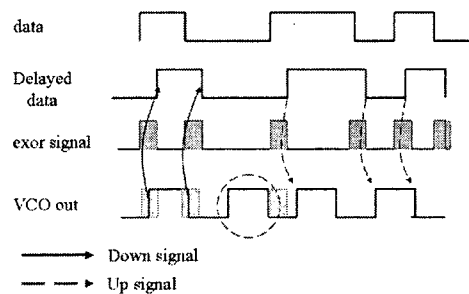


그림 4. 제안한 PFD의 동작 원리

본 논문에서 설계한 1.25 Gb/s 광수신기 회로는 1.25 Gb/s의 광 신호를 125 Mb/s의 병렬 전기 신호

호로 분주하여 주는 역할을 한다. 1.25 Gb/s의 신호가 안정적으로 10개의 125 Mb/s신호로 복원되기 위해서는 총 1/10 lambda의 위상차를 갖는 클럭이 필요하게 되며, 1.25 Gb/s의 위상정보를 광수신기 회로를 통해 얻어낼 수 있어야한다. 이에 CDR 회로는 입력으로 들어오는 1.25 Gb/s신호에 동기를 맞추어 1/10 lambda의 위상차를 갖는 10개의 출력 신호를 내보내주는 역할을 한다. 본 논문에서 제안한 CDR은 데이터 지연방식을 사용하여 기존의 CDR의 문제점을 해결하려 하였다. CDR은 NRZ(non return to zero)데이터에 위상을 비교하여 동기를 맞추어야 하기 때문에 CDR에 사용되는 PD(phase detector), 또는 PFD (phase frequency detector)의 특성 및 구조에 따라 성능의 차이가 결정된다. 기존의 CDR은 크게 Hogge 형태의 PD(phase detector)를 사용한 방식과 Alexander 형태의 PD를 사용한 방식으로 구분될 수 있다. Hogge 방식의 PD는 PD의 입력인 데이터와 PLL(phase locked loop)의 출력과의 위상 차이에 비례하는 선형적인 전압신호를 출력으로 내보내어 VCO(voltage controlled oscillator)의 위상을 조절한다는 장점을 가지고 있지만, 입력 데이터의 고조파에 해당하는 주파수에서 역시 안정화되는 문제점과 PD의 출력인 up신호와 down신호가 동시에 'on'상태가 되어 PD의 출력이 입력으로 인가되는 charge pump loop filter에서 charge sharing을 하게 되는 단점을 갖고 있다. 이에 반해 Alexander 방식의 PD는 위의 단점에 해당하는 고조파성분에서 주파수의 안정화와 charge sharing의 단점은 없지만, 입력 신호의 위상의 차이에 선형적이 아닌 일정한 출력신호를 내보낸다는 단점이 있다. 본 논문에서는 데이터 지연방식을 사용하여 입력 신호의 위상차에 선형적인 출력을 내보내며, charge sharing과 고조파 주파수에서의 안정화라는 문제를 해결하였다. CDR에서는 PLL에서 사용되는 일반적인 PFD를 사용하지 못한다. 그 이유는 CDR의 입력으로 인가되는 데이터는 NRZ형식의 데이터이기 때문에 입력신호의 위상이 순간적으로 180° 변환을 일으키기 때문이다. 또한 PLL에 사용되는 PFD의 경우 주기적인 구형파의 신호가 입력으로 인가되므로 입력신호와 VCO의 신호의 위상차에 비례하여 up신호를 내보내주며, VCO와 입력신호의 위상 차이에 비례하여 down신호를 출력할 수 있으나, CDR은 down신호의 경우 VCO와 입력데이터의 위상 차이에 비례하는 출력을 낼 수가 없기 때문

이다. 이러한 문제를 해결하기 위하여 본 논문에서는 데이터지연 방법을 이용하여 데이터의 변화를 예측하는 방식을 제안하였으며, 180° 위상변화를 보상하기 위하여 edge 감지 형태의 PFD를 설계하였다. 제안한 형태의 PFD는 reset 명령을 추가하여 up과 down신호가 동시에 'on' 됨에 따른 charge pump loop filter에서의 charge sharing문제 역시 해결하였다.

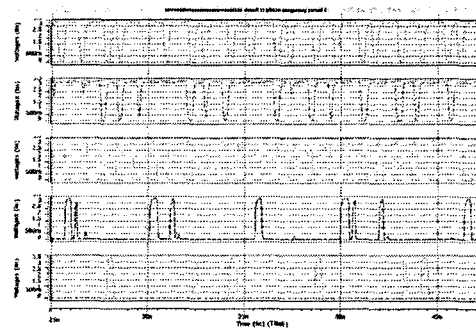


그림 5. 제안한 PFD의 simulation 결과

위의 그림 5.에서는 제안한 CDR의 PFD 출력신호를 보여주고 있다. 위의 그림에서 4번째 신호는 'up' 신호이며, 5번째의 신호는 'down' 신호를 뜻한다.

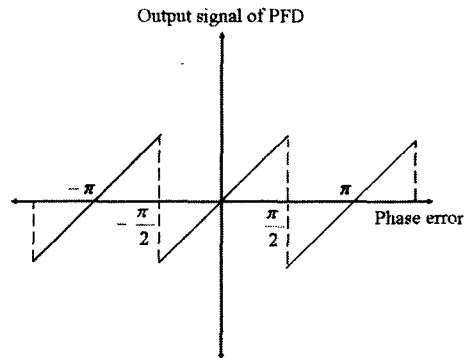


그림 6. 위상차에 따른 PFD의 출력

그림 7.은 제안된 CDR구성 회로인 VCO에 인가되는 컨트롤 전압을 보여주고 있다. VCO의 컨트롤 전압이란 VCO의 출력 주파수의 흔들림 정도를 나타내며, 이는 VCO출력 신호의 jitter 및 위상 잡음을 나타내는 수치가 된다. simulation의 결과에서 볼 수 있듯이 CDR에 사용되는 PLL의 locking은 약 2 us근방에서 형성되며, 컨트롤 전압의 peak-to-peak 전압은 2 uV임을 확인할 수 있었다. 여기에서 2 us

의 locking 시간은 다소 길게 느껴질 수도 있으나, CDR에 인가되는 입력 데이터를 '10001001011001'의 반복 형태로 사용한 점을 감안하면 특성이 나쁘지 않음을 알 수 있다. 또한 컨트롤 전압의 peak-to-peak 전압이 2 uV 대역에서 형성되어 상당히 안정된 출력 주파수를 얻을 수 있음을 확인할 수 있다. 제안한 CDR의 단점으로는 데이터 속도의 제한이 따른다는 점이다. 본 논문에서 제안한 CDR의 PFD의 경우 180°의 위상 변이에 대한 문제를 해결하기 위하여 edge 감지 방법을 사용하였다. edge 감지 방식은 데이터의 edge마다 일정 출력을 내보내주는 형태로 기본 데이터의 주파수의 2배 정도의 동작 주파수를 요구하게 된다. 이러한 이유로 본 논문에서는 0.35 um CMOS 공정에서 안정적으로 동작할 수 있는 주파수 대역인 1.25 Gb/s의 CDR을 설계하였다.

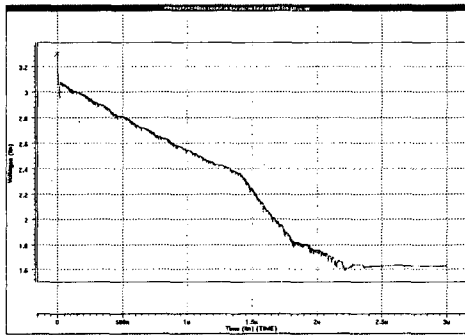


그림 7. CDR의 컨트롤 전압

그림 8.에서는 1.25 Gb/s의 데이터가 125 Mb/s의 데이터로 변환되는 simulation 결과를 보여주고 있다. 본 simulation 결과를 통하여 데이터의 원활한 변환이 이루어졌음을 알 수 있다. CDR을 통해 변환된 125 Mb/s 데이터는 아래의 simulation 결과에서 알 수 있듯이 각각 0.8 ns의 위상차를 갖고 광 수신기의 최종단인 flip flop에 인가된다. 그림 8.의 경우 첫 번째 데이터와 10번째 데이터가 총 8 ns의 위상 차이를 갖게 되는 이유로 125 MHz($\lambda=4$ ns)의 clock에 의해 구동되는 flip flop을 통한 최종 출력 단에서 동일 위상을 갖는 10개의 125 Mb/s 출력을 만들 수 없다. 이러한 문제를 해결하기 위해서 CDR의 10개의 출력 단에 각각 지연시간이 다른 delay cell을 추가함으로써 10개 데이터의 위상 차이를 최소화 할 수 있겠다.

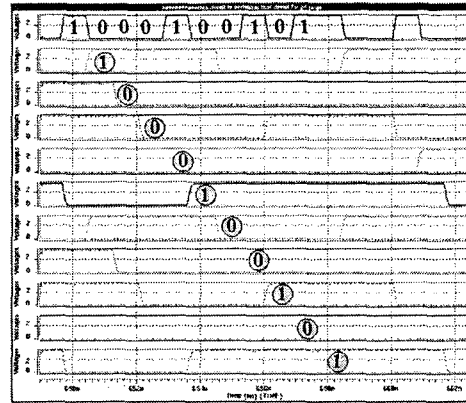


그림 8 CDR의 병렬 데이터 복원

3. PD 수신기

PD 수신기 회로는 PD로부터 얻어지는 1.25 Gb/s의 전류신호를 전압신호로 변환하며, 데이터를 1차적으로 복원하여 주는 역할을 한다. 그림 9.의 수신기 블록도에서 보는 것과 같이 TIA(transimpedance amplifier) 역할을 하는 pre amplifier를 통하여 PD로부터 들어오는 전류신호는 전압신호로 변환되며, 뒷단의 peak detector는 입력으로 들어오는 전압신호의 중간 값을 잡아주는 역할을 하게 된다. peak detector 회로는 각각 Positive peak detector와 negative peak detector로 나뉘지며 그 동작 원리는 다음과 같다. 입력 신호가 low 레벨에서 high 레벨로 될 때 NMOS는 'on' 상태가 되며 이에 따라 커패시터가 충전이 된다. 이 충전현상으로 인해 커패시터 양단에 걸리는 전압은 VDD까지 상승할 것이나 도중에 입력 신호의 high 레벨과 같게 되면 비교기의 다른 입력으로 퍼드백 되어지므로 비교기의 동작이 끊기고 따라서 mos도 'off' 상태가 되어 그동안의 전압을 유지하게 되는 것이다. (positive peak detector). 유사한 방법으로 PMOS를 사용하여 negative peak detector 회로를 얻을 수 있다. 이러한 방법으로 인해 얻어진 전치증폭기의 high peak와 low peak는 다음 단에서 두개의 동일한 저항 역할을 하는 MOSFET에 의해 전압 분배되어 결국에는 신호전압의 중간치를 결정할 수 있게 된다. 이러한 과정을 통해 위에서 얻어진 기준전압을 이용하여 전치증폭기를 통해 얻어진 전압신호와 비교하여 최종출력을 얻어내게 된다. 또한 비교기 회로 내부에는 CDR의 입력신호에 맞는 플스윙을 위하여 인버터 버퍼를 사용하였다.

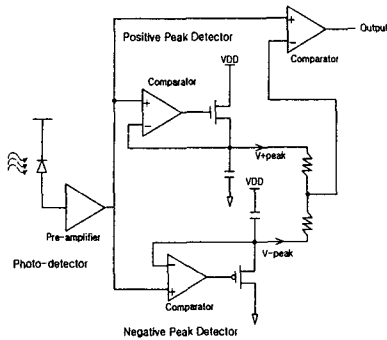


그림 9. PD 수신기 block diagram

III. 결 론

본 논문에서는 1.25 Gb/s에서 동작하는 광 수신기를 설계하였다. VCO의 설계에 있어 위상잡음의 감소를 위하여 5배 주파수 합성기를 추가 설계함으로써 VCO의 동작주파수를 낮추었다. 또한 기존의 CDR에 사용되었던 PD의 단점을 극복하고자 새로운 형태인 데이터리언 방식의 PFD를 설계하였으며, simulation을 통하여 그 성능을 검증하였다. 그 결과 CDR의 locking 시간은 2 us, 컨트롤 전압의 peak to peak전압은 2 uV로 안정된 CDR의 성능이 확인되었으며, 직렬 1.25 Gb/s의 10개의 병렬 125 Mb/s로의 데이터 변환 역시 안정적으로 이루어졌음을 알 수 있었다. 본 논문은 CMOS 0.35 um공정을 통해 simulation을 하였다.

[참고문헌]

- [1] 정성재, 김형수, 김두근, 이희현, 최영완, "채널당 1 Gbps급 병렬(2x4)채널 광 수신기 제작" 한국통신학회 2001년도 하계 종합 학술 발표회 논문지
- [2] Behzad Razavi, "Challenges in the Design of High-Speed Clock and Data Recovery Circuit" IEEE Communications Magazine pp94~101 August 2002
- [3] Seong-Jun Song, Sung Min Park, Hoi-Jun Yoo, "A 4-Gb/s CMOS Clock and Data Recovery Circuit Using 1/8-Rate Clock Technique." IEEE Journal of Solid-State Circuits, Vol.38, No7, July 2003
- [4] Rong-Jyi Yang, Shang-Ping Chen, Shen-Iuan Liu, "A 3.125-Gb/s Clock and Data Recovery Circuit for the

10-Gbase-LX4 Ethernet." IEEE Journal of Solid-State Circuits, Vol.39, No.8, August 2004

Biography



김경민

2004년 중앙대학교 전자전기공학부 졸업
2004년 중앙대학교 대학원 전자전기공학부 입학
2005년~현재 중앙대학교 전자전기공학부 석사과정

<주관심분야> PLL, CDR, optical interconnection, Optical transceiver, A/D, D/A convertor

<이메일> rudals@wm.cau.ac.kr



강형원

2005년 중앙대학교 전자전기공학부 졸업
2005년 중앙대학교 대학원 전자전기공학부 입학
2005년~현재 중앙대학교 전자전기공학부 석사과정

<주관심분야> CMOS IC Design, Optical interconnection

<이메일> clastro-1@hanmail.net



최영완

1985년 서강대학교 전자공학과 졸업
1987년 버팔로 뉴욕주립대 대학원 전기 및 컴퓨터공학과(공학 석사)
1992년 버팔로 뉴욕주립대 대학원 전기 및 컴퓨터공학과(공학박사)

1993년 한국전자통신연구원(ETRI) 선임연구원

1995년~현재 중앙대학교 전자전기공학부 교수

<주관심분야> 광전자, 광통신, 광스위칭 시스템 및 소자, Microwave-Photonics, Optical-CDMA

<이메일> wchoi@cau.ac.kr