

# 실시간처리 운영체제 환경에서 Hybrid 방식을 이용한 디지털 DBS 위성수신기 성능개선

김성훈\*, 성영락\*\*, 정경훈\*\*, 강동욱\*\*, 김기두\*\*,  
\*한국전자통신연구원(ETRI) 디지털방송연구단 방송시스템 연구그룹  
\*\* 국민대학교 전기전자공학부  
contact: Sung-Hoon Kim ([steve-kim@etri.re.kr](mailto:steve-kim@etri.re.kr))

## Performance Enhancement of a DBS receiver using Hybrid Approaches in a Real-Time OS Environment

Sung-Hoon Kim\*

Digital Broadcasting Research Division, Broadcasting System Dept., ETRI

Yeong Rak Seong\*\*, Kyeong Hoon Jung\*\*, Dong Wook Kang\*\*, Ki Doo Kim\*\*,  
Department of Electronic & Electrical Engineering, Kookmin University

### Abstract

A Digital Broadcasting Satellite (DBS) receiver converts digital A/V streams received from a satellite to analog NTSC A/V signals in real-time. Multi-tasking is an efficient way to improve the utilization of the processor core in real-time applications. In this paper, we propose a hybrid approach with a balanced trade-off between hardware kernel and multi-tasking programming to increase a system throughput. First, the schedulability of the critical hard real-time tasks in the DBS receiver is verified by using a simple feasibility test. Then, several soft real-time tasks are thoughtfully programmed to satisfy functional requirements of the system.

### I. 서론

위성방송 송신 시스템은 TV 프로그램과 각종 부가서비스 등의 방송데이터를 RF 변조를 거쳐 송신기, 중계기 등을 통해 방송신호를 송출하며, 수신기는 사용자의 채널, 서비스 등의 선택 등에 따라 프로그램, 데이터 등의 역다중화를 수행하여 전송된 방송데이터를 복원한다. 일반적인 디지털 방송수신기의 기능은 전송된 비디오 및 오디오 신호를 복호화하여 시청자에게 보여주는 기본 기능 이외에도 디지털 방송수신기에서 필요로 하는 기능은 매우 다양하다고 할 수 있다. 예를 들면, 기존 아날로그 방송에서 부분적으로 실시되었던 자막방송 기능, 프로그램 안내기능, 시청제한 및 양방향 데이터 방송 등 매우 다양한 기능을 쉽게 적용할 수 있는 장점이 있다. 그러나 이러한 장점을 충분히 활용하기 위해서는 수신기의 데이터 처리속도, 메모리 용량 등이 매우 중요한 요소로 작용한다. 따라서 본 논문에서는 이와 같은 디지털 방송 수신기에서의 디지털 방송데이터 처리속도를 최적화 하기 위하여 실시간처리용 시스템 환경을 구축하기 위한 디지털 방송 수신기의 하드웨어 및 소프트웨어의 구조에 대하여 기술하였다. 본 논문에서는 하드웨어로 구성된 on-chip micro-kernel 을 task 스케줄러로 채택한 다중스레드 구조 마이크로프로세서를 사용하여, 다중스레드 간의 병렬처리 및 context switching 시간을 최소화 하였으며, 이러한 하드웨어 플랫폼환경에서 필요한 task 및 process 를 생성하기 위해, 전체 시스템 처리속도를

고려하여 각 task/process 별 스케줄링 시간을 결정하였으며 이들 task/process 간의 통신 및 데이터 처리를 위한 동기화 기법으로 세마포어(semaphore)등과 같은 멀티프로그래밍 자원 공유방식을 사용하였다[1].

본 논문은 2 장에서 RM(Rate Monotonic)알고리즘을 기반으로 한 디지털 방송수신기의 task/process 의 생성 및 스케줄링 시간자원할당에 대하여 논하였고, 이를 기반으로 3 장에서는 이러한 task/process 의 처리시간을 최적화하기 위한 디지털 방송수신기의 하드웨어, 소프트웨어의 구조 및 시스템 구현을 기술하였으며, 4 장에서는 실험결과를 보였고, 5 장에서 결론을 맺었다.

### II. RMA 방식을 이용한 디지털 방송수신기 Task/Process 생성 및 스케줄링 시간자원 할당

#### 2.1 Rate Monotonic Analysis 을 이용한 스케줄 가능성 분석

디지털 방송수신기는 일반적으로 오디오, 비디오 방송프로그램 스트림을 실시간으로 처리하기 위하여 실시간 운영시스템(RTOS: Real-Time Operating System)을 지원하는 실시간 처리 시스템(Real-Time embedded system)이다. 이와 같이 디지털 방송을 수신하여 이를 실시간으로 처리하기 위해서는 엄격한 처리시간의 제약으로 인해 병렬처리(concurrency)를 반드시 고려하여 task 를 설계하여야 하며, 이와 같은 task 설계를 기반으로

다중처리(multi-tasking)방식을 도입하여 실시간 시스템의 시간적 요구사항을 만족시키는 것이 일반적이다. 또한 이렇게 디자인된 각각의 task 들은 시스템의 처리속도 및 운영체계의 성능에 따라 적절히 스케줄링 되어야 하며, 본 논문에서는 새로운 task 생성시 RMA(Rate Monotonic Analysis)방식을 이용하여 스케줄 가능성분석(Schedulability analysis)수행을 통해 디지털 방송수신기내에서의 task 별 스케줄링의 적절성, 혹은 모든 task 가 처리시간 데드라인을 만족시킬 수 있도록 수행될 수 있는지를 검증하였다. 식(1)은 RMA 스케줄 수행가능성 테스트 시 사용하는 수식을 보여준다.

$$\frac{C_1}{T_1} + \dots + \frac{C_n}{T_n} \leq U(n) = n(2^n - 1) \quad (1)$$

$$1 \leq i \leq n$$

$C_i$ : 주기 task i의 최악수행시간,  $T_i$ : task i의 주기, n: task의 수

$U(n)$ 은 프로세서의 사용률을 의미한다. 식(1)의 우항은 이론적인 프로세서 사용률의 하한 값을 나타낸다. 특정 task 집합의 사용률이 이론적 하한 값보다 낮다면, 해당 task 집합은 스케줄이 가능하다. N 값이 커질수록 U 값은 작아지며 n이 무한히 커질 때 U 값은 69%로 수렴한다.

### 2.2 스케줄 가능성 분석을 통한 High Priority Process Task 스케줄링 시간자원 할당

본 논문에서 구현한 디지털 위성수신기의 task 중 상대적으로 엄격한 수행시간의 제한요소가 있는 hard real-time task 들은 RF demodulator, MPEG-2 A/V 스트림 demux/decoding에 관한 3개의 task가 존재하며, 이들 3개의 high priority task들의 스케줄링 시간자원 할당은 2.1에서 언급된 RMA 방식을 참고하여 적정한 task 스케줄링 시간을 지정하였다. 표 1은 high priority task들의 task 수행시간, task 발생주기 및 프로세서 사용률을 보인 것이다.

표 1. High Priority Task의 자원할당

Task	Execution Time(msec)	Period (msec)	Utilization
RF demodulator	5	20	0.25
MPEG demultiplexer	10	40	0.25
MPEG Video Decoder	12	60	0.2

식(1)에서 보인 바와 같이 task 수,  $n=3$ 인 경우 스케줄 가능한 프로세서 사용률의 임계치는 0.779이며, 표 1에 보인바와같이 3개의 high priority task들의 프로세서 사용률은 총 0.7이므로 3개의 high priority task들에 할당된 시스템 자원할당은 적절하다고 볼 수 있다[2][3].

### III. 다중스레드 구조 마이크로프로세서를 이용한 디지털 DBS 수신기 구현

본 논문에서 구현한 디지털 DBS 수신기는 하드웨어적으로 실시간 운영시스템을 지원하는 다중스레드 마이크로 프로세서를 사용하였고, 소프트웨어적으로는 프로그램의 유지, 보수가 용이하고 시스템의 처리속도 개선에 효과적인 다중스레드 프로그램

방식을 적용하였다.

### 3.1 디지털 DBS 수신기의 하드웨어 구조

그림 1은 디지털 DBS 수신기의 하드웨어 구조를 보인 것이다. 주요 하드웨어의 구성은 RF 복조기, MPEG demultiplexr, MPEG A/V decoder, NTSC encoder, D/A 변환기, CAS 처리 인터페이스 및 각종 메모리 등으로 구성되어 있다.

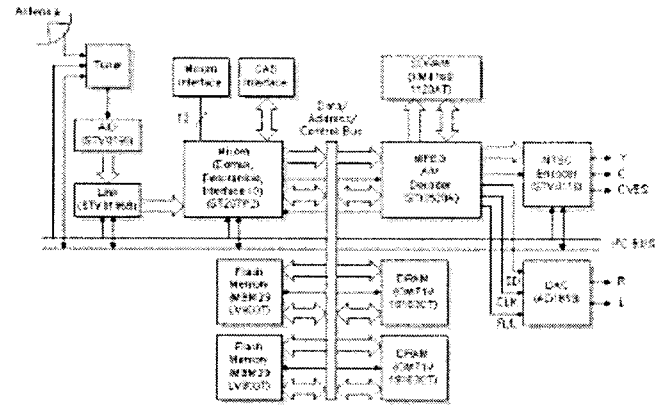


그림 1. 디지털 DBS 수신기 구조

RF 복조기는 RF로 변조된 방송신호를 입력 받아 base band로 복조하여 위성수신기의 MPEG-2 demultiplexr에 MPEG-2 TS 스트림을 전달하는 역할을 수행하며, MPEG-2 Demultiplexr는 이러한 RF 복조기의 출력을 받아 사용자의 채널 선정 등의 사용자 입력 파라미터등을 기반으로 MPEG-2 Demultiplexing을 수행하고 해당 채널 및 부가정보를 가진 MPEG A/V 데이터 방송 스트림을 MPEG-2 A/V decoder 및 데이터 방송 처리기에 송부하는 역할을 수행한다. MPEG-2 A/V decoder는 MPEG demultiplexer을 출력을 받아 비디오 스트림은 RGB 값으로 decoding하여 NTSC encoder에 전달하고, 오디오 스트림은 D/A 변환기로 전달하여 아날로그 TV와의 인터페이스를 형성한다. 본 논문에서는 디지털 방송신호를 보다 효율적으로 실시간 처리하기 위하여, 실시간 운영체계의 일부인 micro-kernel을 hardwired logic으로 구성하여, task 간의 스케줄링 시간 및 context switching 등의 처리시간을 줄여 결과적으로 high speed clock 설계에 의한 시스템 데이터 처리속도측면에서의 과부하를 최소화 하는 다중스레드 마이크로프로세서를 이용한 시스템을 채택하였다. 다중스레드 마이크로프로세서는 32bit RISC 프로세서로서 instruction processing logic, instruction, data pointer, operand 레지스터등의 3부분으로 구성되며, 하나의 명령어를 수행하면서 다른 명령어를 fetch 하거나 decoding 할 수 있는 파이프라인 구조를 갖고있다. 또한 프로그램 메모리 포트와 데이터 메모리 포트를 독립적으로 가지고 있는 하버드 아키텍처로 구성되어 명령어들이 서로 독립적이면 이들 명령어들을 한번의 명령어 사이클 내에 동시에 수행할 수 있는 병렬수행 개념을 도입한 진보적인 구조를 가지고 있다. 또한 다중스레드 마이크로프로세서의 가장 큰 특징은 프로세서내 hardwired logic으로 구성된 micro-kernel을 사용하여 스케줄러의 queue에 있는 task/process들을 시간응답의 중요도, 신속도에 따라 high priority, low priority process로 구분하여 이를 처리하고, 스케줄링을 수행함으로써 순수하게 소프트웨어로 구성되어 있는 실시간 운영체계를 운영하는 기타 다른 시스템보다 데이터 처리속도 측면에서 효율적인 시스템운영을 할 수

있다. 그림 2는 다중스레드 마이크로프로세서의 주요 내부구조를 블록도로 보인 것이다.

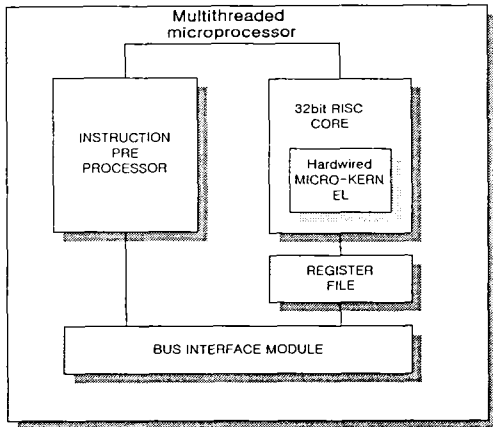


그림 2. 다중스레드 마이크로프로세서 구조

또한 디지털 DBS 수신기내의 MPEG 데이터 처리부에는 section filter 가 hardwired logic 으로 되어있으며, 이 section filter 는 MPEG-2 TS 스트림 패킷에 있는 프로그램 사양정보(PSI)중에 다음 프로세스들의 데이터처리에 중요하지 않은 정보를 미리 제거하고 필요한 section 들만 선택하여 입력데이터의 비율을 감소시켜, 결과적으로 마이크로프로세서의 부하를 감소시키는 기능을 수행한다. Section filter 는 MPEG-TS 스트림 패킷에 있는 section 정보를 분석하고 다음 프로세스에 필요한 section 들을 선택한다. 하나의 방송채널 정보는 A/V 프로그램, 데이터 서비스, RSMS(Resource and Subscriber Management System)등이 다중화 되어있고, 이 스트림은 패킷내용에 관련된 정보를 나타내는 4 바이트 헤더와 184 바이트의 선택적인 부가필드나 payload 를 포함하는 188 바이트의 스트림으로 구성되어 있다. 이때 각각의 section 들은 MPEG-2 시스템 규격에 따라 고정된 형식을 가지고 있으며, 이러한 각 section 들의 패킷 헤더정보를 이용하여 CAM(Contents Access Memory)를 사용하여 filtering 함으로써 마이크로프로세서의 부하를 최소화 감소시킨다. 그림 3은 이와 같은 section filter 가 CAM 및 Mask 레지스터로 구성되어 있는 것을 보여준다.

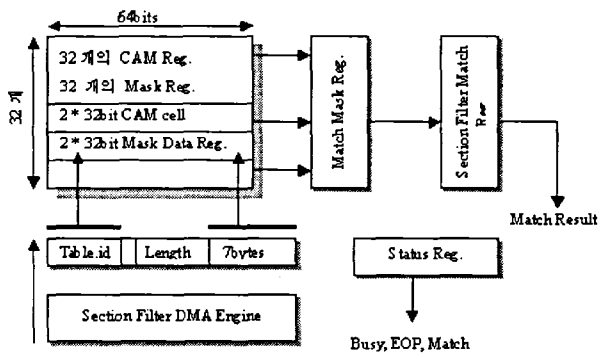


그림 3. Section Filter 의 구조

### 3.2 디지털 DBS 수신기의 소프트웨어 구조

디지털 DBS 수신기의 소프트웨어 구조는 실시간 운영체제를 기반으로 프로그램의 유지 및 보수가 편리하고, 시스템의 처리속도개선에 효과적인 다중스레드

프로그램 방식을 적용하였다. 다중스레드 프로그램 방식은 실시간 운영체제를 기반으로 여러 task 가 동시에 기능을 수행하기 때문에 각 task 간의 메시지 전송이 매우 중요하며 이러한 메시지 전송은 서로 동기가 맞아야지만 정상적으로 동작할 수 있다. 이러한 메시지를 주고 받기 위해서 주로 메시지 큐(message queue)를 사용하고, 메시지 간의 동기 동작을 위해서 세마포어(semaphore)가 필요하게 되는데, 경우에 따라서는 서로 배타적인(mutually exclusion) 세마포어도 사용할 필요가 있다. 그림 4는 section filtering 을 위한 task 들의 상호작용 및 메시지 흐름을 보인 것이다.

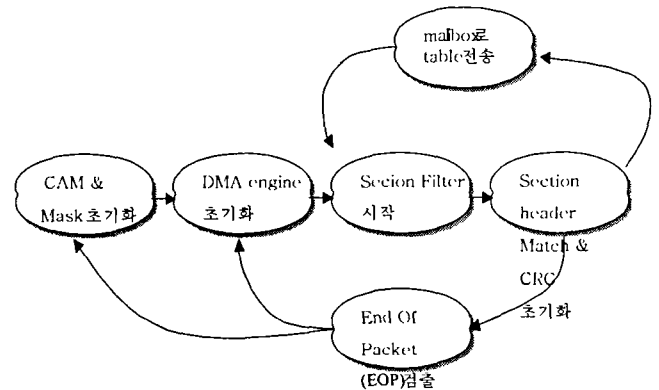


그림 4. Section filtering 을 위한 task 들간의 상호작용 및 메시지 흐름

각 task 들의 스케줄링 방식으로는 Time-Sliced 방식과 Pre-emptive priority 스케줄링 방식을 사용하였으며, 각 task 별로 중요한 task 를 high priority 로 두고 상대적으로 덜 중요한 task 들을 low priority 로 차별화하여, low priority task 들은 high priority 가 마이크로프로세서를 점유하지 않은 상태에만 시스템자원을 할당 받을 수 있는 방식을 채택하였다. 따라서 low priority 가 실행되는 도중에라도 high priority task 가 active 되면, low priority task 는 실행을 멈추고 high priority task 가 완전히 실행이 끝났을 때 다시 low priority task 가 실행된다. 디지털 DBS 수신기의 전체 소프트웨어 구성은 LINK IC 인터페이스를 통해 RF 신호를 기저대역의 MPEG-TS 스트림으로 복조한 후 Demux\_Input\_Process(high priority task) 에서 유효한 패킷을 추출하여 버퍼에 저장하고, Demux\_Descramble\_Process(high priority task)를 구동하기 위하여 세마포어 신호를 전송한다. Demux\_Descramble\_Process 에서는 semsignal 이 올 때까지 waiting 을 하다가 semsignal 이 오면 디스크램블 처리 후 패킷을 Demux\_Main(high priority task)으로 전송하게 된다. Demux\_Main 에서는 패킷의 종류를 분석하여, 패킷이 비디오 데이터일 경우 mpeg\_video\_packet\_manager(high priority task)로 스트림을 전달한다. 그림 5는 전체 소프트웨어 구조 및 스레드간의 데이터 전송흐름을 보여준다[4][5].

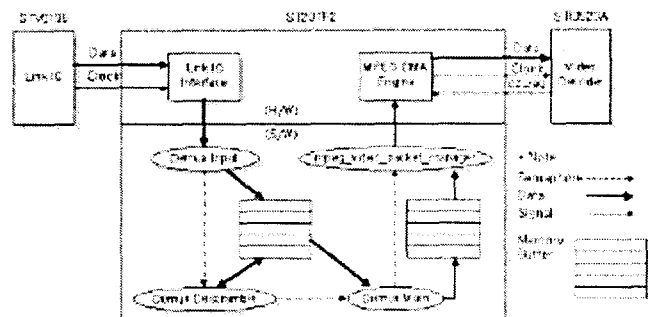


그림 5. 전체소프트웨어 구조 및 스레드간의 데이터 전송흐름

#### IV. 실험결과

그림 6 은 앞장에서 설명한 하드웨어 및 소프트웨어 구성으로 이루어진 디지털 DBS prototype 수신기를 보인 것 이다.

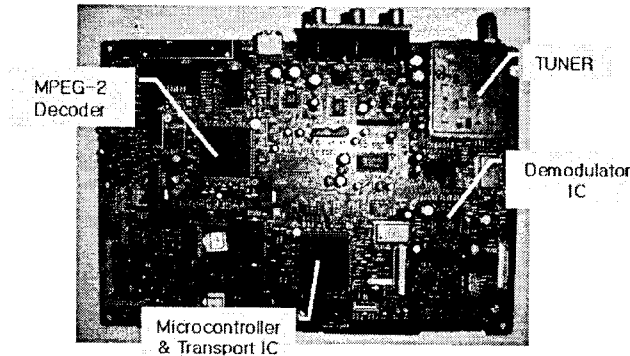


그림 6. 디지털 DBS prototype 수신기

하드웨어의 구성은 크게 Tuner, QPSK demodulator, 32bit Microcontroller & MPEG transport demultiplexer, MPEG 2 decoder 및 NTSC encoder 로 구성되어 있다. 그림 6.에서 보인 디지털 DBS 수신기 하드웨어에 실시간 운영체계를 porting 한 이후 입력된 디지털 방송신호를 다중스레드 구조의 각 task 들로 기능별 응용프로그램을 구성하여, 영상, 음성, 각종 부가정보 등을 성공적으로 복원 하였으며, 이를 통해 RMA 기법을 이용한 task 스케줄링의 유효성을 확인 할 수 있었다. 그림 7.은 디지털 방송신호를 복원한 이후 사용자의 요청에 따라 추가적인 부가정보를 사용자에게 보이기 위한 영상을 OSD(On Screen Display)기법으로 TV 화면에 띄운 것을 보여준다.

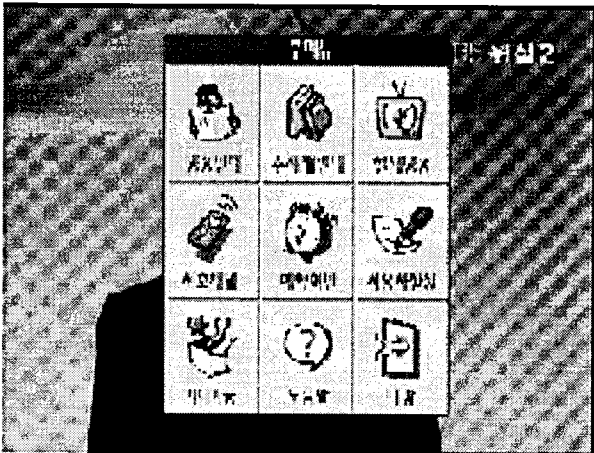


그림 7. TV 수신화면상의 OSD

#### V. 결론

본 논문에서는 하드웨어 측면에서 on chip micro-kernel hardwired logic 으로 구성된 다중스레드 마이크로 프로세서를 사용하고, 소프트웨어 측면에서 실시간 운영체계를 기반으로 한 다중스레드 프로그래밍 방식을 적용하여 디지털 DBS 수신기의 데이터처리 성능을 향상시켰다. 다중스레드 구조의 소프트웨어 개발 시 필요한 task 를 생성할 때에는 RMA 기법을 사용하여

task 별 스케줄링의 적절성, 혹은 모든 task 가 처리시간 데드라인을 만족시킬 수 있도록 수행될 수 있는지를 검증하였다. 본 논문에서는 향후 디지털 방송용 데이터 프로세서의 VLSI 개발에 소프트웨어로 구성된 실시간 운영체계 중 task 스케줄러와 같이 빠른 수행속도가 요구되는 OS kernel 일부를 hardwired logic 으로 on chip 화 함으로써 그렇지 않은 구조를 가진 CPU 에 비해 상대적으로 낮은 시스템 클럭을 이용하고도 동일한 데이터 처리 속도를 얻을 수 있다는 것이 실험을 통해 입증하였으며, 향후 이와 같은 VLSI 설계기술을 지속적으로 연구할 계획이다.

#### 참고문헌

- [1] 김성훈, 김기두, "다중스레드 구조 마이크로프로세서를 이용한 무궁화 위성 디지털 DBS 수신기 구현에 관한 연구," 제 11 회 신호처리 합동학술대회, pp. 1998.
- [2] Bottazzi, M., Salati, C.: Processes, threads, parallelism in real-time systems. In: The 5th Annual European Computer Conference on Advanced Computer Technology, Reliable Systems and Applications. (1991) 103-107
- [3] Liu, C.L., Layland, J.W.: Scheduling algorithms for multiprogramming in a hard-real-time environment. J. ACM 20 (1973) 46-61
- [4] Kyu-Tae Yang, Dong-Hee Han, "The Design and Implementation of KOREASAT DBS Set-Top-Box Software," Proceedings of the 1997 International Conference on Information, Communications & Signal Processing- Vol.2, Sep.97 IEEE
- [5] Guangzuo Cui, Mingzeng Hu, Xiaoming, "Parallel Replacement Mechanism for MultiThread," Proceedings of the 1997 Conference on Advances in Parallel and Distributed Computing, March. 1997