

국내형 지상파 DTV의 TxID실현을 위한 고효율 정합필터 구현에 관한 연구

*차재상, **박구만, **김광호, **윤승금, ***이용태

***서울산업대학교 매체공학과, ***한국전자통신연구원 DTV시스템연구팀

*chajs@snut.ac.kr

A study of an efficient MF for TxID implementation of ATSC-DTV

*JaeSang Cha, **GooMan Park, **KwangHo Kim, **SeungKeum Yoon and ***Yongtae Lee

**Dept. of Media Technology, Seoul National University of Technology

***Digital Broadcasting Research Division, ETRI

요약

본 논문에서는 국내에서 채택한 ATSC-DTV (Advanced Television System Committee-Digital Television)의 단일주파수망 (SFN; Single Frequency Network) 구성을 위한 TxID (Transmitter Identification)용 ZCD (Zero Correlation Duration) 확산코드 기반의 부분상관 정합필터를 새롭게 제안하였다. 본 논문에서 제안한 정합필터의 구현 알고리즘은 TxID에 있어서 기존의 정합필터 구조를 적용할 경우에 발생하는 소비전력 문제나 하드웨어 구현의 어려움을 획기적으로 해결할 수 있다는 잇점을 갖는다. 따라서 본 논문에서는 이러한 다양한 잇점을 갖는 새롭게 제안한 ZCD용 부분상관 정합필터를 FPGA (Field Programmable Gate Array)를 이용한 디지털 하드웨어로 구현하고 그 성능을 분석함으로써 유용성을 확인하였다.

1. 서론

최근, 국내에서 채택한 ATSC-DTV의 단일주파수망을 구현하기 위한 핵심 기술 중 하나로서 TxID기법에 대한 표준화 및 관련연구가 활발하게 진행 중에 있다[1][2]. 이 기술은 그림 1과 같이 8VSB (Vestigial Side Band)로 변조된 데이터 필드에, 각각의 OCR (On Channel Repeater)이 갖는 고유의 TxID용 확산코드를 하나의 Field에 4주기씩 워터마킹 (Watermarking) 시켜서 프레임을 구성 후 전송하게 된다. 이때 TxID용 코드의 1주기는 64,896칩의 굉장히 긴 코드가 할당되게 된다. 한편 DTV 수신기에서는 특정한 TxID용 참조코드 (Reference Code)를 사용하여 MF (Matched Filter)의 상관출력을 도출하고 그 결과를 이용하여 해당되는 OCR을 식별하게 된다.

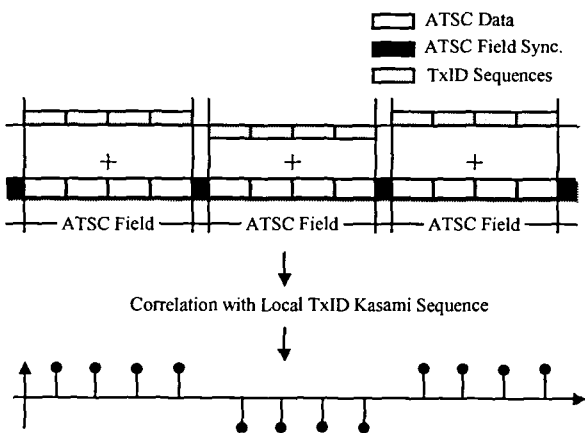


그림 1. ATSC-DTV의 TxID를 위한 워터마킹 원리[1]-[3]

현재까지 제안된 Kasami 확산코드 기반의 TxID기술[3]의 경우에는 DTV의 수신기가 OCR의 경계면에 존재할 경우에 그림 2와 같이 인접 OCR신호에 의한 ICI (Inter Code Interference)나, MPI (Multi Path Interference)에 의한 영향을 받음으로써 코드의 직교성 붕괴에 의한 DER (Detection Error Rate)이 증가하게 되며, Kasami 확산코드가 갖게 되는 Truncation성질로 인한 Truncation error가 불가피하게 발생된다. 또한, 역확산 (Despread Spectrum)용 MF의 하드웨어적인 구현가능성의 입장에서 보면, TxID용 코드의 1주기의 64,896칩에 대하여 같은 수의 레지스터를 갖는 구조가 필요하게 되므로, 칩사이즈와 소비전력의 부담이 발생할 수 있는 문제점을 안고 있으며, 기존의 연구들[1]-[3]에서도 64,896칩이나 되는 Kasami 확산코드 기반의 TxID알고리즘을 구현하고 실용화하기 위한 키디바이스 (Key Device)가 되는 역확산용 MF의 하드웨어적인 구현가능성에 대한 언급이나 방법제시가 전혀 없는 상황이다.

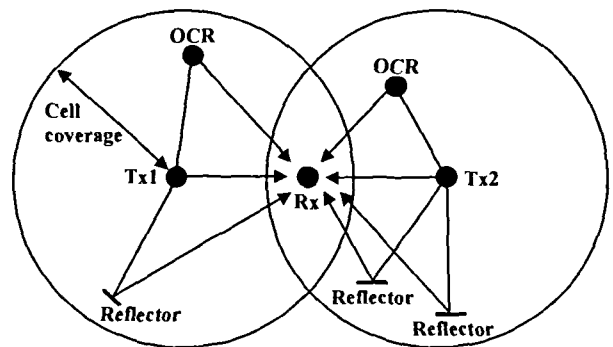


그림 2. SFN 내에서 TxID 기술의 ICI와 MPI 문제

따라서 본 논문에서는 새롭게 워터마킹을 위한 Ternary ZCD 확산코드를 제안하여 상기 서술한 종래의 기술들의 문제점을 해결하고자 하며, 역확산용 MF의 하드웨어적인 구현에 있어서도 DTV의 TxID 연구분야에서는 처음으로 제안한 코드를 기반으로 동작하는 MF를 FPGA (XC2V3000)를 이용하여 시험 제작함으로써 실현가능성을 검증하고자 한다.

이를 위해서 우선 2절에서는 본 논문에서 새롭게 제안한 저간섭 확산코드기반의 부분 상관형 정합 필터 알고리즘에 대하여 설명하고, 3절에서는 제안한 부분 상관형 정합 필터의 성능분석 및 검증을 행한다. 끝으로 4절에서 결론을 맺기로 하겠다.

2. 저간섭 확산코드기반의 DTV TxID용 정합필터

본 절에서는 ICI 및 Truncated error 문제와 정합필터의 하드웨어 구현성 문제를 해결할 수 있는 저간섭 Ternary ZCD 확산코드의 구조를 살펴보고 Ternary ZCD 확산코드 기반의 ATSC-DTV의 TxID용 부분상관 정합필터를 설계하고자 한다.

가. TxID를 위한 워터마킹용 저간섭 확산코드

본 논문에서 워터마킹용 확산코드로 적용한 Ternary ZCD 확산코드는 일정한 시간구간 동안 직교특성이 유지되는데, 이 구간을 ZCD (Zero Correlation Duration)라 한다[4][5]. 이러한 ZCD구간 내에서는 기존의 DTV시스템의 TxID에서 발생되어지는 ICI 및 Truncated error의 영향을 받지 않는다. 그러므로 Ternary ZCD 확산코드를 사용하면 TxID의 성능 열화를 해결할 수 있다. 따라서, 이러한 장점을 갖는 TxID용 Ternary ZCD 확산코드를 생성하기 위해서는 참고논문 [4][5]에서 제시한 방법을 통해 다음 식 (1)과 같이 표현할 수 있다.

$$\left. \begin{aligned}
 C_N^{(a)} = \{ & ABZ_i A - BZ_i ABZ_i - ABZ_i ABZ_i A - BZ_i - A - BZ_i A - BZ_i \\
 & ABZ_i A - BZ_i ABZ_i - ABZ_i - A - BZ_i - ABZ_i ABZ_i - ABZ_i \\
 & ABZ_i A - BZ_i ABZ_i - ABZ_i ABZ_i A - BZ_i - A - BZ_i A - BZ_i \\
 & - A - BZ_i - ABZ_i - A - BZ_i A - BZ_i ABZ_i A - BZ_i - A - BZ_i A - BZ_i \} \\
 C_N^{(b)} = \{ & CDZ_i C - DZ_i CDZ_i - CDZ_i CDZ_i C - DZ_i - C - DZ_i C - DZ_i \\
 & CDZ_i C - DZ_i CDZ_i - CDZ_i - C - DZ_i - CDZ_i CDZ_i - CDZ_i \\
 & CDZ_i C - DZ_i CDZ_i - CDZ_i CDZ_i C - DZ_i - C - DZ_i C - DZ_i \\
 & - C - DZ_i - CDZ_i - C - DZ_i C - DZ_i CDZ_i C - DZ_i - C - DZ_i C - DZ_i \}
 \end{aligned} \right\} (1)$$

여기서 A, B, C, D는 각각 512칩의 주기를 갖는 Binary ZCD 확산코드로 구성되어있다[6][7].

식(1)에서 생성되는 Ternary ZCD 확산코드는 49,133칩의 ZCD구간을 가지며, 이 구간 내에서는 ICI 및 MPI가 존재하지 않는다. i는 삽입되어지는 Zero의 수를 의미하며, DTV data field 길이에 맞는 64,896칩의 Ternary ZCD 확산코드를 생성하기 위하여 각각 1,004개의 제로(1004*32=32,128)를 Z_i부분에 삽입한다. 이렇게 생성된 Ternary ZCD 확산 코드를 TxID에 적용함으로써, Truncated error의 발생을 제거할 수 있다.

나. Ternary ZCD 확산코드 기반의 DTV TxID용 부분상관 정합필터 설계

본 절에서는 앞서 제시한 Ternary ZCD 확산코드를 기반으로 하는 DTV TxID용 부분상관 정합필터를 설계하고자 한다. 본 논문에서 새롭게 적용한 Ternary ZCD 확산코드는 32,128칩의 제로가 삽입되어 있는데, 삽입된 제로부분은 상관특성 도출을 위한 연산에 영향을 주지 않으므로 정합필터에서 레퍼런스 코드를 저장하기 위한 레지스터가 필요없다. 또한 제로에 대한 연산과정이 필요 없기 때문에 곱셈기 및 연산기 수를 감소시킬 수 있다. 즉, 64,896칩의 Ternary ZCD 확산코드에서 삽입된 32,128칩의 제로를 제거하더라도, Ternary ZCD 확산코드는 Binary ZCD 확산코드 기반으로 생성되었기 때문에 일정시간동안 직교특성이 유지된다. 그림 3은 Zero성분의 연산을 제거해주는 ZCD code controller의 내부 블록도를 표시하였다. Ternary ZCD 확산 코드에서 512 칩에 해당하는 구간별로 A, -A, B, -B 구간을 카운팅하는 동안 스위치 On신호를 발생하며, Zero가 들어오는 1,004칩 구간 동안에는 Off신호를 발생시켜, Zero 성분의 연산을 제거해 준다. 즉, 전체적으로 32,128칩의 Zero 삽입구간을 제거하는 부분이 된다. ZCD code controller는 하드웨어 부피 및 전력소비를 줄이는 기능을 갖는다.

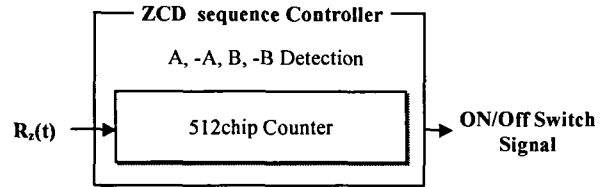


그림 3. ZCD 확산코드 controller의 내부 블록도

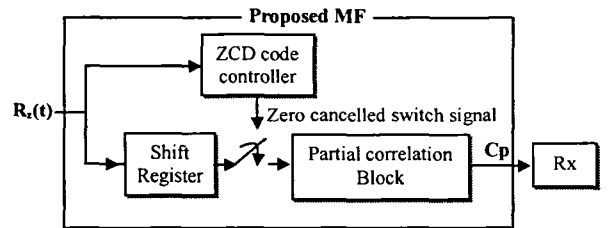


그림 4. ATSC-DTV의 TxID를 위해 제안된 MF 블록도

따라서 본 절에서는 Ternary ZCD 확산코드기반의 DTV의 TxID용 부분상관 정합필터를 설계함에 있어, 그림 4의 Zero성분의 연산을 제거해주는 기법을 적용한 새로운 정합필터를 설계하였다.

또한 본 논문에서 제안하는 부분상관개념을 도입함으로써 그림 5와 같이 Ternary ZCD 확산코드기반의 정합필터를 1차 블록과 2차 블록으로 구분하여 설계할 수 있다. 이는 64,896칩의 긴 주기를 갖는 TxID용 확산코드의 특징 때문에 기존 정합필터 구조를 적용할 경우, 하드웨어 구현이 불가능하다는 단점을 해결할 수 있다.

본 절에서 설계한 Ternary ZCD 코드기반의 DTV TxID용 부분상관 정합필터의 1차 블록은 1,024개의 4칩 지연소자와 592개의 인버터 그리고 식 (1)의 구조에서 알 수 있듯이 A와 B 또는 C와 D의 값을 계산하기 위한 두 블록의 가산기로 구성된다. 그리고 2차 블록은 1차 블록의 두 개의 가산기 블록에서 연산된 11비트의 값을 m개의 Shift registers로 구성된 5개의 지연소자 블록과 5개의 인버터 그리고 11개의 가산기로 구현된다. 여기서 m={1024, 2048, 4096, 8192, 16384}의 값을 갖는다.

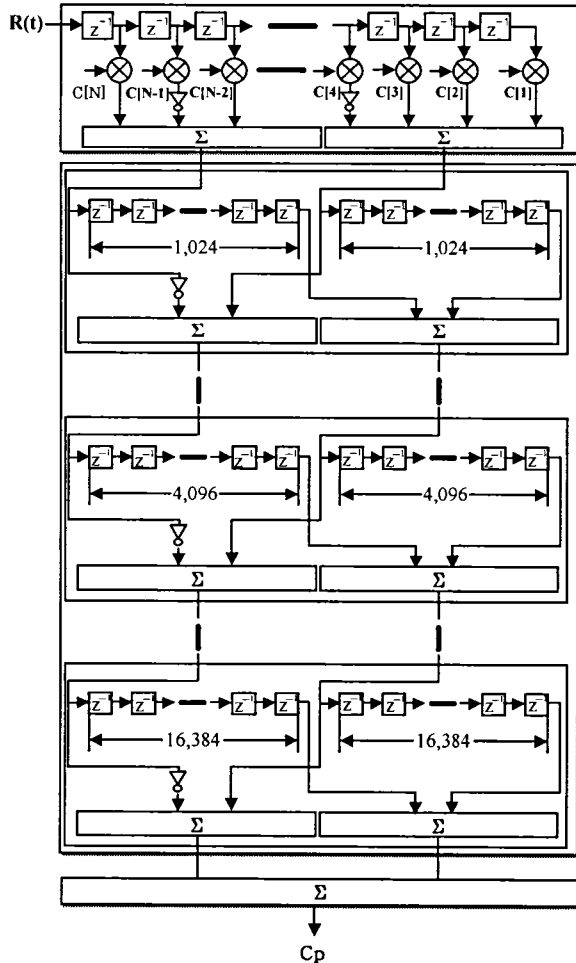


그림 5. 제안한 TxID 의 새로운 부분상관 구조 블럭도

그림 5의 1차 블럭에서는 신호 R(t)를 수신받아 1,024개의 Shift registers로 구성된 지연소자에 저장하고 그 다음으로 각각 저장된 코드에 해당하는 Reference 코드와 상관 (Correlation)을 취한다. 이렇게 취한 상관값은 2차 블럭에서 2,048개의 Shift register로 구성된 두 개의 지연소자에 각각 저장되며, 저장된 값들은 그림 5에 보는바와 같이 각각 블럭의 값이 서로 더해져서 다음 지연소자로 구성된 레지스터에 저장된다. 이 과정을 반복하여 연산된 값들은 최종적으로 16,384칩의 지연소자로 구성된 Shift register에 저장되고 이 값을 더하면 상관값 Cp가 도출된다.

3. 부분상관형 정합필터의 구현 및 검증

본 절에서는 본 논문에서 새롭게 제안한 저간섭 Ternary ZCD 확산코드기반의 DTV TxID용 정합필터를 FPGA로 구현해보고 출력된 결과를 Matlab 시뮬레이션 결과와 비교하여 검증해보았다.

부분 상관 정합회로의 검증환경을 통하여 실측한 기존의 정합필터 [8]-[10]와 본 저자가 새롭게 제안한 DTV TxID를 위한 저간섭 Ternary ZCD 확산코드용 정합필터의 성능을 비교하여 정리하면 표 1과 같다.

표 1. 다양한 MF의 성능 비교

MF type	14bit adder number	14bit register number	Total switching FFs	Power consumption
FIFO type MF[8]	129,791	64,896	194,687	269.95 mW/MHz
Transposed type MF[9]	145,933	72,967	218,900	303.503 mW/MHz
Hybrid type MF[10]	120,621	60,311	180,932	250.879 mW/MHz
Proposed MF	2,057	64,512	66,569	87.296 mW/MHz

표 1은 본 논문에서 제안한 정합필터와 참고논문 [7]-[11]들을 검토하여 기존의 다양한 상관기 알고리즘을 구현하고 비교한 결과로써, 기존의 FIFO type과 Transposed type, Hybrid type의 정합필터보다 전체 Switching FF (Flip-flop)면에서는 각각 65%와 69%, 63%가 감소했으며, 전력소비 면에서는 각각 67%와 71%, 65%가 감소함을 알 수 있었다. 그 이유는 앞서 언급하였듯이 Ternary ZCD 확산코드의 구조가 두 개의 Basic seeds로 구성되어 있어 항상 두 개의 상태 값을 가지고 연산을 하기 때문에 가산기의 수가 현저히 감소되기 때문이다.

따라서 본 논문에서 제안한 Ternary ZCD 확산코드기반의 DTV TxID용 정합필터가 기존의 정합필터보다 성능이 우수할 뿐만 아니라 구현의 유용성을 확인할 수 있다.

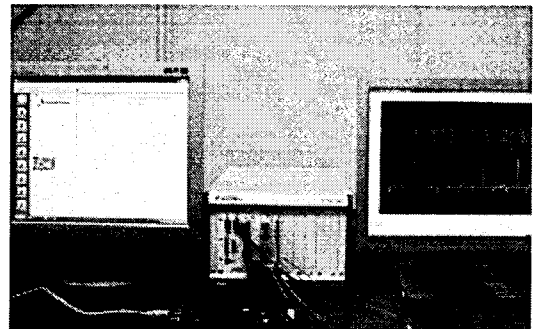
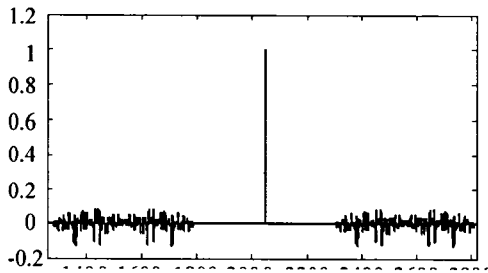


그림 6. 부분상관 정합회로의 검증환경

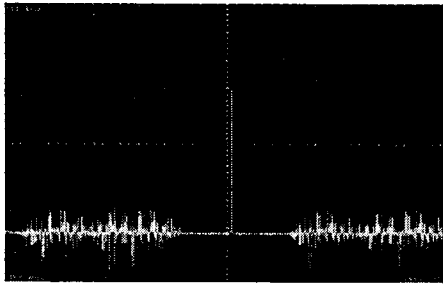
그림 6는 Ternary ZCD 확산코드 기반의 DTV TxID용 부분상관 정합필터를 구현하기 위한 검증환경으로서, Xilinx사의 Virtex-II (XC2V3000-4FG676) FPGA를 주 처리 장치로 구성하였으며, NI사의 LABVIEW를 기반으로 하는 DAC (Digital-to-Analog Converter)와 ADC(Analog-to-Digital Converter)의 송수신 신호를 통하여 성능을 검증하였다.

그림 6에서 제시한 바와 같이 FPGA기반의 부분상관정합필터에서는 PC에서 생성된 입력신호를 수신받아 상관 처리된 값을 출력한다. 상관 처리된 값은 Tektronix사의 Digital oscilloscope (TDS8200)를 이용하여 확인하였다.

그림 7의 (a)는 MATLAB을 이용한 시뮬레이션의 ACF (Auto Correlation Function)결과 파형이며, (b)는 오실로스코프로 출력된 실시간 ACF의 결과 파형이다.



(a). 시뮬레이션 결과



(b). FPGA 구현 결과

그림 7. 제안한 MF의 ACF 결과

그림 7의 (a)와 (b)를 비교해본 결과, FPGA로 구현한 부분상관정합필터의 결과와 MATLAB 기반의 수치시뮬레이션 결과가 동일하게 도출됨을 확인하였다. 따라서 본 논문에서 제안한 Ternary ZCD 확산코드 기반의 DTV TxID용 정합필터의 실제적 구현성과 동작성능을 검증하였다.

4. 결론

본 논문에서는 국내형 지상파 DTV의 TxID 실현을 위해 Tx신호를 효율적으로 식별하기 위한 Ternary ZCD 확산코드 기반의 부분상관정합필터를 설계하여 구현해 보았다.

제안한 TxID용 Ternary ZCD 확산코드는 일정시간동안 직교특성이 유지되는 ZCD성질과 확산코드에 삽입되는 Zero의 수를 가변하여 확산코드의 길이를 조절할 수 있는 특징을 가지며, 기존의 Kasami 확산코드 기반의 ATSC-DTV 시스템용 TxID에서 발생하는 ICI 및 MPI와 Truncated error를 제거한다. 그리고 종래의 TxID를 위한 위터마크용 확산코드의 형태는 64,896칩의 긴 주기를 갖게 되어 이를 위한 정합필터를 구현할 경우 64,896개의 Shift register를 필요로 하게 된다. 이는 하드웨어의 부피가 커지게 되어 TxID알고리즘의 실제적인 구현이 불가능한 문제점을 갖는다.

따라서, 본 논문에서는 기존의 Kasami 확산코드 기반의 DTV TxID를 위한 정합필터의 하드웨어 구현에 발생하는 문제점을 해결하기 위한 방안으로서 TxID에 적용 가능한 새로운 Ternary ZCD 확산코드 기반의 DTV-TxID용 부분정합필터를 제시하고, FPGA로 구현하여 실제적인 검증과정을 통해 그 유용성을 확인하였다.

- [1] ATSC, ATSC Standard A/110: Synchronization Standard for Distributed Transmission, Mar. 2003.
- [2] X. Wang, Y. Wu, B. Caron, "Transmitter identification using embedded pseudo random sequences", IEEE Transaction on broadcasting, Vol. 50, No. 3, pp. 244-252, Sept. 2004.
- [3] X. Wang, Y. Wu, J.-Y. Chouinard, "Robust data transmission using the transmitter identification sequences in ATSC DTV signals", IEEE Transactions on Consumer Electronics, Vol. 51, No. 1, pp. 41-47, Feb. 2005.
- [4] J.S. Cha, "Class of ternary spreading sequences with zero correlation duration", IEE Electronics Letters, Vol. 37, No. 10, pp. 636-637, May 2001.
- [5] J.S. Cha, S.I. Song, S.Y. Lee, M.G. Kyeong and K. Tsubouchi, "A class of zero-padded spreading sequences for MAI cancellation in DS-CDMA systems", Proc. IEEE VTC 2001, Vol. 4, pp. 2379-2383, Oct. 2001.
- [6] J.S. Cha, S. Kameda, M. Yokoyama, H. Nakase, K. Masu and K. Tsubouchi, "New binary sequences with zero-correlation duration for approximately synchronised CDMA", IEE Electronics Letters, Vol. 36, No. I, May 2000.
- [7] S. Sriram, K. Brown, A. Dabak, "Low-power correlator architectures for wideband CDMA code acquisition", IEEE Conference Record of the Thirty-Third Asilomar Conference on, Vol. 1, pp.125-129, Oct. 1999.
- [8] S.W. Lee and I.C. Park, "Low-Power Hybrid Structure Of Digital Matched Filters For Direct Sequence Spread Spectrum Systems", Proc. ICME 2003, Vol. 2, pp. II-849-52, Jul. 2003.
- [9] S. Goto, T. Yamada, N. Takayama, Y. Matsushita, Y. Harada and H. Yasuura, "A low-power digital matched filter for spread-spectrum systems", Proc. ISLPED 2002, pp. 301-306, 2002.
- [10] K. Dabbagh-Sadeghipour, A. Aghagolzadeh, "A new hardware efficient, low power FIR digital filter implementation approach", Proc. ICECS 2003, Vol. 3, pp. 1144-1147, Dec. 2003.
- [11] K. Togura, H. Nakase, K. Kubota, K. Masu, and K. Tsubouchi, "Low Power Current-Cut Switched Current Matched Filter for CDMA", IEICE Trans. Electron., Vol. 84-C, No. 2, Feb. 2001.