

DGMOSFET에서 최적의 서브문턱전류제어를 위한 설계

정חק기* · 나영일* · 이종인*

*군산대학교 전자정보공학부

Design on Optimum Control of Subthreshold Current for Double Gate MOSFET

Hak-kee Jung* · Young-il Na* · Jong-in Lee*

*School of electronic & information Eng., Kunsan National University

E-mail : mcguy@kunsan.ac.kr

요 약

DGMOSFET는 CMOS 스케일링의 확장 및 단채널 효과를 보다 효과적으로 제어할 수 있는 유망한 소자이다. 특히 20nm이하의 도핑되지 않은 Si 채널에서 단채널 효과를 제어하는데 가장 효과적이다. 본 논문에서는 DGMOSFET의 해석학적 전송모델을 제시할 것이다. 단채널 효과를 해석학적으로 분석하기 위해 Subthreshold Swing(SS), 그리고 문턱전압 roll-off(ΔV_{th}) 등을 이용하였다. 여기서 제시된 모델은 이온방출효과와 source-drain 장벽을 통해 캐리어들의 양자 터널링을 포함하여 해석할 것이다. 여기서 제시된 모델은 gate길이, 채널두께, 게이트 산화막 두께 등을 설계하는데 이용할 것이다.

ABSTRACT

The double gate(DG) MOSFET is a promising candidate to further extend the CMOS scaling and provide better control of short channel effect(SCE). DGMOSFETs, having ultra thin undoped Si channel for SCEs control, are being validated for sub-20nm scaling. A channel effects such as the subthreshold swing(SS), and the threshold voltage roll-off(ΔV_{th}). The proposed model includes the effects of thermionic emission and quantum tunneling of carriers through the source-drain barrier. The proposed model is used to design contours for gate length, channel thickness, and gate oxide thickness.

키워드

DGMOSFET, Subthreshold Swing, roll-off, DIBL, threshold voltage

1. 서 론

금속산화 반도체(MOS)기술의 발전으로 소자의 길이가 나노단위로 줄어들었다. double-gate MOSFET(DGMOSFET)는 CMOS스케일링에서 단채널효과(SCE)를 보다 효과적으로 제어하기 위한 유망한 소자중에 하나이다. 이를테면, 가장 이상적인 문턱이하 폭선과 이동도 확장 등이 있다 [1][2][3]. double-gate의 설계를 위해 채널에 고유 electrostatic과 hot-carrier쌍이 제공되었다[4].

이 친밀한 쌍은 gate와 채널안에 DGMOSFET 기술에서 대부분의 FET를 설계할 때 만들어진다.

대부분의 논문들에서 20nm이하에서 양자터널링의 전달을 보이기 위해 유효한 채널길이 DGMOSFET를 수치시뮬레이션을 통해 설명하고 있다[5][6][7][8]. 이들 방법들은 DGMOSFET에서 단채널효과를 이해하는데, 복잡한 수치코드와 불분명하여 매우 복잡한 방정식을 구해야한다. 모델 매개변수의 물리학적 의미를 포함한 해석학적 모델은 회로 시뮬레이션이나 집적회로 설계시 필요하다.

본 논문에서는 DGMOSFET의 문턱 특성, 문턱 이하 전류에서 열이온방출과 양자터널링에 대해 모두 설명하는 새로운 해석학적 모델을 제시할

것이다. 이 새로운 모델에서 기하함수의 접근법은 채널에 있는 포텐셜을 모델링하는데 사용하지 않을 것이다.

또한 터널링 확률은 Wentzel-Kramers-Brillouin (WKB) 접근법을 이용하여 얻을 수 있었다. 터널링 전류를 유도하여 적합한 함수는 20nm 이하의 DG MOSFET에서 단채널 효과를 해석하는데 이용할 것이다.

II. 본 론

그림 1은 본 논문에서 사용될 DG MOSFET의 간략도를 도시하였다. 이 간략화된 대칭구조는 source/drain 확장영역이 겹치지 않은 두 개의 다결정 실리콘 게이트에 특성화되어 있다. 매우 얇게 p-type이 도핑 되어진 10nm 이하의 si 채널 두께 t_{si} , gate 산화막 두께 t_{ox} , 그리고 20nm 이하의 채널길이 L_g 는 가하변수를 가리킨다. p-type 실리콘 채널의 도핑농도는 $N_A = 10^{16} cm^{-3}$ 이다. n-type의 source와 drain 영역은 $10^{20} cm^{-3}$ 으로 균일하게 도핑되어 있다. poly-gate는 p-type이며 $10^{20} cm^{-3}$ 의 균일한 도핑농도를 가지고 있다.

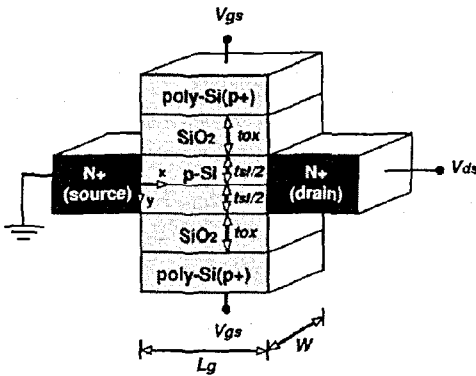


그림 1. DG MOSFET의 개략도

채널길이가 10nm인 DG MOSFET는 열이온방출과 터널링 전류에 억압되어 있다. 두 전류 메커니즘은 종속적이다. 따라서, 두 전류 모델은 개별적으로 발전해왔다. 또다른 전류에서 채널의 채널 포텐셜을 위한 방정식이 필요하다. 문턱이하 영역에서의 채널 포텐셜은 전 공핍영역 상태에서의 2D 포아손 방정식으로부터 얻을 수 있다.

$$\nabla^2 \psi = qN_A / \epsilon_{Si} \quad (1)$$

또한 ψ 를 표현하면

$$\psi(x, y) = V_{gs} - \phi_{1S} + U_{1D}(y) + \phi_{2D}(x, y) \quad (2)$$

U_{1D} 는 두께의 방향에서의 1D 포텐셜과 최종의 $\phi_{2D}(x, y)$ 는 2D 라플라스 방정식의 해이며, source/drain의 주입을 설명하고 있다. $\phi_{2D}(x, y)$ 를 표현하면

$$\begin{aligned} \phi_{2D}(x, y) = \sum_j \Gamma_j \cos \frac{y}{\lambda_j} \left[V_j \left(\sinh \frac{x}{\lambda_j} + \sinh \frac{L_g - x}{\lambda_j} \right) \right. \\ \left. + V_{ds} \sinh \frac{x}{\lambda_j} \right] / \sinh \frac{L_g}{\lambda_j} \end{aligned} \quad (3)$$

식 3에서 λ_j 는 고유 값에 만족하므로,

$$\begin{aligned} \tan \frac{t_{Si}}{2\lambda_j} &= \frac{r\lambda_j}{t_{Si}} \\ \Gamma_j &= \frac{2\lambda}{t_{Si}} \sqrt{1 + \frac{t_{Si}^2}{r^2 \lambda_j^2}} / \left(\frac{1}{r} + \frac{1}{2} + \frac{1}{2} \frac{t_{Si}^2}{r^2 \lambda_j^2} \right) \\ V_j &= V_{th} - V_{gs} + \phi_{1S} + V_A \lambda_j^2 / t_{Si}^2 \\ V_A &= qN_A t_{Si}^2 / \epsilon_{Si} \\ r &= \epsilon_{ox} t_{ox} / \epsilon_{Si} t_{Si} \end{aligned}$$

또한 열이온방출전류의 식을 구하면,

$$I_{ther} = qn_m(y)v_{th}t_{Si}W/6 \approx qn_m(d_{eff})v_{th}t_{Si}W/6 \quad (4)$$

이다.

문턱이하전류를 구성하는 두가지요소인(열이온과 터널링)을 일반적인 Subthreshold Swing 모델로 표현하면,

$$\begin{aligned} SS &= \left[\frac{\partial \log(I_{tot})}{\partial V_{gs}} \right]^{-1} \\ &= \left[\frac{\partial I_{ther} / \partial V_{gs} + \partial I_{tunnel} / \partial V_{gs}}{\ln 10 \cdot I_{tot}} \right]^{-1} \end{aligned} \quad (5)$$

이를 식 4를 이용하여 5식에 있는 $\partial I_{ther} / \partial V_{gs}$ 을 얻을 수 있다.

$$\begin{aligned} \partial I_{ther} / \partial V_{gs} &= (qv_{th}t_{Si}W/6)n_m(d_{eff})(q/kT) \\ & \times [1 - (\Gamma_1 \cos \frac{d_{off}}{\lambda_1} \sinh \frac{L_g}{\lambda_1})w/v^{3/2}] \end{aligned} \quad (6)$$

따라서 터널링전류를 구하는 결과식은

$$\partial I_{tunnel} / \partial V_{gs} = (qN_D t_{Si} W/6) \left(\frac{2v_{th}}{3} \frac{\partial T_i}{\partial V_{gs}} + \frac{v_{th}}{3} \frac{\partial T_i}{\partial V_{gs}} \right) \quad (7)$$

이다.

subthreshold swing, 문턱전압 roll-off, 그리고 DIBL과 밀접한 관계가 있는 결과식은 20nm 이하의 DGMOSFET에 표현할 수 있었다.

문턱이하의 영역에서 DGMOSFET의 다양한 새로운 해석학적 모델을 2D 시뮬레이션과 비교하여 얻어내었다. 그림 2는 양자 터널링이 존재 유무에 의해 게이트길이함수에 따른 subthreshold swing 변화를 나타내었다. 보다 작은 채널에서 subthreshold swing 축소는 양자터널링이 생기면 더욱 커진다.

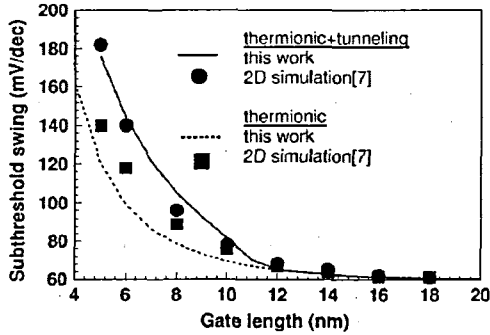


그림 2. 채널길이함수에 양자 터널링이 존재 유무에 따른 subthreshold swing

그림 3은 채널두께의 증가에 따라 터널링전류가 감소하는 관계를 비교하였다.

그림 3(a)에서 $SS=60\text{mV/dec}$ 일 때, 최소 게이트 길이는 12nm이고 채널두께는 1.5nm이다. 그림 3(b)는 게이트길이의 감소와 채널두께의 증가에 따른 양자터널링이 없을 때, subthreshold swing의 차이점을 나타내고 있다.

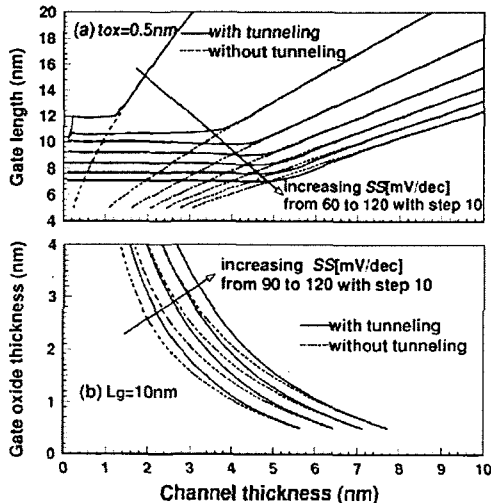


그림 3. 대형적인 DGMOSFET에서 설계시 subthreshold swing의 요구조건

그림 4는 양자터널링에 의해 증가하는 단채널 효과를 나타내고 있다. 이 결과에서 보듯이 단채널효과를 해석하기 위해 즉 문턱전압 roll-off를 이용하여 나노단위의 DGMOSFET에서 터널링전류의 중요성을 보여주고 있다.

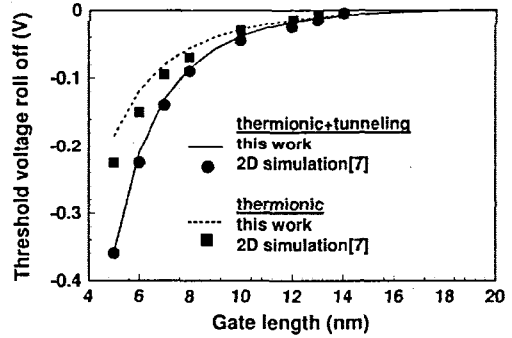


그림 4. 채널두께에 따른 게이트길이 함수에 대한 문턱전압 roll-off

그림 5는 $\Delta V_{th} = -0.05\text{V}$ 일 때 DGMOSFET의 디자인을 보여준다. 그림에서 보여주듯이 채널두께가 작아지고, 게이트 산화막 두께가 감소할 때, 비슷한 문턱전압 roll-off를 유지할 것이다. 하지만 만약 게이트 산화막 두께가 증가한다면 subthreshold swing은 증가할 것이다. 따라서 DGMOSFET를 설계할 때, 게이트 산화막 두께와 채널두께 모두 subthreshold swing과 문턱전압 roll-off의 적당한 값을 찾아야 한다.

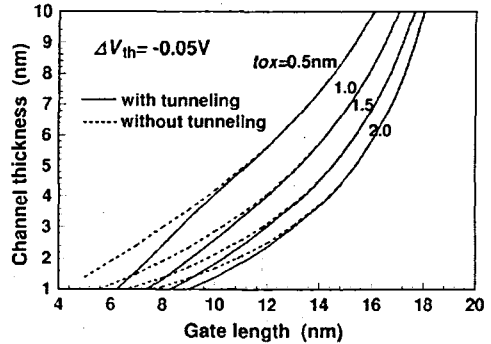


그림 5. DGMOSFET의 설계시 문턱전압 $\Delta V_{th} = -0.05\text{V}$ 대한 채널두께변화

drain전압에 의한 문턱전압의 의존성은 디지털 응용에 매우 중요하다. DIBL은 구동전압 함수에서 문턱전압을 야기시킨다. 그것은 단지 gate 전압뿐만 아니라 열이온과 터널링전류를 인가할 때, 전위장벽은 낮아진다. 문턱전압은, 따라서 drain

전압에 의해 작아지며, 작은 gate 전압은 강반전을 발생시키며, 누설전류를 야기하며, 몇 가지 케이스를 통해 한층 유도할 수 있다. 이 효과를 줄이기 위해선, DGMOSFET를 설계할 때, DIBL을 아주 작게 하는 것이다. 본 논문에서 제안한 해석학적 모델을 DIBL을 이용하여, gate의 길이함수를 계산하고 계획할 것이다. 본 논문에서 DIBL은 12nm이하의 게이트에 대한 양자터널링에 의해 증가하는 것을 알 수 있다. 보통 DIBL은 채널두께와 게이트 산화막 두께에 비례하며, 게이트 길이와는 반비례한다. DGMOSFET를 설계하는 것은 gate 산화막 두께를 0.5nm에서 2.0nm로 변화시켰을 때, 100mV/V의 DIBL은 그림6에 나타내었다. 10nm이하의 게이트길이를 가진 DGMOSFET에서 약100mV/V인 적당한 DIBL을 유지하면, 터널링이 생길 경우에 매우 얇은 게이트 산화막과 채널이 필요할 것이다.

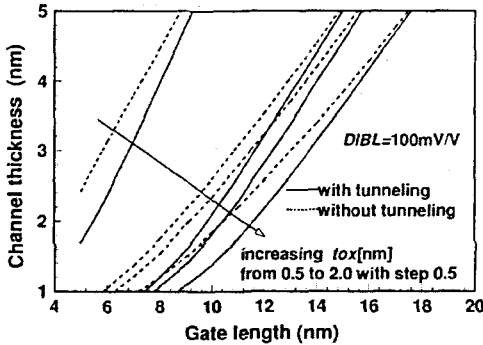


그림 6. DGMOSFET의 설계시 100mV/V의 DIBL에 대한 게이트산화막 두께변화

III. 결 론

단채널 효과를 해석하기 위해 해석학적 모델, 예를 들면 subthreshold Swing, 문턱전압 roll-off, 그리고 DIBL등은 본 논문에서 제안되었다. 해석학적 모델의 결과는 다른 많은 2D 수치 시뮬레이션들과 비교하였다. 열 이온 방출은 채널길이가 12nm 이상에서 캐리어 운반의 주 메커니즘이 발견되었다. 한편, 양자터널링은 12nm 이하의 게이트길이를 가진 DG MOSFET에서 대부분 발견되며, 소자의 스케일링에 막대한 영향을 끼치며, 특히 10nm이하의 영역에서 발생한다. 양자 터널링에 의한 단채널 효과의 감소는 제시된 해석학적 모델을 이용하여 해석하였다. 단채널 효과를 해석하기 위하여 DG MOSFET의 게이트길이가 줄어들면 그에 따라 단채널효과도 같이 감소하는 것을 확인할 수 있으며, 10nm이하의 영역에서 양자 터널링이 가장 클 때 중요하다. 결과에서 보여진

것과 같이 10nm이하의 DGMOSFET를 설계하기 위해선 매우 정밀해야 하며, 매우 얇은 채널두께와 게이트산화두께를 만드는 데 필요하다. 약 10nm의 채널두께가 1.5nm이하가 되면 양자터널링이 발생한다는 것을 확인할 수 있다.

참고문헌

- [1] Schulz, T., Rosner, W., Landgraf, E., Risch, L., and Langmann, U., (2002) Solid-State Electronics, 46, 985-989.
- [2] Huff, H.R. and Zeitzoff, P.M. (2003) Int. Conf. Characterization and Metrology for ULSI Technology, 1-17
- [3] Chang, L., Choi, Y.K., Ha, D., Ranade, P., Xiong, S., Boker, J., Hu, C., and King, T.J. (2003) Proc. of IEEE, 91, 1860-1873.
- [4] Kim, K., and Fossum, J.G. (2001) IEEE Trans. Electron Devices, 48, 294-299.
- [5] Watling, J.R., Brown, A.R., and Asenov, A. (2002) Journal of Computational Electronics, 1, 289-293.
- [6] Park, J.S., Shin, H., Connelly, D., Yergeau, D., Yu Z., and Dutton, R.W. (2004) Solid-State Electronics, 48, 1163-1168.
- [7] Munteanu, D., and Autran, J.L. (2003) Solid-State Electronics, 47, 1219-1225.
- [8] Bescond, M., Autran, J.L., Munteanu, D., and Lannoo, M. (2004) Solid-State Electronics, 48, 567-574.