

1.5 kW, 2.7-2.9 GHz, 반도체 펄스 전력 증폭기 설계 및 제작

장성민^o, 최길용, 주지한, 최진주, 박동민*
(광운대학교 전자공학과, *삼성탈레스)
links200@kw.ac.kr

Design and fabrication on 2.7-2.9 GHz, 1.5 kW pulsed Solid state power amplifier

S M. Jang^o, G. W. Choi, J. H. Joo, J. J. Choi, D. M. Park*
(Kwangwoon University, Department of Radio Science and Engineering, *Samsung Thales co.)

Abstract

In this paper, describes the design and performance of a 1.5 kW solid-state pulsed power amplifier, operating over 2.7-2.9 GHz at a duty of 10% and with a pulse width of 100 us for radar application. The solid-state pulsed power amplifier configures a series of 8-stage cascaded power amplifier with different RF output power levels. Low loss Wilkinson combiners are used to combine output powers of six 300W high power solid state modules. Tests show peak output power of 1.61 kW, corresponding to PAE of 26.2% over 2.7-2.9 GHz with pulse width of 100 us and a PRF of 1 kHz.

key word: Pulsed solid-state power amplifier, S-band, Pulse

I. 서론

레이다의 송신부에 coherent radiation을 발생하는 고출력 전력증폭기가 필요하다. 과거 고출력 전력증폭은, 단일 소자로 큰 출력 전력을 얻을 수 있는 진공전력증폭기 (vacuum power amplifier)를 주로 이용하였으나 1970년대 중반이후 반도체 기술의 발달로 인해 단일 소자로 높은 출력 전력을 얻을 수 있는 반도체 전력 소자들이 개발되어짐에 따라 진공전력증폭기보다 유지비용이 싸며 안정적이고 신뢰성있는 반도체전력증폭기가 많이 사용되고 있다. 그러나 반도체 소자의 최대출력전력이 수백와트를 넘지 못하기 때문에 수십내지 수백 kW의 출력전력을 필요로하는 레이다 송신부에 응용에 단일 소자로 사용되기는 힘들다. 이에 레이다 송신부에 필요한 출력전력을 얻기 위해 일반적으로 전력 결합 기술

을 이용하여 원하는 최대 출력을 얻을 수 있다.

본 논문에서 설계하고 제작한 반도체 펄스 전력 증폭기는 전체 8단으로 구성되어지며 2.7-2.9 GHz 대역에서 이득 62 dB, 펄스폭 100 us, duty cycle 10%로 1.5 kW이상의 출력전력을 얻었고, 이때 이득 평탄도는 1.5 dB, 전력부과효율(PAE)은 26.2%를 얻었다.

II. 반도체 펄스 전력증폭기 설계 및 제작

표 1은 본 논문에서 제안한 반도체 전력 증폭기의 설계 사양을 나타낸 것이다. S-밴드(2.7-2.9 GHz)에서 1 mW의 전력이 입력될때, 최종출력전력 1.5 kW를 얻고자 하였고, 전체 이득은 62 dB를 가지는 증폭기를 설계하고자 하였다. 이때 펄스는 100

us의 펄스폭을 가지며 10%의 duty cycle을 가지게 된다. 이러한 사양을 기준으로 하여 전체 구성도를 설계하였으며 이를 그림 1에 나타내었다. 그림 1에서 알 수 있듯이 62 dB의 이득을 얻기 위해 전체 8단으로 구성하였으며, 8단을 6개의 모듈로 나누었다. 첫 번째 단과 다섯 번째, 여섯 번째 단을 제외한 단들은 평형 구조로 설계하여 입출력 정제파비를 향상시키고자 하였으며 시스템 전체의 신뢰성을 높이고자 하였다. 특히 전력증폭단은 2,3-way Wilkinson 전력 분배기 및 합성기를 통해 300 W의 출력전력을 가지는 소자 6개를 병렬구조로 결합하였으며 최종 출력 1.6 kW의 높은 출력전력을 결합할 수 있는 고전력 합성기를 이용하였다.

표 1. 반도체 전력 증폭기 설계 사양

분류	설계 사양
주파수	S-밴드 (2.7-2.9 GHz)
이득	62 dB
입력 전력	1 mW
출력 전력	1.5 kW (peak)
펄스폭/PRF	100 us/ 1 kHz
Duty cycle	10%
크기	30 * 30 * 30 cm

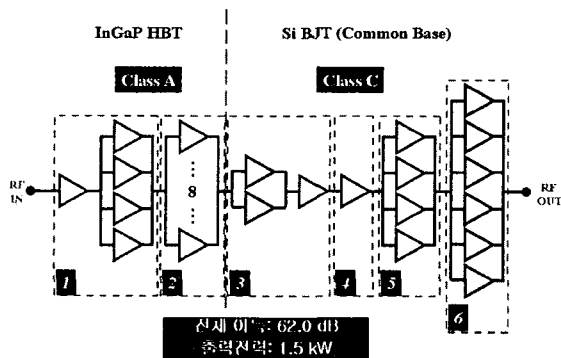


그림 1. 반도체 펄스 전력증폭기 구성도

첫 번째 단과 두 번째 단을 연결하여 하나의 모듈로 구성하였으며 각각의 소자들은 InGaP기반의 HBT (Heterojunction Bipolar transistor)를 사용하였으며 높은 이득과 좋은 선형성을 얻기 위하여 Class A로 동작되도록 구동점을 조정하였다. 첫 번째 단과 두 번째 단은 전원회로가 내장되어 있는 증폭기를 이용하였으며 소신호 정보를 이용하여

Agilnet사의 ADS 시뮬레이션 코드로 설계하였다. 첫 번째 모듈에 들어가는 두 번째 단은 90° hybrid 커플러를 이용하여 4개의 소자를 병렬구조로 연결하였으며 이로써 원하는 출력 전력과 입출력 정제파비를 얻고자 하였다. 제작된 첫 번째 모듈을 측정 한 결과 26 dB의 이득을 얻을 수 있었으며 1 mW 입력전력이 입력될때 370 mW의 출력전력을 얻었으며 대역 내의 이득 평탄도는 1.5 dB로 측정되었다. 두 번째 모듈은 세 번째 단으로 구성되어지며 두 번째 단에서 사용한 것과 동일한 소자를 사용하였으며 8개의 소자를 병렬 구조로 연결하여 원하는 출력 전력을 얻고자 하였다. 측정결과 370 mW의 입력전력이 입력될때 1.8 W의 출력전력을 얻었으며 이득은 6.9 dB, 대역 내에서 1 dB의 이득 평탄도를 얻었다. 네 번째 단부터는 Si 기반의 BJT (Bipolar Junction Transistor)를 이용하여 구성하였다. BJT 소자의 비선형 모델이나 소신호 정보가 없어 설계를 위해 ADS 시뮬레이션 모델을 만들어 설계하였다. 설계 방법은 소자가 동작되는 동작점에서 2-3개 주파수의 입출력 임피던스 값을 이용하여, 그 입출력 임피던스 값에 맞도록 입출력 정합회로를 설계하였다. 또 다른 방법으로 소자의 입출력단에 3 stub tuner를 연결하여 원하는 출력 전력과 이득이 나오도록 정합점을 찾은 다음 정합된 3 stub tuner의 최적 임피던스 값을 VNA (Vector Network Analyzer)에서 확인 하여, 그 결과를 ADS 시뮬레이션을 통해 입출력 정합회로를 설계하였다. 세 번째 모듈은 네 번째 단과 다섯 번째 단을 연결하여 제작하였으며 네 번째 단은 병렬구조로 연결하여 입출력 정제파비를 개선하고자 하였다. 측정결과 1.8 W의 입력전력이 입력될때 18.5 W의 출력전력을 얻을 수 있었으며 이득은 10.1 dB로 측정되었다. 여섯 번째 단은 세 번째 모듈과 동일한 방법으로 설계하였으며 하나의 모듈로 구성하였다. 네 번째 모듈을 측정한 결과 18.5 W의 입력전력이 입력될 때 74 W의 출력전력을 얻을 수 있었으며 이득은 6.0 dB를 얻을 수 있었다. 일곱 번째 단은 네 번째 모듈에서 사용한 것과 같은 동일한 소자를 사용하였으며 총 4개의 소자를 평형구조로 연결하여 출력전력을 높이고 높은 신뢰성을 얻기 위하여 이중 평형 구조로 설계, 제작하였다. 이로써 전력 증폭단의 입력전력을 안정적으로 공급할 수 있도록 하였다. 측정결과 74 W의 입력전력이 입력될 때 274 W의 출력전력을 얻을 수 있었으며 이때의 이득은 5.7 dB로 측정되었다. 전력 증폭단은 하나의 모듈로 구성하였으며

300 W의 출력전력을 가지는 소자를 6개로 병렬로 연결하였다. 이때 300 W의 출력전력을 가지는 소자는 각각의 소자들의 출력 특성을 동일하게 하는 것이 매우 중요하게 되는데 이것은 소자의 특성이 달라질 때 어느 특정 소자에 무리가 갈 수 있게 되며, 최악의 경우 소자에 손상을 입게 되어 동작이 안될 수도 있다. 이것은 전체 증폭기의 신뢰성과 밀접한 연관성을 가지게 되므로 더욱 각별히 주의해야 하는 부분이다. 본 논문에서는 사용되어지는 300 W급 소자의 특성을 각각 확인하였으며 그 결과는 그림 2에 나타내었다. 원하는 출력전력 300 W에서 각각의 소자들의 입력 전력은 약 0.6 dB의 차이를 보였으며 이것을 고려하지 않고 연결할 때 최악의 경우 소자당 출력 전력이 100 W까지 차이 날 수 있음을 확인할 수 있었다. 6개의 소자를 병렬로 연결하기 위하여 2way Wilkinson 결합기와 3way Wilkinson 결합기를 설계하였다. 2way Wilkinson과 3way Wilkinson 결합기는 각각 Wilkinson 이론에 기초하여 설계하고 제작하였으며 특히 3way Wilkinson의 경우 격리도를 높이기 위해 격리 저항을 적층구조로 연결하여 각단의 격리도를 높이고자 하였다. 3way Wilkinson을 제작하여 측정된 결과 커플링 지수는 5.0-5.5 dB로 약 0.5 dB의 차이를 보였고 각 포트간의 위상차도 2°가 발생하였다. 격리도는 16 dB이상으로 우수한 특성을 보였다. 3way Wilkinson 결합기의 측정결과를 기초로 하여 300 W급 소자들의 특성이 가장 안정적으로 동작할 수 있도록 소자를 배열하여 설계하였다. 이로써 전력증폭단의 안정도를 높이고 신뢰성을 향상시키고자 하였다. 또한 펄스로 동작하기 때문에 DC전원을 공급하기 위한 라인의 길이를 최소한으로 짧게 해야 하는데 이는 펄스로 동작되어지는 경우 라인의 기생 성분중 인덕터 성분의 증가로 인해 전압차가 발생하는 것을 방지하기 위함이다. 전압차가 달라질 경우 overshooting이나 undershooting이 발생할 수 있으며 심할 경우 아킹이 발생하여 소자에 손상을 입힐 수 있다. 따라서 본 연구에서는 DC전원공급라인의 길이를 짧게할 뿐아니라 각각의 라인의 길이를 같게하여 소자가 안정적으로 동작할 수 있도록 하였다. 전력증폭기의 출력 전력은 1.6 kW의 높은 전력을 결합하여야 하는데 이를 위해서 대역내에서 최고 6 kW(peak)까지 견들 수 있는 90° 하이브리드 결합기를 사용하여 전력을 결합하였다.

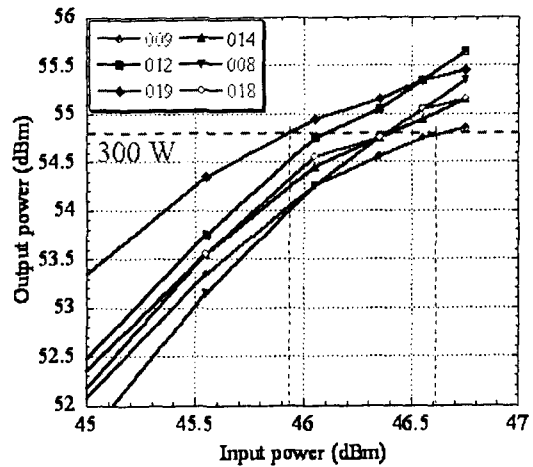


그림 2. 300 W소자 성능 분석

각각의 모듈들을 최소 삽입손실을 가질 수 있도록 배열하였으며 열방출을 위해 방열판과 팬을 이용하였다. RF입출력외에 전력증폭단 뒤편에 방향성 결합기를 이용하여 각각 출력되는 전력과 반사되는 전력을 확인하고자 하였으며 쇼트키 다이오드를 이용하여 검파기를 설계한다음 출력되어지는 전압을 오실로스코프를 통해 확인할 수 있도록 하였다. 제작된 반도체 펄스 전력증폭기의 구동곡선과 이득평탄도는 각각 그림 3과 그림 4에 나타내었다. 중심주파수 2.8 GHz에서 1 mW의 입력전력이 입력될때 1.53 kW의 출력전력이 나오는 것을 확인하였으며 이때의 이득 평탄도는 1.5 dB 미만인 것으로 측정되었다. 또한 2.82 GHz에서 최대 출력 1.61 kW가 출력되는 것을 확인하였으며 이득은 62.1 dB, 펄스 폭 100us, duty cycle 10%로 1.5 kW이상의 출력전력과 26.2%의 전력부가효율(PAE)를 얻었다. 그때의 2차 고조파 특성은 그림 5에 나타내었다. 케리어 주파수와 비교시 48.7 dBc의 차이가 나는 것을 확인하였다. 잡음지수를 측정하기위해 먼저 각각의 모듈별로 잡음지수를 측정하였다. 잡음지수를 측정하기 위해 Agilent사의 잡음지수분석기(N8975A)를 사용하였다. Class A로 동작되는 첫 번째 모듈과 두 번째 모듈은 각각 5.5 dB, 9.2 dB로 측정되었다. 그러나 Class C로 동작되어지는 모듈들의 잡음지수는 측정되지 않았다. 이는 Class C 증폭기의 특성상 일정량 이상의 입력전력이 입력되지 않으면 이득이 발생하지 않기 때문이다. 하지만 다단잡음식에 의하면 시스템의 전체 잡음지수는 첫 번째 단의 잡음지수와 이득에 거의 의존하게 된다. 실제 측정결과 첫

번째 모듈과 두 번째 모듈을 연결하여 잡음지수를 측정된 결과 5.6 dB가 측정되었으며, 각각 단별로 측정된 것을 수식을 이용하여 계산한 결과와 매우 잘 맞음을 확인할 수 있었다. 잡음지수를 측정된 결과는 그림 6에 나타내었다. 시간축에서 펄스 형태를 확인하기 위해 peak power meter를 이용하여 확인하였고 그 결과를 그림 7에 나타내었다. 원하는 펄스폭 100 us에서 펄스 드롭은 0.5 dB가 발생하였다. 이것은 펄스 전류를 공급하는 콘덴서의 전압강하에 기인하는 것으로 이를 해결하기 위해서는 DC전원이 공급되는 선로의 길이를 가능한 손실이 없는 선로가 되도록 하여야하며 충분한 에너지를 저장할 수 있도록 콘덴서 값을 조절해야한다.

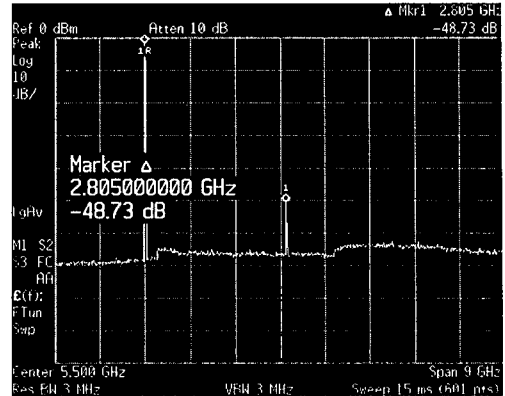


그림 5. 반도체 전력증폭기의 2차 고조파 특성

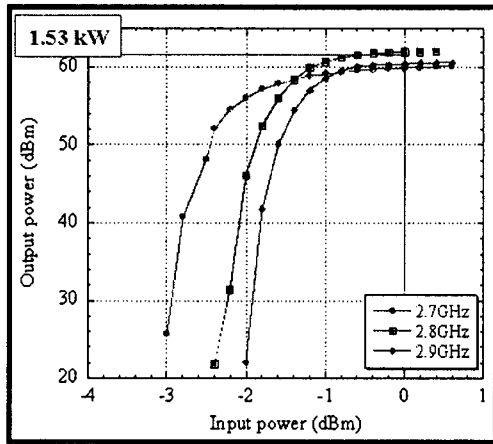


그림 3. 반도체 전력증폭기의 구동곡선

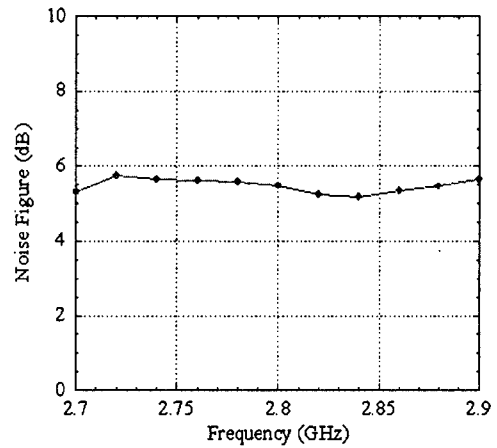


그림 6. 측정된 잡음지수

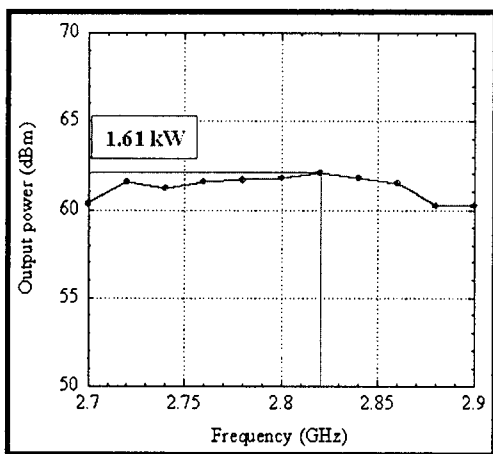


그림 4. 반도체 전력증폭기의 대역폭

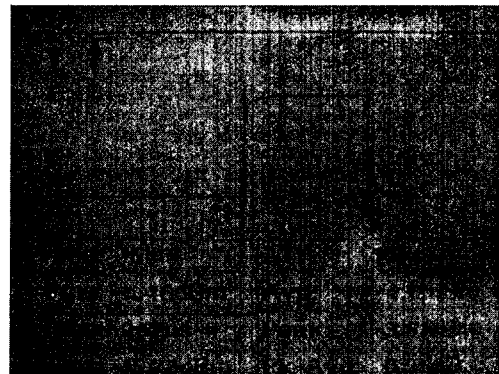


그림 7. 측정된 펄스출력파형

III. 결론

본 연구를 통해 Surveillance Radar에 응용할 수 있는 1.5 kW, 2.7-2.9 GHz, 반도체 펄스 전력 증폭기를 설계 및 제작하였다. 높은 이득을 얻기 위하여 전체 8단으로 구성하였으며 이를 적절히 배열하여 여섯 개의 모듈로 구성하였다. 또한 1.5 kW의 출력 전력을 얻기 위해 전력증폭단에서 6개의 소자를 병렬로 연결하였으며 증폭기의 안정적인 동작을 위하여 개별적인 소자의 특성을 분석한 뒤 배열하였다. 측정결과 1 mW입력전력이 입력될때 최대 출력 1.61 kW, 2.7-2.9 GHz에서 이득평탄도 1.5 dB, 전력 부가효율(PAE)은 26%로 측정되었다. 이때의 펄스 폭은 100 us, duty cycle은 10%이며 발생되어진 펄스 드롭은 0.5 dB로 측정되었다. 잡음 지수는 5.6 dB, 2차 고조파와의 차이는 약 48.7 dBc가 발생하였다.

참고문헌

- [1] Edward D. Ostoff, *SOLID-STATE RADAR TRANSMITTERS* : Artech House, 1985
- [2] Steve. C. Cripps, *RF power Amplifier for Wireless Communication*, Boston, London : Artech House, 1999
- [3] David A. Bell, *SOLID STATE PULSE CIRCUITS*, Third edition : Prentice Hall, 1988
- [4] Thomas S. Laverghetta, *Handbook of Microwave Testing* : Artech House, 1980
- [5] M. Cicolani, "HIGH POWER MODULAR S-BAND SOLID STATE TRANSMITTERS FAMILY FOR ATC AND NAVAL RADAR APPLICATIONS," *IEEE MTT-S Digest*, 2000. pp.1723-1726
- [6] Michael Hanczor, Mahesh Kumar, "12-kW S-Band Solid-State Transmitter for Modern Radar Systems," *IEEE transactions on microwave theory and techiques. vol. 41. no. 12.* December 1993

M E M O