

## 휴대용 이동 통신기기의 슬림화를 위한 전력용 인덕터의 연구

김두일\* 서종고\* 김성일\* 엄재현\*, 정진희\*\* 이해종\*\*

\*LG전자 생산기술원 \*\*삼화전자

### A Study of Power Inductor for Slim Mobile Communication Set

Du-il Kim\* Jong-go Seo\* Sung-il Kim\* Jaehyun Uhm\* Jin-hwee Jung\*\* Heajong Lee\*\*

\*LG Electronics-PERI \*\*Sam-Hwa Electronics

**Abstract** - As technology is developed, customers want to use many functions in one system. Manufacturers want to reach the customer's needs, make systems more small, thin, light-weight. To make them real, it is necessary to make components to be small and thin. But components of power stage are big, thick and heavy-weighted yet, especially power inductor is the most significant component. This paper proposed a novel chip-type power inductor : I-type inductor. Inductor that proposed has 3225-size, 5.6uH and 1.3A of max saturation current. And it has  $R_{DC}$  of 0.25Ω which is smaller than 0.45Ω of chip-type inductor and 0.9Ω of coil-type inductor.

### 1. 서 론

현재 개인용 이동통신장치와 디스플레이 장치의 발달로 인해 초박형 기기의 공급과 수요가 증가하는 추세에 있다. IC의 발전, 초소형 수동소자의 개발, 실장기술의 발달 그리고 저 전력소모기술로 인해 개인용 이동통신장치의 초박형화가 급속히 이루어지고 있는 가운데, 걸림돌 중 하나로 작용되는 부분은 전력공급장치 부분이다. 이동용 기기라는 특성상 배터리를 이용하기 때문에 고효율의 SMPS를 이용하여 장비의 각 부분에 전력을 공급하고 있다. 모바일 기기의 전력공급부분은 아날로그-디지털 혼성신호를 이용한 IC의 발전으로 많은 부피절감 효과를 얻었지만, 아직도 많은 수의 소자가 필요한 부분이기 때문에 개선할 필요가 있다. 특히 전력용 인덕터의 경우, 모바일 기기에 사용하기 위해서는 부피에 대한 부분의 개선이 요구된다.

전력용 인덕터의 경우, 인덕턴스의 증가는 곧 자성체 크기의 증가와  $R_{DC}$ 의 증가라는 문제점을 갖고 있으며, 재질의 개선 또는 변경은 생산단가의 증가라는 문제점 그리고 포화 방지를 위해서 필요한 자로(磁路)의 gap은 자성체의 발열과 인덕턴스의 손실이라는 문제점을 갖고 있다.[1][2]

본 논문에서는 이러한 전력용 인덕터의 문제점을 해결하기 위해, 새로운 방법으로 인덕터를 개선하여 시뮬레이션을 실시하였다. 우선, 권선형 인덕터의 경우 그 크기와 관련된 가장 큰 문제점은 권선을 감기 때문에 발생하는 권선 사이의 부피 손실로 인덕터의 전체 부피가 증가한다는 것과 자로 확보가 되지 않아 원하는 인덕턴스를 얻기 위해서는 자성체의 종류 또는 자성체의 부피가 증가한다는 것이다. 원하는 인덕턴스를 얻기 위해서는 일정한 횟수 이상으로 권선을 감아야 하기 때문에 권선 사이의 공간에 대한 손실이 생기지만, 최근 들어 시도되는 편각도선(Flat Coil)을 이용하여 권선 사이에서 발생하는 부피손실을 줄일 수 있다.[3] 편각 도선이란 권선의 단면이 원형이 아닌 직사각형으로 권선 간의 부피손실을 최소화 하였다. 또한, 일반적인 칩인덕터에 사용되던 종

족형 자성체를 I-형 자성체로 모양을 개선하여 자로를 형성함으로, 원하는 인덕턴스를 얻기 위해 필요한 자성체의 부피를 감소시켰다. 그리고 기존의 칩인덕터와 달리 상/하단면의 재질을 자성체로 제작하여 투자율을 극대화 시켰으며, 자로의 단면적에 대한 산포를 줄여 전체적인 인덕턴스를 증가시켰다.

### 2. 본 론

#### 2.1 기존 인덕터와 I-형 칩인덕터와의 비교

그림1에는 권선형 인덕터의 구조를 나타내었다. 권선형 인덕터는 전력용 인덕터이므로 높은 인덕턴스와 높은 포화전류를 얻기 위해 큰 자성체를 사용한다. 아령 모양의 자성체와 권선을 이용하여 인덕터를 제작하는 방식이므로 큰 부피를 갖는다. 하지만, 큰 인덕턴스를 얻기 위해서는 큰 자성체를 사용하여야 하며, 권선수가 증가하여 하므로 권선 사이의 공간 손실에 의해 전체적인 인덕터의 부피는 증가할 수밖에 없다.

이를 해결하기 위해서 그림2에서와 같이 편각도선을 이용하여 도선 사이의 공간 손실을 최소화하는 방법이 있다. 하지만 공간 손실을 개선하였다 하더라도, 자성체가 막대 형태이므로 자로가 없다는 구조적 특성 때문에 높은 인덕턴스를 내기 위해서는 자성체의 부피가 커질 수밖에 없다. 하지만 일반적인 칩인덕터의 경우 부피감소가 가장 중요한 요소이므로 전체적인 부피 감소를 위해 인덕턴스 값이 낮아지더라도 작은 크기의 자성체를 사용한 경우이다.

그림3에는 일반적인 칩인덕터의 구조를 나타내었다. 막대 형태의 유효면적 구조의 자성체 외각에 편각도선을 이용하여 권선을 형성하고, 구조의 상/하단 면에 알루미늄 재질의 시트(이하 AL\_S)를 배치하여 인덕턴스를 생성한다. 단순한 형태이기 때문에 제작이 용이하고 생산성이 높아 낮은 단가에 양산할 수 있는 장점이 있다. 따라서 대부분의 칩인덕터가 이와 같은 형태이다. 하지만 막대형의 자성체를 사용하므로 자로가 확보되지 못하고, 상/하단 면에 구조의 안정성을 위한 AL\_S를 사용하므로 투자율이 낮아져서 얻을 수 있는 인덕턴스 값이 낮아지게 된다.

본 논문에서는 이러한 문제를 개선하기 위해 I-형 자성체를 이용한 칩인덕터를 고안하였다. 그럼4에 나타내었듯이, 중심 자성체와 외각의 자성체를 이용하여 자로를 확보해주어 누설자속을 없앴으며, 상하단의 AL\_S를 폐라이트 재질의 자성체 시트(이하 FE\_S)로 교체함으로써 더욱 확실하게 자로를 확보해주었다. 자성체 내부에 형성되어 있는 권선은 편각도선을 이용하여 도선사이의 공간손실을 최소화 하였으며, 자로면적의 최대화와 면적 변화에 대한 산포를 최소화시키기 위해 자성체의 유효 단면적과 FE\_S의 두께를 조절하였다.

## 2.2 시뮬레이션

위의 구조를 바탕으로 시뮬레이션을 실시하였다. 시뮬레이션 툴은 Maxwell-3D를 이용하였으며, 시뮬레이션 파라미터는 표1과 같으며, 일반적인 권선형 인덕터, 일반적인 칩인덕터, I-형 인덕터를 시뮬레이션 하였다. 칩 형태의 인덕터는 자성체와 패턴을 성형 후 제작을 위한 압축 과정을 겪으면서 물리적 크기가 15% 정도 줄어든다. 따라서 이를 감안하여 패턴과 자성체 시트를 크게 설계 한다. 제작 후의 크기는 3225 사이즈에 기준을 하며 높이는 1T (1mm)를 기준으로 하였다.

그림5는 인덕터의 종류에 따른 중첩 특성을 나타낸 그래프이다. 이때의 입력전류는 Total-RMS 값이고, 전류가 0에 가까울 때의 값이 고유 인덕턴스 값이며, 인덕턴스의 최초값을 기준으로 90%일 때의 전류값이 포화전 최대 전류값이다. 즉 이 값 이하로 전류를 운용했을 때 인덕터가 포화되지 않는다는 것을 나타낸다. 이 값을 기준으로 해당 인덕터가 견딜 수 있는 전류의 한계치를 알 수 있다. 이 결과 I-형 인덕터가 가장 우수한 성능을 나타내었으며, 그 값으로  $L=5.6\mu H$ ,  $I_{DC}=1,300mA$ 를 얻을 수 있었다.

	일반 권선형	일반 칩인덕터	I형 칩인덕터
No. layers	—	14	14
No. turns	14	14	14
Sheet 두께	—	40um	40um
Material	400재	400재	400재

표1 각 인덕터의 제작 조건

	일반 권선형	일반 칩인덕터	I형 칩인덕터
$R_{DC} (\Omega)$	0.45	0.9	0.2
$P_{LOSS} (W)$	72m	144m	16m
Thermal ( $^{\circ}C$ )	46	45	32

표2 각 인덕터의 열적 특성  
( $I_{RMS}=400mA$ , 실온= $25^{\circ}C$ )

표2는 각 인덕터의 전력에 대한 요소를 표현한 것이다. 인덕터의 DC저항에 의한 전력 손실은 컨버터가 고효율로 동작될수록 그 비중이 커진다. 또한 인덕터에서 발생되는 소모 전력에 따른 온도상승은 기기 내 온도를 상승 시키므로, 온도 역시 전력효율만큼 중요한 부분을 차지한다. 비교군으로 사용한 권선형 인덕터의 온도는  $46^{\circ}C$ 까지 상승했다. 이는 권선형 인덕터의 도선 저항값인  $R_{DC}$ 값이 크기 때문에 발생한 손실로서, 배터리를 사용하는 모바일 기기에 사용하기는 부적합한 온도이다. 따라서 인덕터 내부 저항값을 줄일 필요가 있다. I-형 칩인덕터 개발 시 목표로 잡았던  $R_{DC}$ 는 0.20이다. 실제 test시 기준 전류값은 400mA 이므로  $P_{LOSS}=80mW$ 이며, 1.2W 용량을 지닌 컨버터에서 0.67%의 손실만을 갖는다고 예상되므로, 개발하고자 하는 I-형 인덕터의 실제  $R_{DC}$ 값을 0.20이하로 낮추려고 한다. 이를 위해서는 권선의 단수/단면적/길이에 대해 변수를 최대 인덕턴스 값을 내기 위한 자성체의 유효단면적( $A_e$ )의 최대화에 맞추어 그 값을 선정해야 할 것이다.

## 3. 결 론

시뮬레이션의 결과에 의해 3225의 면적과 1T의 높이를 지닌  $5.6\mu H$ 의 전력용 칩인덕터를 개발할 수 있는 근거를 얻게 되었다. 기존 개발된 소자는 1.3T 정도의 높이를 지닌 소자가 대부분이므로 초박형 모바일 기기를 위해서는 본 논문에서 개발한 인덕터가 가격대비 성능, 크기, 용량 면에서 큰 경쟁력을 지녔다고 할 수 있다.

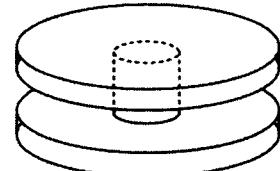


그림1 일반적인 권선형 인덕터의 구조

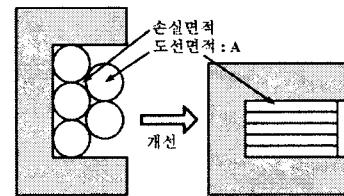


그림2 편각도선을 이용한 면적 손실 개선

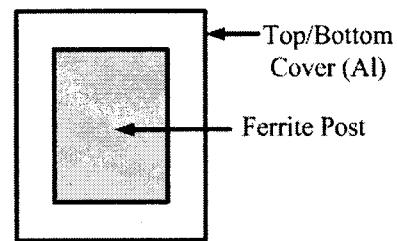


그림3 일반적인 칩인덕터의 구조

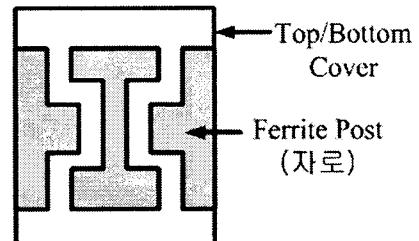


그림4 I-형 칩인덕터의 구조  
좌)단면도 우)분해도(상-자성체, 하-권선)

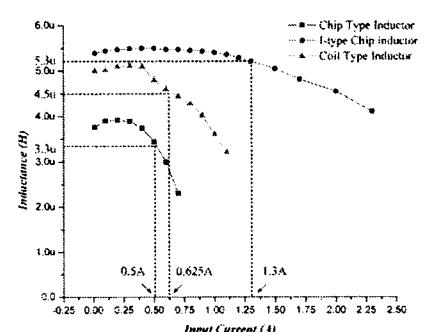


그림5 인덕터의 포화전류 ( $I_{DC}$ )  
a)권선형 인덕터 b)칩인덕터 c)I-형 칩인덕터

또한 향후 개발되는 또 다른 제품의 소형화, 초박형화에 기여를 할 수 있는 소자이므로 그 과급효과 또한 크다고 할 수 있다. 본 논문에서 제안한 LG·삼화 인덕터에 대해 현재 국내·외 특허 출원 예정이다.

본 논문의 결과는 시뮬레이션에 의해서 얻어진 결과이므로, 차후 실제 제품을 제작 후, 모바일 기기에 적용하여 시뮬레이션 값과 실제 값을 비교할 것이다. 시뮬레이션의 결과값과 실제 측정값에는 공정변수에 의해 10% 정도의 오차가 발생한다는 점을 감안하여 결과값을 받아들여야 한다.

#### 【참 고 문 헌】

- [1] 과학기술정보연구원, “트랜스포머/인더터 설계테크닉 및 응용”, 1991
- [2] Erickson, “Fundamentals of Power Electronics Second Edition”, KAP
- [3] “Analysis of Plat Coil Inductor”, TOKO Inc.