

## Co-interlayer 와 SiO<sub>2</sub> 상부막의 유무에 따른 Nickel Germanosilicide 의 열안정성 연구

조유정\*, 한길진\*, 오순영\*\*, 김용진\*\*, 이원재\*\*, 이희덕\*\*, 김영철\*

\*한국기술교육대학교 신소재공학과, \*\* 충남대학교 전자공학과

### ABSTRACT

Co-interlayer와 SiO<sub>2</sub> 상부막이 nickel germanosilicide 박막의 열안정성에 미치는 영향을 연구하였다. Nickel germanosilicide는 SiGe 기판 위에 Ni(8nm)/TiN(25nm), Ni(6nm)/Co(2nm)/TiN(25nm)을 증착하여 각각 one step RTP(500°C)와 two step RTP(500, 700°C)로 형성되었다. 50과 10nm 두께의 SiO<sub>2</sub> 박막을 실리사이드 위에 증착하고, 550, 600, 650°C에서 30분간 열처리한 후 면저항 값을 측정하여 열안정성을 평가하였다.

### 1. 서론

반도체 소자의 크기가 급격히 줄어들면서 최근 나노크기의 반도체 소자제작 공정기술에 대한 연구가 매우 활발히 진행되고 있다. 반도체 소자의 크기 감소에 따른 게이트 산화막의 두께 감소 및 수직 방향의 전계 증가는 carrier 의 표면 집중현상을 야기하여 carrier 의 이동도를 감소시킨다. 이러한 문제를 해결하기 위해 기존의 Si 기판 위에 격자 상수가 Si 에 비해 약 4% 큰 Ge 을 고 용한 SiGe 층을 이용하여 carrier 의 이동도를 향상시키는 연구가 매우 활발히 진행되고 있다[1].

CMOS 에서 실리사이드는 Source, Drain 및 Gate 의 면저항 및 접촉저항을 낮추어 구동전류를 증가시킴으로써 고속 소자의 구현을 가능케하는 필수적인 재료이다. 현재 CoSi<sub>2</sub> 가 가장 널리 사 용되고 있으나, 게이트 길이가 100nm 이하인 나노 CMOS 에서는 급격한 면저항 증가 및 높은 Si 소 모율로 인한 접합 누설 전류 증가로 인하여 이를 대체할 silicide 재료가 매우 필요하다. 여러 실리사이드 물질 중 nickel silicide 는 cobalt silicide 를 대체할 수 있는 유력한 물질로, 낮은 형성온도, 적은 실리콘 소모량, 면저항 감소 등의 장점을 갖고 있다. 일반적으로 실리사이드 형 성 후, SiON 이나 SiO<sub>2</sub>(실리카) 박막, 그리고 BPSG 물질을 형성하기 위해 열을 가하는 후속 열처 리가 진행된다. 후속 열처리 시 면저항 등의 소자특성에 악영향을 주는 상변태 및 응집현상이 nickel silicide 에 나타나며, 이를 억제하기 위한 여러 연구가 활발히 진행되고 있다[2-7].

본 연구에서는 SiGe 기판과 nickel 을 이용하여 nickel germanosilicide 를 형성한 뒤 cap layer 로 SiO<sub>2</sub> 를 사용하였다. Co-interlayer 가 있는 nickel germanosilicide 와 Co-interlayer 가 없는 nickel germanosilicide 에 SiO<sub>2</sub> 를 증착한 후 550, 600, 650°C에서 각각 열처리하여, SiO<sub>2</sub> 를 증착하지 않고 열처리한 경우와 열안정성을 비교하였다.

## 2. 실험 방법

1cm × 1cm 크기로 자른 P-doped N type Silicon (100) Wafer 시편의 표면에 존재하는 불순물을 제거하기 위해 황산 혼합용액(H<sub>2</sub>SO<sub>4</sub>: H<sub>2</sub>O<sub>2</sub> = 4:1)에서 10 분 동안, 자연 산화막(Native Oxide)을 제거하기 위해 희석시킨 불산(HF:DI water = 1:100)에서 30 초 동안 세정하였다. 이와 같이 세정된 시편에 Argon Ion Beam Sputter 로 Ni/TiN (8/25nm)과 Ni/Co/TiN (6/2/25nm)을 각각 증착하였다. 초기진공은  $7 \times 10^{-7}$  torr 였고, working pressure 는  $2 \times 10^{-4}$  torr 이었다. Target 표면의 산화막과 불순물을 제거하기 위해 pre-sputter 를 3 분 동안 실시하였고, 금속 박막의 균일한 증착을 위하여 sputter 시 웨이퍼 홀더를 회전시켜 증착 두께의 uniformity 를 높였다. 안정한 실리사이드 형성을 위해 Ni/TiN 구조는 500°C에서 30 초간 RTP 를 진행하였고, Ni/Co/TiN 구조는 500 과 700°C에서 Two-Step RTP(Rapid Thermal Process)를 실시하였다. RTP 동안의 압력은  $30 \times 10^{-3}$  torr 이었다. 반응하지 않은 금속 및 TiN Cap Layer 는 황산 혼합액(H<sub>2</sub>SO<sub>4</sub>: H<sub>2</sub>O<sub>2</sub> = 4:1)에서 15 분 동안 식각하였다. 제작된 nickel silicide 에 PECVD 를 이용하여 SiH<sub>4</sub> 10sccm 과 N<sub>2</sub>O 90sccm 을 흘려주어 SiO<sub>2</sub> 박막을 50 과 100nm 증착하였고, 550, 600, 650°C에서 30 분간 고온로에서 열처리하였다. 이때 로에 N<sub>2</sub> 가스를 흘려주어 N<sub>2</sub> 분위기를 형성하였고, 열에 의한 stress 를 최소화하기 위해 시편 로딩시 예열시간을 두었다. 열처리가 끝난 후 SiO<sub>2</sub> 는 희석시킨 불산(HF:DI water = 1:100)으로 습식식각하였다.

형성된 실리사이드의 면저항은 four point probe 를 이용하여 측정하였다. 금속박막의 두께와 실리사이드의 두께는 ellipsometer 를 이용하여 측정하였고, 계면 특성은 FESEM(S-4700)을 이용하여 확인하였다.

## 3. 실험결과 및 고찰

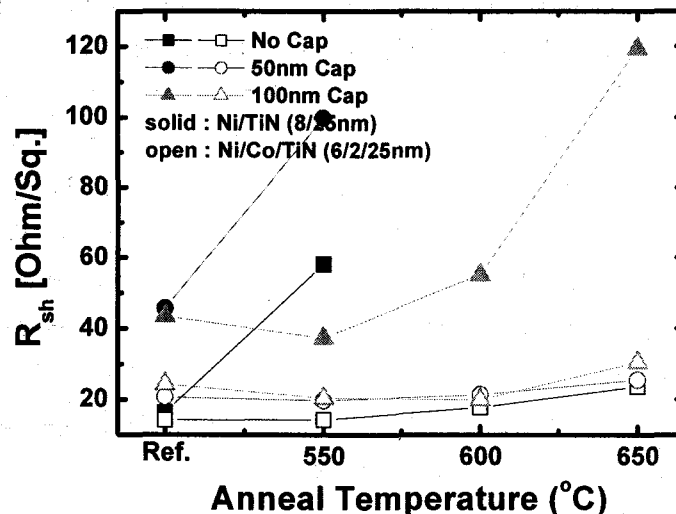


Fig. 1. Sheet resistance of nickel germanosilicides as a function of annealing temperature.

Fig. 1에 SiO<sub>2</sub> cap layer의 두께와 Co-interlayer의 유무, 그리고 열처리 온도에 따른 면저항 값을 나타내었다. Nickel germanosilicide를 형성하기위해 일반적으로 사용하는 Ni/TiN 구조는 550℃ 이상의 후속 열공정에서 열적으로 불안정하다는 것을 알 수 있다. 또한 SiO<sub>2</sub> cap layer를 증착하고 후속 열공정을 진행하지 않은 경우에도 면저항이 약 30 ohm/sq. 증가하였다. SiO<sub>2</sub> cap layer를 증착하기 전에 진행하는 CF<sub>4</sub>-cleaning 공정이 면저항 증가를 가져오는 것으로 관찰되었고, 정확한 메커니즘을 규명하기 위한 추가 분석이 진행되고 있다. 이러한 CF<sub>4</sub>-cleaning에 의한 면저항 증가를 고려하면, 100nm 두께의 SiO<sub>2</sub> cap layer는 nickel germanosilicide의 열안정성에 긍정적인 영향을 미치는 것으로 판단할 수 있다. 하지만 nickel germanosilicide 후속 열공정 기준인 650℃, 30분의 열공정에서는 SiO<sub>2</sub> cap layer도 nickel germanosilicide를 안정하게 유지하지 못했다. Co-interlayer가 있는 nickel germanosilicide의 열안정성은 Co-interlayer가 없는 경우보다 훨씬 우수하였다. Nickel silicide의 열안정성도 Co-interlayer가 있는 경우가 Co-interlayer가 없는 경우보다 우수하다는 사실은 이미 보고되어있다[8]. 따라서 절연막이 nickel germanosilicide 상부에 증착되는 실제 소자제작 공정에서는 nickel germanosilicide의 열안정성을 유지하기 위해 Co-interlayer가 필요하다.

#### 4. 결론

Nickel germanosilicide의 후속 열처리시 열안정성을 조사하기 위하여 SiO<sub>2</sub>를 no cap, 50nm, 100nm 증착 후 550, 600, 650℃에서 각각 열처리하였다. Ni/TiN 구조에서 SiO<sub>2</sub>의 두께가 100nm인 경우에는 열안정성이 좋아지는 경향이 있으나, 650℃ 30분의 후속 열공정조건을 만족하지는 못하였다. Co-interlayer가 있는 nickel germanosilicide는 SiO<sub>2</sub> 증착 후에도 Co-interlayer가 없는 nickel germanosilicide보다 더 우수한 열안정성을 나타내었다.

#### 감사의 글

본 연구는 한국과학재단 목적기초연구(R01-2003-000-11659-0) 지원으로 수행 되었음.

#### 참고문헌

- [1] J. G. Yun, S. Y. Oh, B. F. Huang, Y. J. Kim, H. H. Ji, Y. G. Kim, H. S. Cha, S. B. Heo, J. G. Lee, J. S. Wang, and H. D. Lee, "Thermal stability improvement of Ni germanosilicide using NiPt/Co/TiN and the effect of Ge fraction (x) in Si<sub>1-x</sub>Ge<sub>x</sub>", Microelectronic Engineering, Vol.27, pp. 391-394, 2004.
- [2] P. S. Lee, D. Mangelinck, K. L. Pey, J. Y. Dai, C. S. Ho and A. See, "On the Ni-Si phase transformation with/without native oxide", Microelectronic Engineering, Vol.51-52, pp.583-594, 2000.
- [3] C. Lavoie, F. M. d'Heurle, C. Detavernier, and C. Cabral Jr., "Towards implementation of a NiSi process for CMOS technologies", Microelectronic Engineering, Vol. 70, pp. 144-157, 2003.
- [4] J. A. Kittl, A. Lauwers, O. Chamirian, M. Van Dal, A. Akheyar, M. De Potter, R. Lindsay, and K.

한국반도체및디스플레이장비학회 2005년도 춘계학술대회용 논문집

- Maex, "Ni- and Co-based silicides for advanced CMOS applications" , *Microelectronic Engineering* Vol. 70, pp. 158-165, 2003.
- [5] M. A. Pawlak, J. A. Kittl, and O. Chamirian, "Investigation of Ni fully silicided gates for sub-45nm CMOS technologies" , *Microelectronic Engineering*, Vol. 76, pp. 349-353, 2004.
- [6] B. Cafra, A. Alberti, and L. Ottaviano, "Thermal stability of nickel silicide on silicon on insulator material," *Materials Science and Engineering*, Vol. 114-115, pp. 228-231, 2004.
- [7] J. Foggiato, W. S. Yoo, M. Ouaknine, T. Murakami, and T. Fukada, "Optimizing the formation of nickel silicide" , Vol. 114-115, pp. 56-60, 2004.
- [8] S. -Y. Oh, J. -G. Yun, B. -F. Huang, Y. -J. Kim, H. -H. Ji, J. -S. Wang, S. -H. Park , Y. -H Jeong , and H. -D. Lee, "Thermally robust nickel silicide process technology for nano-scale CMOS technology" , *AWAD*, pp.167-170, 2004.