

대기압에서 실리콘 양자 점 제조 및 비휘발성 메모리의 응용

안강호*, 안진홍**, 정 혁***

*한양대학교 기계공학과, **㈜현대교정인증기술원 부설연구소, ***한양대학교 대학원

초록

상온/상압의 분위기에서 코로나 분사 합성법을 이용하여 반도체 실리콘 나노 입자를 제조하였으며, 실리콘 입자의 전기적 특성을 관찰하기 위해 p-type 실리콘 웨이퍼 위에 실리콘 나노 입자를 증착시켰다. 이 때, 제조된 실리콘 나노 입자의 크기는 약 10 nm이었으며 기하표준편차는 1.31로 단분산성을 나타내었다. 이러한 조건에서, 실리콘 나노 입자의 양자 점 효과를 이용한 비휘발성 반도체 메모리를 제조하여 메모리 효과를 분석한 결과, flat band voltage의 차이가 약 1.5 Volt 발생함을 확인하였다.

1. 서론

나노 입자는 벌크한 재료와 다른 기계적, 화학적, 전기 광학적 성질의 특이성을 나타내어, 고부가가치의 전기(electrical), 전자(electronic)재료, 반도체(semiconductor)재료, 자성(magnetic)재료, 초전도(superconductor)재료 등에 응용되고 있다.⁽¹⁾⁻⁽⁴⁾ 이러한 특정한 성질들은 나노 입자의 크기, 형상 및 응집도에 의존하게 된다.⁽⁵⁾⁻⁽⁷⁾ 실리콘 양자 점을 사용한 비휘발성 반도체 메모리(nonvolatile semiconductor memory, NVM)는 최근에 나노 기술(nano technology)의 발달로 각광을 받고 있다. NVM 은 빠른 속도의 읽기/쓰기, 작은 크기, 비례 축소의 유연성과 낮은 문턱 전압 때문에 플래시 메모리(flash memory)의 차세대 메모리로 부각되고 있다. 또한 단위 셀당 1 비트 이상을 저장할 수 있어 단위 면적당 비트의 밀도를 증가시킬 수 있는 장점을 가지고 있다.^{(2),(8)} 이러한 특성은 기억 시간 및 저장 능력을 향상시키는 특성을 가지게 한다. 이러한 메모리 효과를 가지기 위한 나노 입자의 조건은 1) 단분산성의 4 ~ 20 nm 크기를 가지는 금속입자이어야 하며, 2) 고농도, 3) 균일한 입자 형상, 4) 나노 입자간의 비응집 및 격리성 및 5) tunnel oxide 층 위의 평면성을 유지해야 한다.

Ostraat et al.(2001)⁽⁹⁾ 및 Crupi et al.(2003)⁽¹⁰⁾ 등은 SiH₄ 가스를 열분해법 또는 LPCVD 법을 이용하여 실리콘 나노 입자를 합성하여 NVM 소자를 제작하였다. 이때 제조된 NVM 소자의 flat band voltage 는 1.0 ~ 2.5 Volt 로 나타났다. 이러한 방법의 경우, 장비의 복잡성 및 공정의 어려움, 비용이 많이 들어가는 단점이 있다. 또한 입자 크기의 제어 및 대량 생산이 어려워 단 시간 내 실리콘 나노 입자를 형성하는데 어려움이 있다.

따라서 본 연구에서는 이러한 단점을 해결하기 위해, 상온/상압에서 코로나 분사를 이용한 단분산성의 실리콘 나노 입자를 형성하는 공정을 도입하였다. 또한 이러한 실리콘 양자 점을 이용하여 제조된 NVM 의 전기적 성질을 측정하고 분석하여 반도체 메모리 소자에의 응용성을 검토하였다.

2. 실리콘 나노 입자의 제조

실리콘 나노 입자는 코로나 분사합성법에 의해 제조하였다.⁽¹¹⁾ 이러한 입자 발생법의 장점으로서는 1) 단분산성이며, 2) 단극성으로 높게 하전되어 있으며, 3) 따라서 비응집의 나노 입자를 형성한다는 것이다. 또한 이 공정은 상압에서 이루어지며 발생된 입자의 농도는 매우 높아 웨이퍼 위에 입자의 침착 시간을 단축시킬 수 있는 장점을 가지고 있다. 실험을 위한 계략도를 Fig. 1 에 도시하였다. 기상의 전구체로는 SiH_4 (Silane, 99.98 %)을, sheath 가스로는 He (Helium, 99.9999 %)을 이용하여 코로나 방전 노즐과 반응기로 유입시켰다. 실리콘 나노 입자를 형성하기 위하여 코로나 방전 노즐에 인가한 전압으로는 2.75 kV 와 4.75 kV 로 설정하였다. 이러한 조건에서 합성된 나노 입자는 p-type 웨이퍼위에 침착시켰으며 동시에 SMPS 시스템에 의하여 입자의 크기와 분포를 측정하였다. Fig. 2 는 코로나 방전 노즐에 인가된 전압에 따른 입자의 크기 분포를 보여 준다. 이 그림에서 노즐에 인가된 전압이 증가함에 따라 입자의 평균 크기와 기하 표준 편차가 증가함을 볼 수 있다. 노즐에 인가한 전압이 2.75 kV 인 경우, 입자의 평균 크기와 기하 표준편차는 비교적 10.41 nm 와 1.31 로 나타났다. 이 결과는 NVM 에 대한 실리콘 양자 점의 응용 가능성을 의미한다. Fig. 3 과 Fig. 4 는 노즐에 인가된 전압이 2.75 kV 인 경우, HRTEM 분석과 SEM 분석을 통한 성분 및 입자의 형상을 보여 준다. Fig. 3 에서 EDS 분석 결과, 제조된 입자는 실리콘임을 확인할 수 있으며 HRTEM 결과, 입자의 크기는 약 7 nm 의 단분산성을 가지고 있음을 확인할 수 있다. 그러나 제조된 실리콘 입자는 결정화가 이루어지지 않았으며 따라서 annealing 공정을 통한 입자의 결정화를 이루었다. Fig. 4 는 웨이퍼위에 침착된 입자의 분포를 나타내 주며 상당히 균일한 분포를 나타내고 있음을 확인할 수 있다.

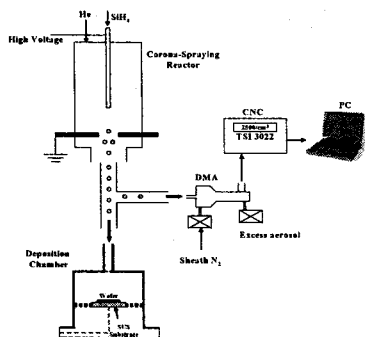


Fig. 1 Schematic diagram of the experimental system.

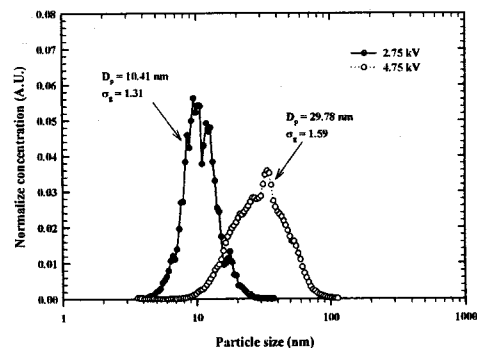


Fig. 2 The particle size distributions for Si nanoparticles.

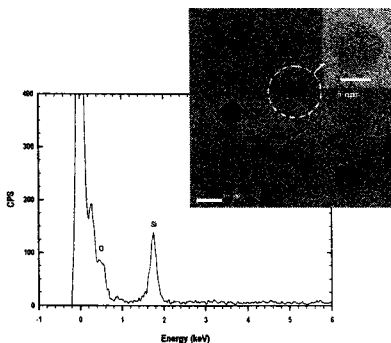


Fig. 3 High resolution TEM and EDS data of silicon nanoparticles. (2.75 kV)

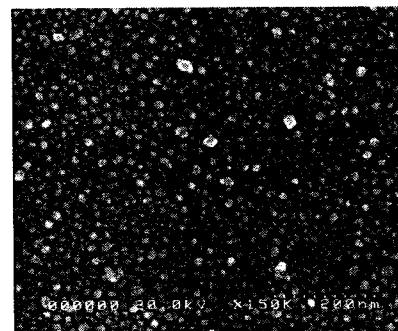


Fig. 4 The particle morphology for silicon nanoparticles. (2.75kV)

3. 메모리 소자의 제작

양자 점 메모리는 2 개의 gate 를 가지는 MOS capacitor 로 구성되며, Fig. 5 는 양자 점 메모리의 단면을 나타내준다. 그림에서 보는 것처럼, floating gate 는 수 많은 실리콘 나노 점으로 구성되며, 이는 oxide 층에서 capacitor 로 작동된다. 메모리 capacitor 의 제조 공정은 크게 5 단계로 구성되며 다음과 같다.

1) wafer cleaning, 2) oxide-nanocrystal-oxide growth, 3) aluminum lift-off, 4) wafer back side etching, 5) aluminum evaporation

3 단계에서 bare 상태의 p-type 웨이퍼는 thermal oxidation 공정을 사용하여 30Å 두께의 SiO₂ 막으로 코팅 후, 제조된 실리콘 나노 입자를 웨이퍼 위에 침착시켰다. 이때의 실리콘 나노 입자의 침착 시간은 10 분으로 하였다. 또한 입자 침착 후에, LPCVD 공정을 이용하여 70Å 두께의 유전막을 형성하였다.

Fig. 6 은 2.75 kV 및 4.75 kV 의 공정 조건에서 제조된 MOS capacitor 의 capacitance-voltage(C-V)곡선을 나타내준다. C-V 측정 조건으로는 주파수 1.0 MHz, oscillation level 0.5Volt 로 설정하였다. Start voltage 는 (+) 5.0 Volt, stop voltage 는 (-) 5.0 Volt, step voltage 는 0.1 Volt 로 하였다.

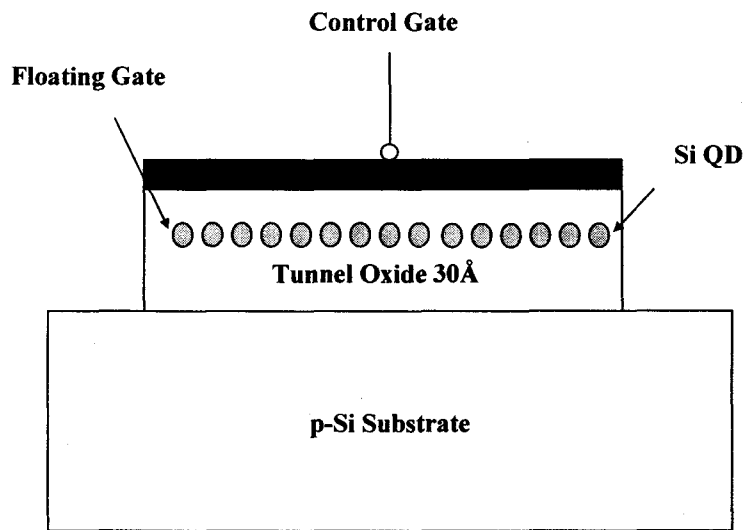


Fig. 5 The cross section of quantum dot nonvolatile memory.

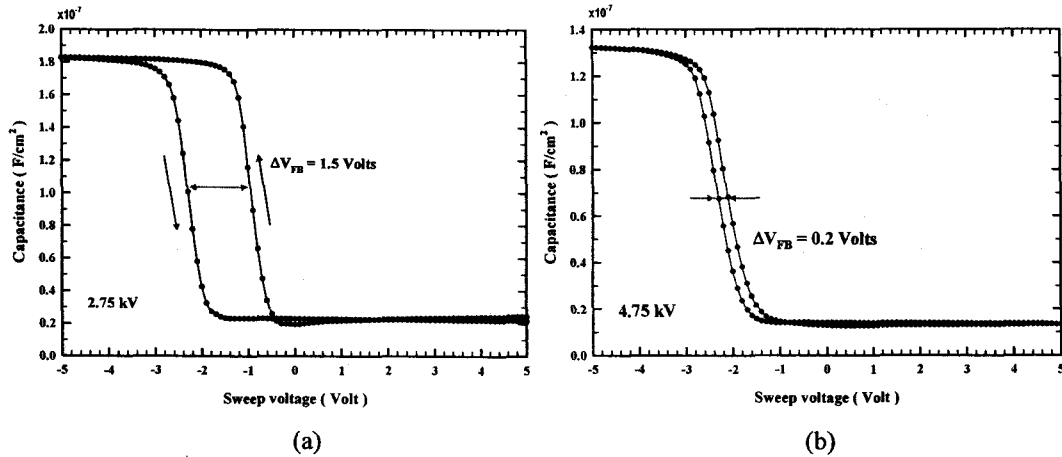


Fig. 6 High frequency capacitance-voltage curves in an MOS capacitor by Si quantum dot. 2.75 kV (a) and 4.75 kV (b)

Fig. 6(a)는 평균입자 크기가 10 nm 이고 표준 편차는 1.3 인 단분산 나노 입자인 경우이다. 그림에서처럼 C-V 곡선의 이력 곡선이 나타나고 있음을 볼 수 있다. 또한 NVM 의 성능을 결정하는 flat band voltage 는 약 1.5 V 정도로 나타났다. 따라서 본 연구에서 제조된 MOS capacitor 의 특성이 나타나고 있음을 확인하였다. 그러나 입자의 크기가 30 nm 이고 표준 편차가 1.5 인 경우, Fig. 6(b)에서처럼 C-V 그래프에서 이력 곡선은 나타났으나, flat band voltage 의 값이 0.2 V 로 그 메모리로서의 기능은 낮은 것으로 나타났다. 따라서 양자 점을 이용한 반도체 메모리 제조는 입자의 크기와 단분산성 및 그 형상이 중요한 요소라는 것을 다시 한번 확인할 수 있었다

4. 결론

양자 점 메모리 적용을 위한 상온/상압에서 코로나 분사 합성법에 의한 나노 입자의 크기 제어 및 실리콘 나노 입자의 합성에 대한 연구의 결론은 다음과 같다.

- i. 상온/상압 하에서 코로나 분사 합성 장치를 이용하여, 실리콘 나노 입자를 합성하였으며 제조된 실리콘 나노 입자의 크기는 10 nm, 표준 편차 1.31의 단분산성을 나타내었다.
- ii. 실리콘 나노 입자의 양자 점 효과를 증명하기 위해, NVM 소자를 제작하였으며, capacitance-voltage 특성을 분석하여 flat band voltage가 1.5 V 발생됨을 확인하였다. 따라서 conduction electron의 charge storage가 가능함을 확인하였다.
- iii. 본 연구를 통해, NVM에 적용하기 위해서는, 발생된 나노 입자의 크기가 10 nm이며, 단 분산성이며, 입자간 격리성이 중요한 요소라는 것을 확인할 수 있었다.
- iv. 따라서, 상온/상압 하에서 코로나 분사 합성 장치를 이용한 입자의 형상, 크기 및 분포를 제어할 수 있음을 보였고, 이를 이용한 NVM에 적용 가능한 공정임을 확인할 수 있었다.

참고문헌

- [1] K. Yano, T. Ishii, T. Hashimoto, T. Kobayashi, F. Murai, and K. Seki, "Room-temperature single-electron memory," *IEEE Trans. Electron Devices*, vol. 41, pp.1628–1638, 1994
- [2] M. L. Ostraat, J. W. De Blauwe, M. L. Green, L. D. Bell, M. L. Brongersma, J. Casperson, R.C. Flagan, and H. A. Atwater, "Synthesis and characterization of aerosol silicon nanocrystal nonvolatile floating-gate memory devices," *Applied Physics Letters*, vol. 79, No. 3, pp.433–435, 2001
- [3] A. Irrera, D. Pacifici, M. Miritello, G. Franzo, F. Priolo, F. Iacona, D. Sanfilippo, G. Di Stefano, and P. G. Fallica, "Electroluminescence properties of light emitting devices based on silicon nanocrystals," *Physica E*, vol. 16, pp.395–399, 2003
- [4] D. Deleruyelle, C. Le. Royer, B. DeSalvo, G. Le. Carval, M. Gely, T. Baron, J. L. Autran, and S. Deleonibus, "A new memory concept: the nano-multiple-tunnel-junction memory with embedded Si nano-crystals," *Microelectronic Engineering*, vol. 72, pp.399–404, 2004
- [5] Kruis, F. E., Fissan, H., and Peled, A., "Synthesis of nanoparticles in the gas phase for electronic, optical and magnetic applications – a review," *J. Aerosol Sci.*, vol. 29, pp.511–535, 1999
- [6] Gangopadhyay, S., Hadjipanayis, G. C., Sorensen, C. M., and Klabunde, K. J., "Magnetic properties of ultrafine Co particles," *IEEE Trans. Magn.* vol. 28, pp.3174–3176, 1992
- [7] Yoffe, A. D., "Low-dimensional systems: quantum size effects and electronic properties of semiconductor microcrystallites (zero-dimensional systems) and some quasi-two-dimensional systems," *Adv. Phys.*, vol. 42, pp.173–266, 1993
- [8] El-Sayed Hasaneen, E. Heller, R. Bansal, W. Huang, and F. Jain, "Modeling of nonvolatile floating gate quantum dot memory," *Solid-State Electronics*, vol. 48, pp.2055–2059, 2004
- [9] M. L. Ostraat, J. W. De Blauwe, M. L. Green, L. D. Bell, H. A. Atwater, and R.C. Flagan, "Ultraclean two-stage aerosol reactor for production of oxide-passivated silicon nanoparticles for novel memory devices," *J. Electrochemical Soc.*, vol. 148, pp.G265–G270, 2001
- [10] I. Crupi, D. Corso, S. Lombardo, C. Gerardi, G. Ammendola, G. Nicotra, C. Spinella, E. Rimini, and M. Melanotte, "Memory effects in MOS devices based on Si quantum dots," *Materials Science and Engineering C*, vol. 23, pp.33–36, 2003
- [11] J. H. Ahn, "Nano-particle size control and synthesis of silicon nano-particles by corona-spraying method for nonvolatile quantum dot semiconductor memory," *Ph. D. Thesis*, Hanyang university, Seoul, Korea, 2005