

SRAM 소자의 SER 및 Latchup 신뢰성 연구

이준하* , 이홍주* , 조현찬** , 이강환** , 권오근***

*상명대학교 컴퓨터시스템공학과 정보디스플레이연구소, **한국기술교육대학교 정보기술공학부,

***세명대학교 인터넷정보학부

초록

A soft error rate neutrons is a growing problem for integrated circuits with technology scaling. In the acceleration test with high-density neutron beam, a latch-up prohibits accurate estimations of the soft error rate (SER). This paper presents results of analysis for the latch-up characteristics in the circumstance corresponding to the acceleration SER test for SRAM. Simulation results, using a two-dimensional device simulator, show that the deep p-well structure has better latch-up immunity compared to normal twin and triple well structures. In addition, it is more effective to minimize the distance to ground power compared with controlling a path to the V_{DD} power

1. 서론

SER (soft error rate)은 deep sub-micron 영역에서의 중요문제로서 인식되고 있다. 소자의 미세화에 따라 soft error 가능성이 증대되고 있고, 전체적인 시스템 환경이 mobile 환경으로 진화되면서 soft error 의 source 또한 증가하고 있어 SER 에 의한 래취업 현상의 심각성은 더해지고 있는 추세이다 [1]. 특히, SRAM 제품에서의 중성자에 의한 SER (n-SER) 평가 요구가 증대하고 있으며, 따라서 n-SER 측정이 중요한 현안이 되고 있다. 이러한 측정에는 neutron flux density 를 높여 평가하는 가속실험 방법이 흔히 수행된다. 그런데, 가속 실험 시 neutron flux 가 증가함에 따라 latch-up 이 발생하여 n-SER 측정이 불가능한 문제가 발생하였다. 본 논문에서는 2 차원 소자 시뮬레이션을 이용하여 SRAM 의 n-SER 측정 시 발생하는 latch-up 특성을 분석하였다. 다양한 세대의 SRAM 에 대한 SER latch-up 특성의 분석을 통하여, SER latch-up 발생 방지에 효과적인 well 구조를 제시하였다.

2. 실험 방법

SER latch-up 은 입사 중성자와 실리콘 원자간의 핵반응에 의해 발생하는 이차 입자들이 실리콘 내부에서 electron-hole(e-h) pair 를 생성시킴으로써 발생된다. 실제의 e-h pair 의 생성 경로는 복잡한데, 입자 하나의 영향만 고려한 원리는 그림 1 과 같다. e-h pair 가 생성되면 정공은 VSS 쪽으로, 전자는 VDD 로 이동한다. 이때 정공 전류는 npn 의 트리거 전류가 되며, 이 전류에 의해 기동된 n+와 p-sub 의 전자 전류는 다시 npn 의 트리거 전류가 된다. 이러한 과정의 상호 상승작용으로 전류량을 증폭시켜 latch-up 이 발생되게 된다 [2,3].

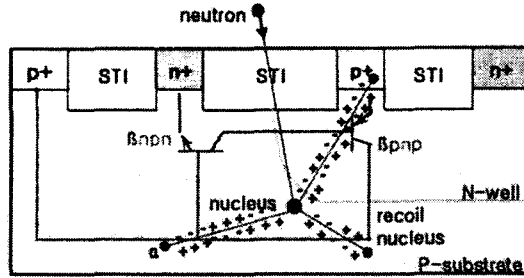


그림 1. SER 측정시 실리콘 내부로 입사된 중성자의 핵반응 경로

본 논문에서는 그림 2 와 같이 SRAM cell 의 n/p-well bias contact 거리와 well 형태에 따른 SER latch-up 특성을 시뮬레이션을 통하여 분석하였다. 또한, Well 형태는 그림 3 과 같은 기본적인 형태에서 twin well, triple well 및 에피 웨이퍼의 경우를 분석하였다. SER latch-up 시뮬레이션은 복잡한 핵반응을 생략하고, 2 차원 소자 시뮬레이터인 MEDICI 를 이용하여 특정 경로에 e-h pair 를 직접 발생시키는 간략화된 방법으로 진행되었다. E-h pair 발생 경로는 latch-up 발생이 가장 취약한 부분을 시뮬레이션을 통해 선택하여 진행하였으며, e-h pair 발생량은 이차 입자들의 에너지 손실 중 가장 큰 경우를 대표값으로 하고, 이 에너지가 모두 e-h pair 를 생성하는데 사용된다고 가정하여 구현하였다 [4].

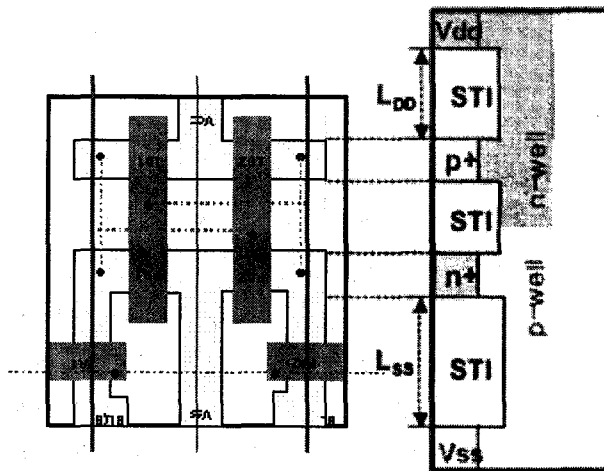


그림 2. SRAM 셀 레이아웃 및 시뮬레이션 구조

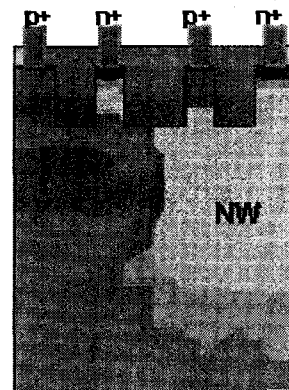


그림 3. Well 형태별 도핑 프로파일

3. 실험결과 및 고찰

상대적인 평가는 그림 4 와 같이 e-h pair 발생 후 각 단자에 잔류되는 전류의 크기를 기준으로 하였으며, 잔류전류량이 없으면 latch-up 이 발생되지 않은 것이고, 잔류 전류량이 존재하면 latch-up 이 발생된 것으로 전류량이 클수록 latch-up 에 취약하다고 판단될 수 있다. 세대별 소자 평가에서는 구조에 따른 크기가 고정되어 있기 때문에 차이를 명확히 분석하기 위하여 e-h pair 양의 크기를 변화 시켜가며 시뮬레이션을 진행하였으며, latch-up 이 발생하기 시작하는 e-h pair 양 즉 임계량을 기준으로 비교하였다. 임계량이 상대적으로 작으면 SER latch-up 에 취약하다고 판단할 수 있다.

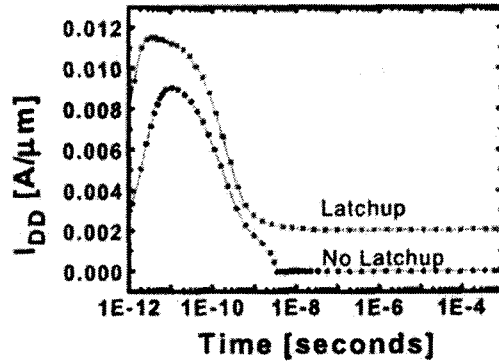


그림 4. 전자-정공쌍 생성 후 V_{DD} 바이어스에 의해 발생하는 전류량

Well 형태별 SER latch-up 의 경향성을 분석한 결과는 latch-up 발생 후 잔류되는 전류로서 그림 5 에 나타내었다. Well 형태별로 well bias contact 까지의 거리 (V_{SS} 까지의 거리 : LSS, V_{DD} 까지의 거리 : LDD)들의 변화에 대한 결과이다. latch-up immunity 측면에서 에피 웨이터를 사용한 경우에 가장 우수한 특성을 나타내었는데 well bias contact 까지의 거리에 관계 없이 latch-up 이 발생하지 않았다. 이것은 $1.0 \times 10^{18} \text{ cm}^{-3}$ 으로 도핑된 p-type 에피층으로 인하여 p-well 저항이 낮아져서 contact 거리가 커지더라도 p-well 의 위치에 따른 전압 변동이 작아지기 때문이다 [5]. Twin well 과 triple well 은 비슷한 경향성을 보이며 둘 다 LSS 및 LDD 가 짧을수록 유리하였고, 한쪽이라도 cell 마다 전압이 직접 인가될 정도로 거리가 짧으면 latch-up 이 발생하지 않았으며 latch-up immunity 가 크게 증가함을 알 수 있었다. Contact 거리 변화에 따른 triple well 과 twin well 의 결과를 비교해 보면 triple well 이 다소 유리함을 알 수 있다. 또한, LDD 보다 LSS 증가 시에 전류변화폭이 크므로 p-well bias contact 거리를 최소화하는 것이 필요하다 [6]. 이것은 정공 이동도가 전자 이동도에 비해 작기 때문에 n-well 보다 p-well 의 전압을 유지하기 어렵기 때문이다.

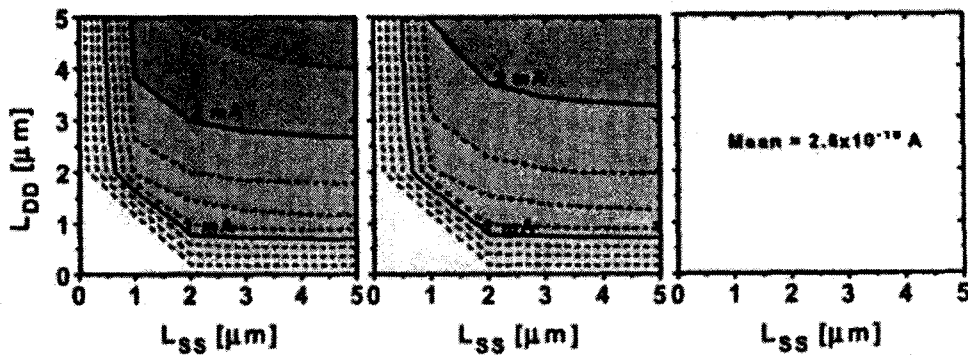


그림 5. Well 형태별 콘택 거리에 따른 SER latch-up 전류 분포

그림 6 은 $0.12 \mu\text{m}$ 및 $0.18 \mu\text{m}$ SRAM cell 의 SER latch-up immunity 를 비교하기 위해서 latch-up 이 발생하는 e-h pair 임계량에 대한 SER latch-up 시뮬레이션 결과를 나타내고 있다. $0.12 \mu\text{m}$ cell 에 대한 e-h pair 임계량이 큰 것은 contact 거리가 짧아졌기 때문에 latch-up

immunity 가 좋아진 것으로 판단된다. 한편, 두 경우 모두에서 에피 웨이퍼와의 유사 효과가 기대되는 deep p-well (DPW)을 사용한 경우 가장 큰 latch-up immunity를 보인다.

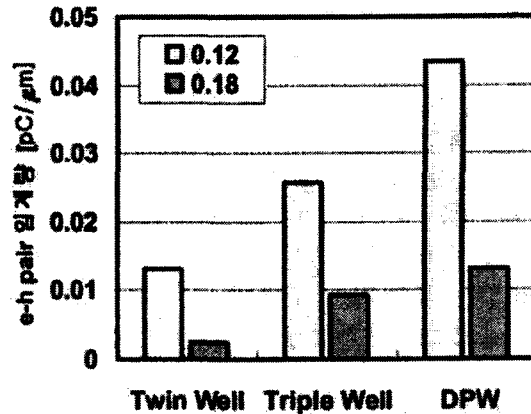


그림 6. 소자 개발 세대별 SER latch-up 을 발생시키는 전자-정공쌍의 임계치

4. 결론

SER latch-up 방지에 효과적인 well 구조는 에피 웨이퍼>DPW>triple well > twin well 순이다. 에피 웨이퍼의 경우에는 well bias contact 까지의 거리에 관계없이 latch-up 이 발생하지 않아 SER latch-up 측면에서 가장 우수하다고 할 수 있으며, triple well 이나 twin well 의 경우에는 contact 거리가 짧을수록 좋으나, 적어도 한쪽 well 만이라도 각 cell 마다 전압을 선택하는 것이 보다 효과적이다. 에피 웨이퍼 대신 deep p-well 을 사용한 경우에도 0.12 μm 세대에서는 deep n-well 을 적용한 것보다는 약 1.7 배 좋아짐을 알 수 있었다.

참고문헌

- [1] Y. W. Kim, S. B. Park, Y.G. Ko, K.I. Kim, I.K.Kim, K. J. Bae, K. W. Lee, J. O. Yu, U. Chung, K. P. Suh, "A 0.25 μm 600MHz 1.5V SOI 64 b ALPHA™ microprocessor, " Digest of Tech. Papers ISSCC, pp. 432-433, 1999.
- [2] J.P. Colinge, 'Silicon-on-insulator Technology': Materials to VLSI, 2nd ed, Boston, MA:kluwer, 1997.
- [3] M. M. Pelella, J. G. Fossum, D. W. Suh, S. Krishnan, K. A. Jenkins, M. J. Hargove, "Low-voltage transient bipolar effect induced by dynamic floating-body charging in scaled PD/SOI MOSFETs," IEEE ED-L Vol. 17, Issue 5, pp. 196-198, 1996.
- [4] A. Wei, and D. A. Antoniadis, "Measurement of transient effects in SOI DRAM/SRAM access transistors," IEEE ED-L, Vol. 17, Issue 5, pp. 193-195, 1996.
- [5] M. Yoshimi, M. Terauchi, A. Murakoshi, M. Tekahashi, K. Mat-suzawa, N. Shigyo, and Y. Ushiku, "Technology trends of silicon-on-insulator-Its advantages and problems to be solved," in IEDM Tech.Dig., pp. 429-432. 1994.
- [6] F. Assaderhi, G. G. Shahidi, L. Wagner, M. Hsieh, M. Pelella, S. Chu, R. H. Dennard, B. Davari, "Transient pass-transistors leakage current in SOI MOSFET's, " IEEE ED-L, Vol. 18, Issue 6, pp 241-243, 1997.