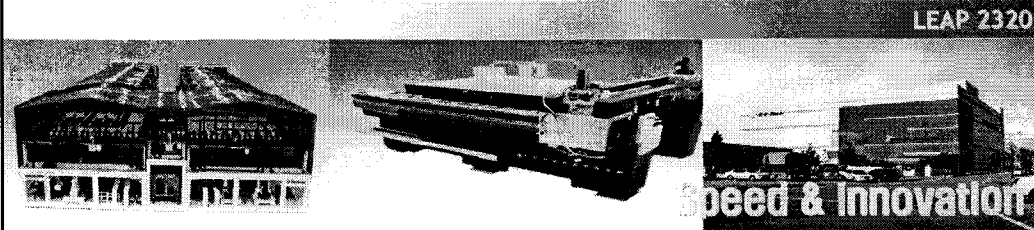


HNB(Hyper-thermal Neutral Beam)을 이용한 박막 증착 장비 개발 현황



2005 . 05. 27

 **K-C-Tech CO.,LTD.**

목 차

Speed & Innovation

1. 개발 배경	-----	2
2. 기술 개요	-----	5
3. 개발 체계 및 현황	-----	8
4. 개발 결과	-----	10
5. 향후 계획	-----	20



□ 반도체 제조/생산 기술 변화

< Design Rule의 감소 >

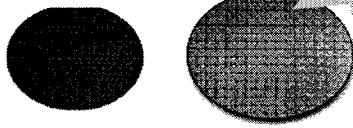
ITRS 2004 Edition

YEAR OF PRODUCTION	2003	2004	2005	2006	2007	2008	2009
Technology Node	hp90	hp90	hp90	hp90	hp65	hp65	hp65
DRAM 1/2 Pitch (nm)	106	90	80	70	65	67	60
MPU/SIC M1 1/2 Pitch (nm)	120	107	95	85	75	67	60
MPU/SIC Poly Si 1/2 Pitch (nm)	107	90	80	70	65	57	50
MPU Printed Gate Length (nm)	66	63	48	40	35	32	27
MPU Physical Gate Length (nm)	45	37	32	28	25	22	19

기술 Road Map과 부합되는
< New Process 및 Tool의 개발 >

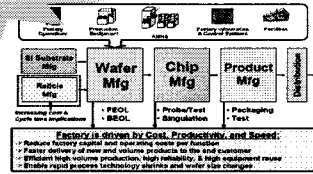
- Lithography : Xe-Hg, KrF, ArF, F₂
- CVD (Low Thermal Budget and Charge Damage) : ALD, Neutral Beam CVD, Pulsed Plasma CVD
- Metallization : Al, Cu
- Etching : ICP, MERIE, IOP

SEMICONDUCTOR
PRODUCTIVITY
INCREMENT



200mm → 300mm

< Substrate Size의 증가 >



< FAB Automation >

□ 고집적화 공정에서 Conventional CVD 공정의 문제점

- High Thermal Budget
 - : Dopant Diffusion에 의한 Leakage 증가
 - : Metal Penetration에 의한 박막 손상

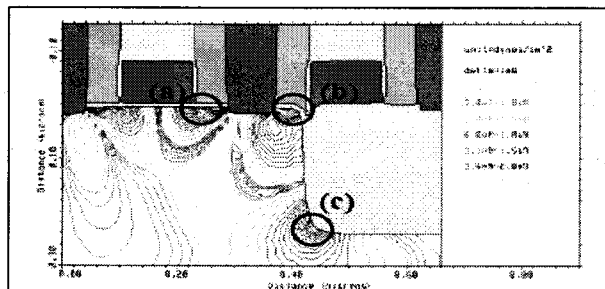


Fig. 3. In stress simulation, the thermally induced stress is concentrated at three points such as (a) gate edge, (b) STI top corner, and (c) STI bottom corner, after full process.

* Reference : Impact of Rapid Thermal Annealing on Data Retention Time for 256Mb and 1Gb DRAM Technology

- Plasma Charging Damage
: Ion 및 Electron의 Charging에 의한 박막 손상

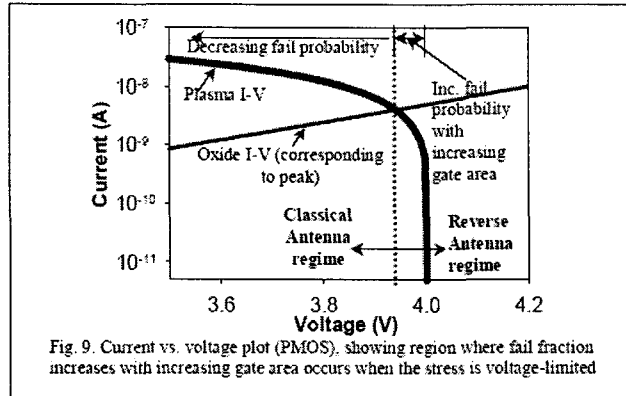
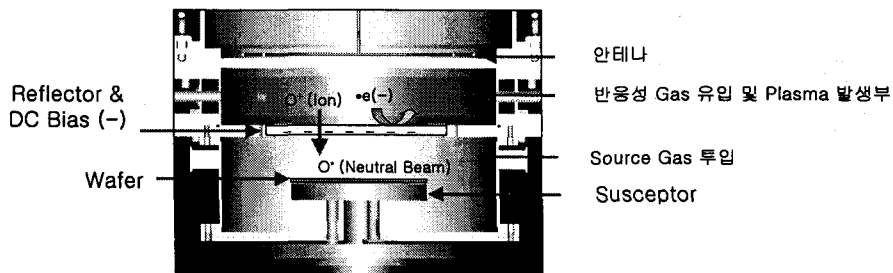


Fig. 9. Current vs. voltage plot (PMOS), showing region where fail fraction increases with increasing gate area occurs when the stress is voltage-limited

* Reference : Impact of Gate Area on Plasma Charging Damage : The "Reverse" Antenna Effect

□ 기존 CVD 공정의 대안 HNB (Hyper-thermal Neutral Beam)

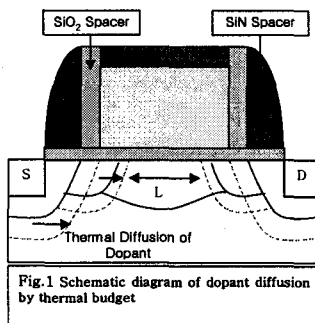
- Neutral Beam의 생성원리
: (-) DC Bias가 인가된 Reflector의 Metal 표면에 Charge된 Electron에 의한 Ion의 Neutralization



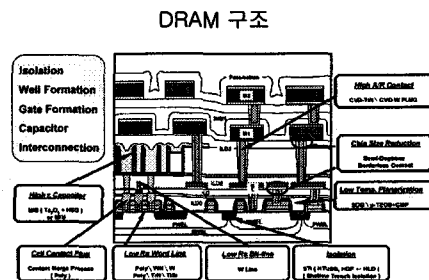
- HNB System의 특성

- : Neutral Beam의 Energy를 이용하므로 기존 박막증착 기술에 비해 “Low Temperature” 공정이 가능하다.
- : Ion 및 Electron 대신 Neutral Beam을 이용하므로 Plasma에 의한 “Charging Damage”가 없다.
- : Neutral Beam의 Energy를 0 ~ 100 eV까지 조절이 가능하므로 누설전류가 적고 Etch Rate이 낮은 “우수한 막질”을 얻을 수 있다.

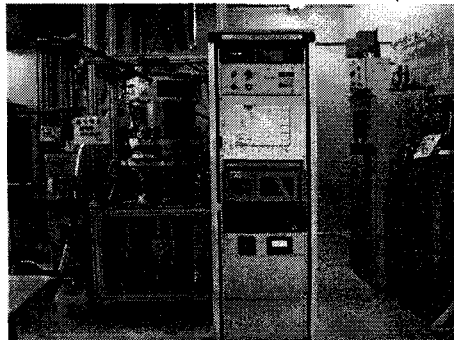
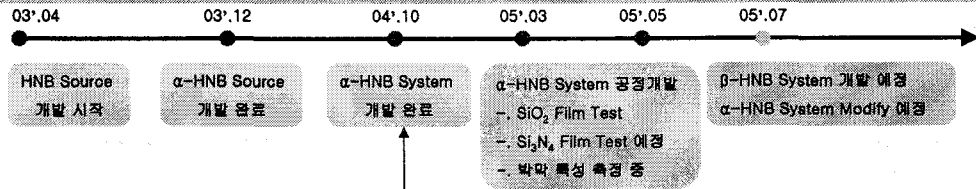
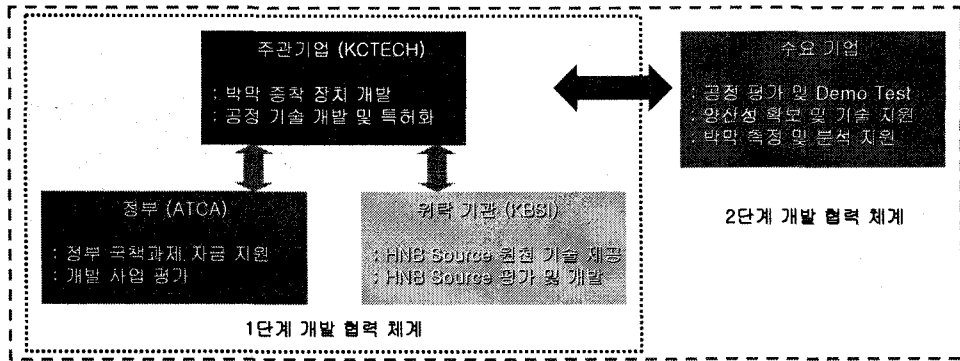
- Low Temperature 장점을 이용한 적용 후보 공정
 - SiO_2 and SiN Process for Gate spacer and Etch stopper
 - Polymer RAM용 Passivation, LTPS
- Low Plasma & Charging Damage 장점을 이용한 적용 후보 공정
 - Gate Dielectric, Capacitor Dielectric



* STS (SEMI Technology Symposium) / SEMICON KOREA 2004



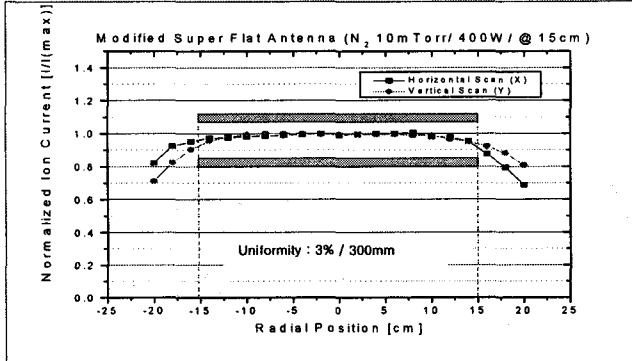
1. 과제 명 : 하이퍼세멀 증성입자 빔을 이용한 Thin Film 증착 장비 개발
2. 총 개발 기간 : 2003. 04. 01 ~ 2008. 03. 31 (60 개월)
 - 1 단계 : 2003. 04. 01 ~ 2005. 03. 31 (24 개월)
 - 2 단계 : 2005. 04. 01 ~ 2008. 03. 31 (36 개월)
3. 위탁 연구 : KBSI (한국 기초 과학 지원 연구원)



- 1 단계 (2003.04 ~ 2005. 03)
 - ◆ α-System 제작
 - ◆ SiN 증착, SiO₂ 증착 공정 개발
 - ◆ 기반 기술 습득
- 2 단계 (2005. 04 ~ 2008.03)
 - ◆ 양산용 Process Chamber 개발
 - ◆ Back-Born 업체 발굴
 - ◆ 수요 업체를 통한 공정 개발

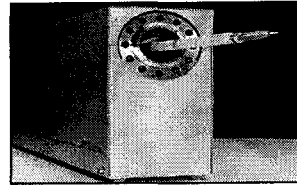
4 개발 결과 [기구 결과 Data]

□ HNB Source의 Plasma Chamber 및 Antenna Test 결과



- Langmuir Probe 사양

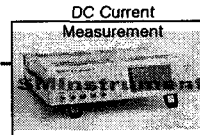
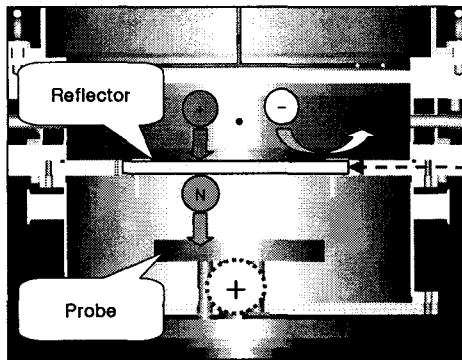
항 목	사 양
Tip 재질	Tantalum
직 경	0.5 mm
길 이	3 mm
방 식	Cylindrical



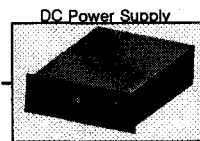
- Plasma Chamber 및 Antenna를 제작하여 측정한 결과 직경 300mm 내에서 3%의 Plasma Uniformity 구현됨

4 개발 결과 [기구 결과 Data]

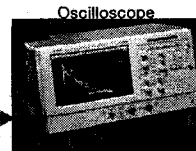
□ Neutral Beam 측정 및 측정 방법



- Reflector의 Current Density 측정



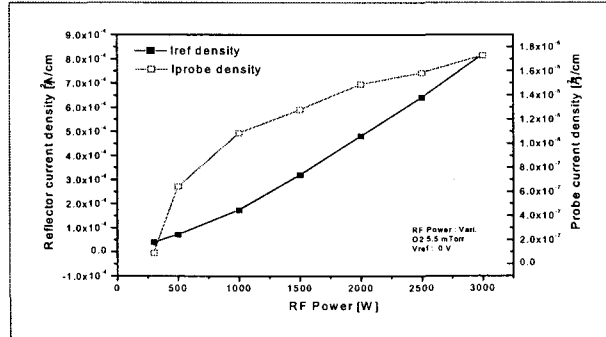
- DC Bias 인가



- Probe의 Current Density 측정

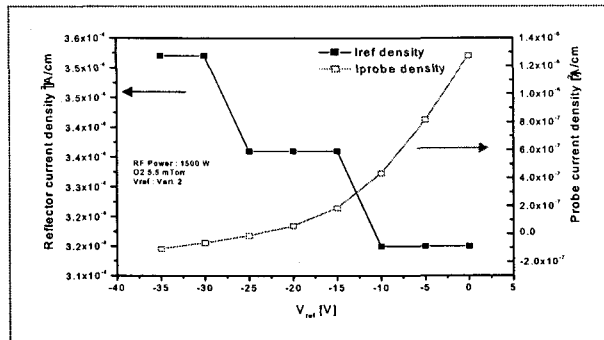
- Reflector와 Probe에서 Current를 측정하여 HNB의 특성 평가

□ RF Power Vs Reflector Current Density 측정



- Reflector Current Density : Reflector로 입사되는 Current Density 측정
=> Plasma Chamber 영역의 이온화 증가를 확인
- Probe Current Density : Reflector 하부 Probe로 흐르는 Current Density 측정
=> Charged Particle에 의한 Damage 여부 가능성 확인

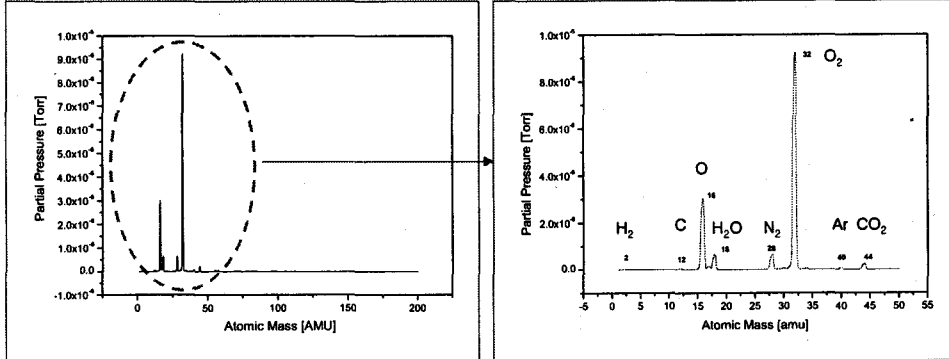
□ Wafer에 도달하는 Electron Density 측정



- Reflector Voltage가 증가함에 따라 Probe Current Density 감소 측정
=> Process Chamber 내에서의 Charged Ion 감소
*** Wafer에 직접적으로 Damage를 줄 수 있는 Electric Charging의 극소화 검증 ***

4 개발 결과 [기구 결과 Data]

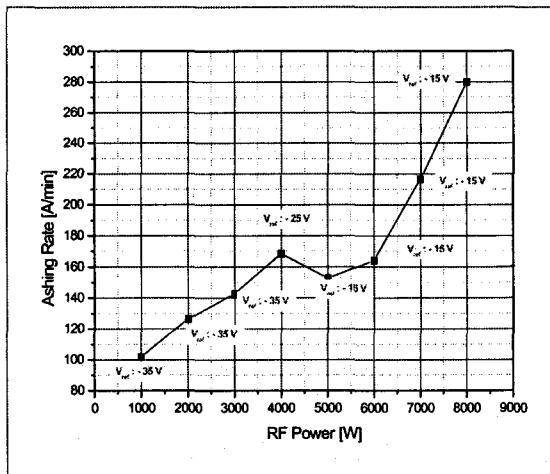
□ 중성화 빔 Flux내의 금속 불순물 분포도



- Process Chamber내에 RGA를 이용하여 Gas의 성분 분석
=> Reflector로 금속불순물이 방출의 극소화 검증

4 개발 결과 [기구 결과 Data]

□ HNB Flux 측정 및 검증 (PR Ash Test 진행)



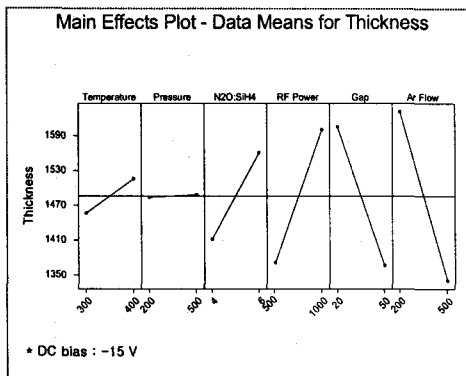
- Condition
; RF Power : 8,000 W
; Bias : -15 V
=> Ash Rate : 280 Å/min
→ HNB Flux : 1.12×10^{16} [atoms/cm²·s]
*** RF Power의 조절에 따라 HNB Flux의 조절 가능 검증 ***

(HNB Radical 1 Atom이 PR과 1:1 반응시 단위면적당 PR Ash Rate 2.5 Å/min은 HNB Flux는 1×10^{14} [atoms/cm²·s])

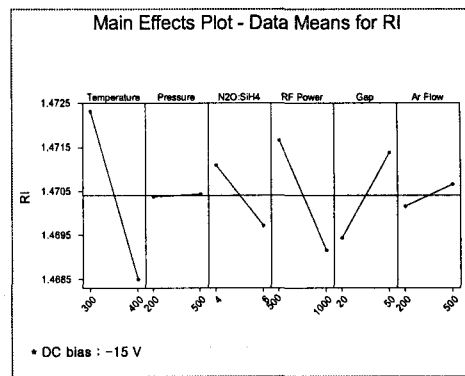
□ HNB Source 개발 목표 및 결과

평가항목	단위	목표치	결과치
HNB Flux	atom/cm ² -sec	1 × 10 ¹⁶	1.12 × 10 ¹⁶
HNB Flux의 Uniformity	%	5	3
HNB Flux 내의 금속 불순물 함량	atoms/Cm ²	< 8 × 10 ¹¹	검출 없음
Wafer에 도달하는 10eV 이상의 VUV 유무	nm	없음	없음
Wafer에 도달하는 Ion Density	mA/Cm ²	없음	없음
Wafer에 도달하는 Electron Density	mA/Cm ²	< 5 × 10 ⁻³	< 2 × 10 ⁻⁷

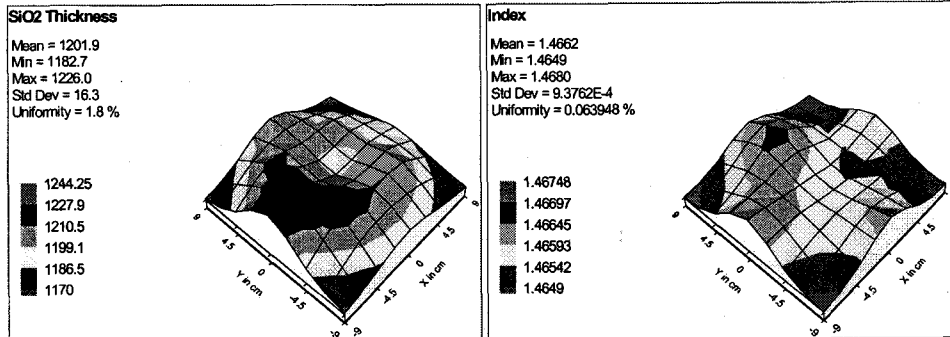
□ SiO₂ Film의 Thickness & R.I.에 따른 Main Effect



- Thickness Graph
- Ar Flow가 Main Effect로 작용
 - Gap, RF Power 순으로 영향을 미침



- R.I Graph
- Temp가 Main Effect로 작용
 - RF Power, Gap 순으로 영향을 미침

□ SiO₂ Film의 Thickness & R.I.에 대한 Uniformity Graph

□ HNB 개발 결과 : PE-TEOS보다 E/ROI 낮고 HDP와 E/ROI 같다

Item		Thermal Oxidation	HTO	HNB	HDP	PE-TEOS
Temperature	[°C]	800	750 ~ 850	300	450 ~ 650	350
RF Power	[W]	N.A	N.A	500~ 2,000	500 ~ 1,000	350
DC Bias	[V]	N.A	N.A	- 15 ~ - 60	N.A	N.A
Gas	[SCCM]	O ₂	SiH ₄ , SiH ₂ Cl ₂ , N ₂ O	SiH ₄ , Ar, N ₂ O	SiH ₄ , Ar, O ₂	Si(C ₂ H ₅ O) ₄ , O ₂
Pressure	[Torr]	-	0.25~0.5	0.2~0.5	10	5~8
Etch Rate	[Å/min]	10.19	23.78	36	39.39	95.35
Deposition Rate	[Å/min]	-	-	50 ~ 500	-	1,000
Reflect Index		1.462	1.465~1.47	1.467~1.485	1.47~1.48	1.47~1.48

□ HNB System 개발의 애로 사항

1. 전기적 특성 측정의 문제

- 수요업체 요구 Film의 목표, 성능 특성에 대한 기술 정보 부족
- 양산 Wafer Topology상에서 Film특성 확인 곤란
- 전기적 특성 분석을 위한 측정 장치의 부재
(연구소, 학교 시설의 성능 부족)

2. 물리적 특성 측정의 문제

- 물리적 특성 분석을 위한 측정 장치의 부재
(연구소, 학교 시설의 성능 부족)

→ 수요업체와의 JDP를 통한 개발 추진

