

상위단계 합성에서의 전압 할당을 결합한 자원공유

김동현

과학영재학교

psds075@dreamwiz.com

김태환^o

서울대학교, 전기.컴퓨터공학부

tkim@ssl.snu.ac.kr

Resource Sharing Combined with Voltage Assignment in High-level Synthesis

Donghyeon Kim

Busan Science Academy

Taewhan Kim^o

School of EECS, Seoul National University

요 약

상위 단계 합성에서의 자원 공유 (또는 바인딩)는 최종회로 결과의 질에 심각한 영향을 미치는 중요한 작업들 가운데 하나이다. 기존의 자원 공유 기법의 목적은 주어진 자원 제약 조건하에서 회로의 지연 시간을 최소화하거나, 주어진 지연시간 조건하에서 하드웨어의 복잡도 (예: 회로 면적)를 최소화하는 것이다. 본 논문에서는, 자원 공유 문제를 회로에서 소모되는 전력 소모를 줄이는 각도에서 보고 있다. 구체적으로, 전압 배정 작업을 자원 공유 문제와 결합하여, 두 개의 작업을 통합된 방식으로 해결함으로써 회로 결과에서의 소모되는 전력 소모량을 충분히 그리고 효과적으로 줄이는데 목표를 두고 있다. 벤치마크를 사용한 실험에서 우리는 제안한 방법을 사용하면, 기존의 순차적인 자원 공유와 전압 배정 적용 방식보다 0.7%-16% 더 적은 전력 소모를 가짐을 알 수 있었다.

1. Introduction

과거에는 대단위 VLSI 디자인이 많이 고려되었으나 현대로 오면서 휴대할 수 있는 형태의 디자인이 많이 고려되고 있다. 예를 들어 랩탑, wireless system, audio, video device를 기반으로 한 상품 등에서는 high speed를 통한 고전력 system 을 사용하기에는 적절하지 않다.

따라서 현재 저전력을 지향하는 연구가 꾸준히 이루어지고 있으며 특히 CMOS 회로 설계에서 전력 소비를 줄이기 위해, 동적 전력(dynamic power) 소비를 줄이는 많은 연구가 활발히 진행되고 있다. 동적 전력을 줄이는 방법으로는 공급전압을 낮추는 기법이 많이 사용되고 있으나 공급 전압을 줄이는 것은 회로 전체의 지연 시간을 증가시키게 되는 단점이 있다.

회로 합성에는 algorithm, architecture, logic, circuit, processing technology 의 단계로 나누어지는데 예전에 이미 모든 합성 단계에서 전력을 줄이는 방법이 어느 정도 연구되어 있다[1]. 본 논문에서는 상위단계, 즉 algorithmic behavior 의 단계에서 전력의 최소를 목표로 한다.

Algorithm의 단계에서의 transformation 은 예전에 연구되었다[2]. 그리고 off-chip 에서 functional units 의 전력 소모에 대한 연구들도 많이 이루어지고 있다[3]-[6]. [8]의 연구에서 다중전압에서의 호출 제한 스케줄링 문제가 다루어졌으나 스케줄링과 전압조정에 관한 연구만 이루어졌고 자원공유에 대해서는 다루지 않거나 순차적으로 적용

하였기 때문에 자원공유가 효과적으로 적용되지 못하였다. [7]의 연구에서는 level shifter 에 대한 효과를 고려하였지만 실제적인 delay scale 에서의 고려를 하지 않았다. 또한 자원공유를 사용하지 않았기 때문에 다중전압의 이점을 제대로 반영하지 못했다고 볼 수 있다. [9]의 연구에서는 zone 개념을 도입하고 정수선형 프로그래밍 기법을 이용하여 자원공유까지도 고려한 latency-constraint scheduling을 하였으나 최적 해를 고려하지 않았고 level shifter 의 효과도 고려하지 않았다. 본 논문은 위의 논문들의 장점들을 살린 최적의 대안을 제시한다.

동적 전력(dynamic power)에서는 [10]에 의하여 다음과 같은 전력에 대한 식이 주어진다.

$$P_{dynamic} = \sum(C_{i\ load}V_{i\ swing}a_i)f_{clk}V_{dd} + \sum(K_i a_i)(V_{dd}-2V_i)^3 f_{clk} \quad (1)$$

$C_{i\ load}$ is는 node i에 대한 전기 용량이며 $V_{i\ swing}$ 는 전위차 a_i 는 swing activity를 나타낸다. V_{dd} 는 공급전압, f_{clk} 는 clock frequency를 말한다. 위의 식은 switching power 부분과 short circuit power 부분으로 나눌 수 있으며 몇 가지 가정에 의해 short circuit power 부분을 무시하면 다음과 같은 간단한 식을 유도할 수 있다.

$$P_{dynamic} = \sum(C_{i\ load}a_i f_{clk}V_{dd}^2) \quad (2)$$

이 식에 의하면 공급전력 V_{dd} 가 높으면 소비전력이 기하급수적으로 증가하지만 그와 반대로 공급전력 V_{dd} 가 낮으면 소모 전력은 줄일 수 있지만 반대로 처리에 사용되는 세관은 증가시킨다.

Voltage (volt)	Multiplier (#cycle)	Adder (#cycle)
1	18	5
1.2	8	3
1.5	5	2
1.8	4	1
2.2	3	1
2.4	3	1
3.3	2	1
5	2	1

Figure 1. 다중전압을 사용할 때 사용되는 시간(1 cycle = 10ns)

Figure 1은 전압이 달라지면 logic의 연산에 사용되는 cycle 수가 달라짐을 보여준다.

Voltage (volt)	Adder (uW)	Multiplier (uW)
1	15	47
1.2	121	369
1.5	402	1223
1.8	986	3003
2.2	1835	5598
2.4	2068	6298
3.3	3984	12134
5	9335	28431

Figure 2. 다중전압을 사용할 때 소모되는 전력(32bit)

Figure 2는 logic의 연산에 사용되는 전력이 전압에 따라 달라짐을 보여준다. Figure 1, 2를 통해서 operator에 적절하게 낮은 전압을 배정시키는 기법이 전력의 최소화에도움이 됨을 알 수 있다. Figure 3은 level shifter에 사용되는 전력소모를 나타낸 것이다. 전압을 바꾸려면 그에 따른 작업이 필요하며 이때 소모되는 전력을 나타낸다. low voltage에서 설계가 진행되면 그 중요성이 상대적으로 커지게 됨을 알 수 있다.

Vy/Vx	1.0	1.2	1.5	1.8	2.2	2.4	3.3	5
1.0	0	45	55	66	80	87	118	177
1.2	32	0	59	70	95	92	125	187
1.5	39	44	0	76	92	100	136	203
1.8	46	52	62	0	96	108	146	220
2.2	55	63	74	85	0	118	160	320
2.4	60	68	80	92	108	0	167	253
3.3	81	92	108	124	145	156	0	356
5	121	137	160	184	220	234	260	0

Figure 3 level shifters의 전력소모

2. 상위단계에서의 전압할당을 결합한 자원공유

2.1 Definitions

입력 데이터는 DFG(data flow graph)이며 스케줄링이 기본적으로 되어있는 상태이고, 어느 정도의 전압배정과 자원할당을 조정할 수 있는 상태로 정의한다. DFG의 edge는 데이터의 dependency를 나타내며 각각의 logic에 대하여 dependency가 고려되고 logic이 수행되는 시간 동안 할 일이 없다면 어떠한 operator가 연산을 처리해도 상관없다. Figure 4에 자세한 예가 있다.

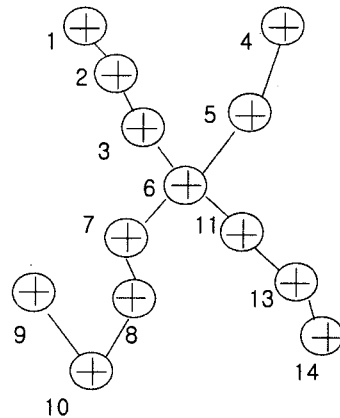


Figure 4. 상위단계에서 연산수식의 DFG

각각의 logic들은 적절한 전압을 할당받아서 특정한 cycle 동안 처리를 하게 된다. 1) 어떠한 두 logic도 동시에 같은 operator에서 처리될 수 없다. 만약 1번과 4번을 같은 operator가 처리하는데 이때 1과 4의 연산처리 시점이 같다면 충돌이 일어나게 되며 이것은 잘못된 디자인이다. 2) 상위의 logic이 처리되지 않은 시점에서 다른 연산을 먼저 수행할 수 없다. 만약 3번이 처리되지 않았다면 6번 밑의 연산을 먼저 처리할 수는 없다. 3) level shift에 따른 소모 전력은 연산을 수행하는 operator가 그 전에 가졌던 전압을 기준으로 한다. 예를 들어 3번을 처리한 operator와 11번을 처리한 operator가 같고 그 사이에 처리한 operator가 없다면 3번과 11번 사이의 전압차이로 level shift에 따른 전력 소모가 결정된다.

2.2 Branch&Bound기법을 이용한 연산(operator) 배정

본 논문에서는 자원 공유의 효과를 잘 살리기 위해서 operator가 연산을 할 수 있는 가능한 모든 수를 계산한다. 그러나 가능한 수를 모두 찾기에는 상당한 시간이 걸린다. 따라서 그래프를 잘라서 부분에 대한 최적화를 한 뒤에 그 둘을 합치는 방법을 사용한다. operator의 할당에 방해를 받지 않도록 하는 범위 내에서 10개 이하의 범위로 쪼갬

다. vertex i 와 $i+1$ 이 같은 시간 범위 내에서 처리되지 않는다면 그 둘은 자원 할당에 영향을 받지 않기 때문에 다음의 기법이 가능하다. Figure 4의 경우 {1, 2, 3, 4, 5, 6}, {6, 7, 8, 9, 10, 11, 12, 13, 14} 로 나누어질 수 있다. 그러나 그렇게 이상적으로 나누어지지 않는 경우도 있다. 그럴 경우 10개 내외에서 적당히 가중치를 주고 그래프를 자른다.

2.3 전압 배정 (voltage assignment)

2.2절에서 나온 그래프에 대해서 최소의 전압을 주고 전력을 측정한다. level shifters의 영향으로 전압을 줄이기 전보다 줄인 후에 더 많은 전력소모를 할 수도 있지만 level shifter의 영향은 매우 작기 때문에 거의 무시할 수 있다. Figure 5를 통해서 보듯이 연산 모듈이 좀 더 효율적으로 사용됨을 알 수 있다. (연산에서 step 이 늘어나고 전압이 낮아짐.)

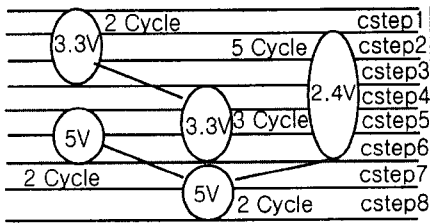


Figure 5. 전압할당을 한 모델

마지막으로 통합된 최소 전력 소모를 위한 자원 할당과 전압 배정은 다음과 같이 요약된다.

3. 실험 결과

1. 모든 로직을 5V의 전압에서 처리할 때의 스케줄링 model 를 구한다.
2. 1의 Scheduling 모델을 통해 가능한 자원할당 모델을 찾는다. (2.2)
3. 찾은 모델에 대해서 최소의 전압으로 맞추어준다.
4. 그전까지 구했던 모델보다 빠르면 저장한다.
5. 모든 경우를 다 고려했으면 최소의 전력을 소모하는 모델을 찾고 끝낸다.

본 논문에서는 여러 가지 DFG 에 알고리즘을 적용시켜 검증하였다. 비교대상 알고리즘은 다중전압을 통한 저전력 프로세스 모델링 알고리즘[7]이며 그 알고리즘으로 나온 모델에 대해서 local search를 통하여 자원의 재 할당을 하였다. 앞에서 구한 Adder, Multiplier, Level-shifter 의 전력소모를 통해 전체 연산회로에 소모되는 전력을 추정할 수 있으며 Diffeq, ellip, kalman, dhrc, fft, filter 설계에 본 제안한 알고리즘을 적용하였다. Figure 6의 실험 데이터가 좀 불규칙하게 나온 이유는 실제 자원공유를 사용하려면 충분히 많은 operator 을 사용해야 하는데 부득이하게 그렇게

Benchmark	Voltage Only	Voltage and Binding	Reduction(%)
DIFFEQ	121516	105160	13.6%
KALMAN	58039	55358	4.7%
DHRC	64462	55551	13.9%
FFT	36330	36220	0.7%
FILTER	6317	5305	16.0%
ELLIP	24116	20667	14.4%

Figure 6. 자원공유 기법을 전압배정과 결합했을 때와 결합하지 않았을 때의 소모전력 차이

하지 못한 점과 비교대상도 local search를 통한 자원할당을 하다 보니 우연히 거의 최적에 가까운 해를 찾아내기도 한 점 때문이다.

4. 결론

본 논문에서는 상위단계에서의 자원공유와 전압배정을 결합한 방법을 소개하였으며 실제로 어느 정도의 효과가 있음을 보였다. 다중전압을 사용한 자원공유 방법은 디자인에 많은 영향을 끼칠 수 있을 것이다.

자원공유와 다중전압을 적절히 조합한다면 operator의 수를 효율적으로 줄일 수 있을 것으로 보인다. 스케줄링 기법을 적용하여 좀 더 통합된 연구를 하는 것이 앞으로 남겨진 과제이다. 최근 중요하게 부각되고 있는 레지스터에 대해서도 연구를 적용하는 것도 좀 더 효율적인 디자인에 도움이 될 것이다.

감사의 글: 본 연구는 KAIST 과학영재 교육원의 R&E 프로그램 지원을 받았음.

5. References

- [1] A. Chandrakasan and R. Brodersen, "Minimizing power consumption in digital CMOS circuits," in *Proc. IEEE*, vol.83, Apr. 1995
- [2] A. Chandrakasan, et al., Optimizing power using transformations, *IEEE Trans. Comput.-Aided Design Integrated Circuits Syst.* Vol. 14 1995
- [3] A. Dasgupta and R. Karri, "simultaneous scheduling and binding for low power minimization during microarchitecture synthesis," in *Proc. Int. Symp. Low-Power Design.* Apr. 1995
- [4] A. Raghunathan and N.K. jha, "Behavioral synthesis for low power," in *Proc. IEEE Design Automation Conf.*, 1995
- [5] C. Lee, "A Resource constrained Scheduling Scheme that Considers Resources Operating at Multiple Voltages and Register Assignment," Dept. Elect. and Comput. Eng, Oregon State Univ., Corvallis, OR, 2002
- [6] E. Musoll and J. Cortadella, "High-level synthesis techniques for reducing the activity of functional units," in *Proc. Int. Symp. Low Power Design.* 1995
- [7] W. -T. Shiu and C. Chakrabarti, "Low-Power Scheduling with Resources Operating at Multiple Voltages," in *IEEE Int. Symp. Circuits and Systems.* vol 2, no. 6, Jun. 1998
- [8] W. -T. Shiu and C. Chakrabarti, "Scheduling with multiple voltages," *Integration: The VLSI J.* vol. 23, 1997