

저가형 프로세서를 이용한 DC-DC 컨버터의 디지털 제어

김 두 일*
한양대학교

박 효식
전주공업대

김 회준
한양대학교

Digital Control of DC-DC Converter Using Low Cost Processor

Duif Kim*
Hanyang Univ.

Hyosik Park
JeonJu Technical College

Heejun Kim
Hanyang Univ.

Abstract - In SMPS, digital control techniques are adopted widely. But Digital controlled SMPS has poor performance of regulation and transient response than analog controlled SMPS. Delay time of control computing and low frequency of updating duty ratio make digital controlled SMPS poor performance. This paper proposed the optimized control computation to increase not only frequency of updating duty ratio but also switching frequency of SMPS.

1. 서 론

DC-DC 컨버터의 제어회로는 일반적으로 아날로그 제어 형태로 구현된다. 아날로그로 제어기는 구성소자가 많이 들지 않기 때문에 저가형 컨버터의 제어용 회로로 많이 쓰이고 있다. 하지만 다출력 컨버터의 경우 여러 출력중 하나의 출력을 기준으로 하나의 제어회로로 의해 구현되므로 제어에 쓰이는 출력 이외의 출력은 상대적으로 출력정밀도와 안정도가 떨어진다. 출력 모듈에 대해 각각의 제어회로를 사용할 경우 이 문제는 해결될 수 있으나 설계가 복잡해지고 개발기간이 길어짐에 따라 그에 대한 생산성 역시 떨어지게 된다. 하지만 디지털 제어를 이용하면 하나의 MCU(Micro Controller Unit)를 이용하여 ADC(Analog Digital Converter)의 개수에 해당하는 만큼의 출력을 제어할 수 있다.

디지털 제어기법을 이용한 전력 변환기는 이미 산업분야에서 많이 쓰이고 있으나 대부분은 인버터 제어용으로 사용되고 있으며 그 스위칭 주파수 역시 10kHz 이하이다. 따라서 제어에 필요한 연산시간이 매 스위칭 주기 이전에 끝나게 되므로 매 스위칭에 적용되는 시비율은 제어 연산이 적용된 신호이다.

컨버터에 사용되는 소자는 스위칭 주파수가 낮을수록 같은 전력용량을 기준으로 소자의 크기는 증가하기 때문에 컨버터의 부피가 증가하여 전력밀도가 낮아진다. 따라서 컨버터를 소형화, 고 전력밀도화를 위해서는 스위칭 주파수를 높여야 한다. [1]

디지털 제어에서 스위칭 주파수를 높일 경우 가장 문제가 되는 것이 시비율의 해상도 감소와 제어 연산에 의한 시비율 적용에 지연시간이 발생한다는 것이다. 즉, 제어연산을 하는데 드는 지연시간에 의해 시비율의 적용은 연산 시작시점에서 수 주기에서 수십 주기 뒤에 적용되므로 안정도가 떨어진다.[2][3]

본 논문에서는 디지털 제어회로의 시비율 적용의 지연을 가능한 줄이고, 이를 이용하여 승압형과 강압형의 2개의 컨버터를 동시에 병렬제어하며, SMPS의 소형화고 전력밀도화를 위해 스위칭 주파수를 100kHz까지 높였다.

2. SMPS의 제어

2.1 아날로그 제어와 디지털 제어의 공통점

그림 1은 SMPS의 아날로그 제어의 기본개념을 비교한 그림이다. SMPS 출력단 전압을 저항을 이용하여 전압분배를 한다. 즉 원하는 SMPS의 출력전압이 원하는 값이 될 경우 전압에 의해 분배된 출력 전압은 V_{ref} 와 같아지게 된다. 분배된 출력전압과 V_{ref} 의 차이 만큼에 해당하는 값을 오차증폭기를 통해 증폭시켜 삼각파와 비교시켜 구형파를 발생시킨다. 디지털 제어기 역시 아날로그 제어기와 같은 개념으로 제어된다. SMPS 출력단의 전압을 저항으로 분배하여 ADC(Analog-Digital Converter)를 통해 입력받아 프로세서 내부에서 기준 전압에 해당하는 변수 값과 비교한다. 이때 비교된 값의 차이 값을 오차 값으로 정해놓고 PID(비례·적분·미분) 제어를 통해 결정된 값을 Timer/Counter값과 비교하여 구형파를 발생시킨다.

아날로그의 제어방식과 디지털 제어방식은 같은 개념으로 구현된다. 여기서의 차이점은 아날로그 제어에 의해 얻어지는 시비율에 대한 정보는 실시간으로 스위치 구동신호화 되어 스위치 구동에 쓰이나 디지털 제어의 경우는 그 연산결과를 얻기 위해 최소한의 연산시간이 소요되어 시비율의 실시간 적용은 사실상 불가능하여 아날로그에 비해 디지털 제어의 안정도는 떨어지게 된다.

2.2 디지털 제어의 장점

아날로그 제어에 비해 디지털 제어가 갖고 있는 장점은 다음과 같다. 첫째, 아날로그 제어기를 사용할 때 알 수 없었던 각 소자의 입출력에 대한 전압/전류 관계를 디지털 제어기에 의해 수치적, 시각적으로 판단 가능하다는 것이다. 물론 아날로그 제어기에서 정상상태의 값에 대해서는 오실로스코프와 같은 시각적 표시기에 의해 판독이 가능하나, 특히 과도상태의 특성에 대해서는 판독이 불가능하다. 하지만 디지털 제어기를 사용한 경우 과도상태와 같은 순간적으로 변하는 값을 저장공간에 저장시켜 원하는 경우 LCD 또는 통신 장비를 이용하여 직접 확인이 가능하다. 이는 PID제어 또는 Fuzzy제어 기의 과도상태 응답에 대한 특성을 알아볼 때 요긴하게 사용된다. 두 번째, 디지털 제어기를 사용 할 경우 내부 파라미터에 대한 변경이 용이하다는 것이다. 부하의 특성에 따라 스위칭 주파수를 변경 할 필요가 있을 경우 아날로그 제어회로의 경우는 소자를 바꾸어야 했으나 디지털 제어에서는 간단한 키의 조작으로 변수 값을 바꿈으로서 수정이 가능하므로 아날로그 제어기에 비해 큰 장점을 지닌다. 또한 제어기의 이득값 역시 변경 가능하므로 부하특성에 따른 제어기의 특성을 자유자재로 변경할 수 있다는 큰 장점을 지니고 있다.

2.3 디지털 제어의 단점

그림 2는 2.1에서 언급한, 디지털 제어 시 제어연산에 소요되는 시간을 나타낸 그림이다. 아날로그와 달리 제어연산을 하기 위한 시간이 필요하며, 이에 따른 시비율

의 적용에 시간지연이 발생한다. 그림2의 예를 들면, $t=0$ 인 시점에서 현재 출력 전압에 대한 값의 ADC가 시작된다. ADC가 끝나면 기준전압에 해당하는 값인 기준전압 변수와 ADC 결과값을 비교하여 오차값을 산출해낸다. 이 오차값을 기준으로 PID제어에 들어간다. 부동 소수점 연산이 가능한 프로세서의 경우 이 연산에 대한 소요시간이 걸지 않으나 부동 소수점 연산이 불가능한 프로세서의 경우 제어값을 산출해 내는데 가장 많은 시간이 소요된다. 연산에 대한 결과값을 산출한 뒤 최대/최소 시비율에 대한 값을 넘지 않도록 IF문을 이용하여 최대치 최소치에 대한 값을 제한한다. 이후 제어에 의해 산출된 값을 Timer/Counter와 비교에 사용되는 변수에 저장함으로 해서 연산은 종료된다. 이 과정을 거치는데 걸리는 시간은 그림 3과 같다. 연산 시간이 152 μ s 이 소요되고 제어와 다른 명령의 수행을 고려하여 200 μ s마다 시비율을 적용시키는 방식으로 제어를 수행해야 한다. 따라서 시비율의 적용은 5kHz의 주기를 지니므로 스위칭 주파수 $f_s = 5kHz$ 의 컨버터의 경우 매주기마다 1회씩 시비율이 적용된다. 하지만 $f_s = 5kHz$ 보다 빠른 스위칭을 하는 컨버터의 경우 수 주기에서 수십 주기에 한 번씩 연산된 시비율이 적용되므로 안정도에 문제가 발생하기도 한다.[4]

SMPS의 경쟁력을 갖추기 위해서는 장비의 소형화와 고 전력밀도화를 갖추어야 한다. 스위칭 주파수를 높이면 인더티의 물리적 크기가 작아진다 하더라도 같은 전력용량을 낼 수 있다. 같은 용량을 지고, 기기 전체 부피가 작아진다면 전력밀도는 증가한다. 따라서 SMPS의 스위칭 주파수를 높이는 것은 제품의 경쟁력을 갖추기 위한 필수 요소라 할 수 있다. 하지만 디지털 회로에서는 한가지 명령을 수행하기 위해서는 일정한 시간이 필요하다. 이것이 프로세서가 갖는 클럭에 대한 시간인데 저가형 프로세서의 경우 클럭을 높이는 데는 한계가 있다. 본 논문에서 사용된 디지털 제어기는 Atmel사의 ATmega16이며, 8채널의 ADC (Analog to Digital Converter)를 내장하고 있다. 따라서 동시에 최대로 8개의 컨버터를 제어할 수 있다.

권장하는 시스템 클럭은 16MHz이다. 시스템의 안정적 동작을 보장하기 위해 클럭을 8분주 하게 되면 1개의 클럭에 대한 수행시간은 500ns이다. 컨버터의 스위칭 주파수를 100kHz로 구동시키고자 할 때 톱니파로 작용하는 Timer/Counter가 매 20 클럭마다 주기가 반복되어야 하므로 20단계의 해상도를 지닌다. 따라서 시비율의 정밀도를 20단계로 제어할 수밖에 없다. 정밀 제어를 위해 최소한 200단계의 해상도로 시비율을 제어하고자 한다면 스위칭 주파수를 5kHz로 낮추거나, 성능 좋은 프로세서를 사용하여 클럭 스피드를 320MHz로 높이면 가능하다. 하지만 성능 좋은 프로세서를 사용할 경우 제품의 단가가 상승하여 가격 경쟁력은 떨어지고 스위칭 주파수를 낮출 경우 제품의 부피가 증가하여 성능에 대한 경쟁력이 떨어질 것이다.

따라서 가장 좋은 해결 방법은 제어에 소요되는 시간을 가능한 한 최적화 시켜 제어 연산 시 발생하는 지연 시간을 줄이는 방법과 프로세서가 지원 가능한 최고의 클럭 스피드를 이용하는 방법이다.

3. 제어연산의 최적화

3.1 불필요한 제어과정의 제거

본 논문에서 사용되는 제어기법은 디지털 제어기법 이므로 가능한 한 필요 없는 과정은 생략해야 한다.

우선 ADC는 제어과정에 반드시 들어갈 필요가 없다. 따라서 연산이 끝나고 시비율을 적용시킨 뒤 다음 제어가 시작되기 전의 중간 시간동안 ADC를 수행시키면 연산 시간을 줄일 수 있다. ATmega16의 ADC 처리속도는 보통 12us, 최대 25us 이므로 교번으로 수행되는 제어의 자기 차례가 오기 전까지 50us이라는 시간적 여

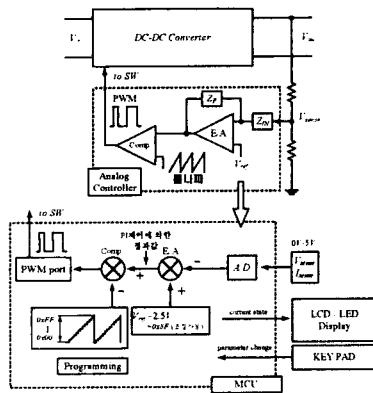


그림 1 아날로그제어와 디지털 제어의 개념도

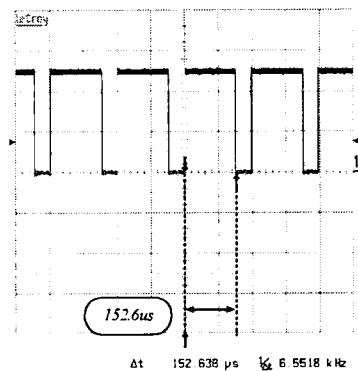


그림 2 제어 연산에 소요되는 시간

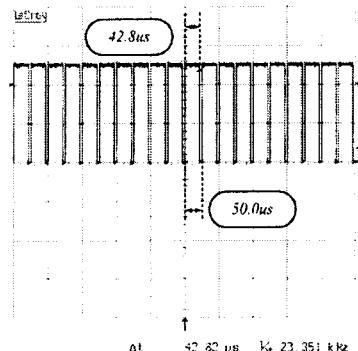


그림 3 최적화를 통해 줄인 연산시간

유가 있기 때문에 ADC의 시간을 줄일 수 있다.

3.2 프로그램의 최적화

최적화 한다는 의미는 프로그램의 명령을 가능한 한 적은 수의 클럭 내에 수행시키는 것이다. 대부분의 프로그램은 C언어에 의해 구현이 된다. C언어는 고급언어로써 사람이 사용하는 언어와 유사한 형태의 명령어를 사용하여 프로그래머가 쉽게 구현 가능하도록 만들어진 언어이다. 하지만 프로세서는 디지털 신호에 의해 구동되므로 C언어를 2진 코드로 변환해야 한다. 이 변환 과정에서 불필요한 과정들이 포함되는데 이로 인해 수행시간이 늘어나는 경우가 많다. 하지만 C언어가 아닌 보다 저급 언어인 어셈블러(Assembler)로 프로그램 할 경우 2진 코드와 비슷한 체계의 명령어로 구현되기 때문에 C

언어보다 더욱 최적화된 2진 코드를 얻을 수 있다.

이러한 방법을 통해 제어 연산시간을 42.8us으로 줄였고 시비율의 적용 빈도를 20kHz로 높였다. (그림3) 연산시간에 포함되지 않는 약 7us의 시간은 프로세서가 다른 동작의 수행을 보장하는 여유시간이다.

3. 제작 결과

3.1 병렬 컨버터의 설계규격

병렬제어를 위한 병렬 컨버터의 설계 조건은 표1과 같다. 상반된 두 형태의 토플로지로 강압형 컨버터와 승압형 컨버터를 설계하였다. 강압형 컨버터로는 Buck 컨버터를 설계하였고, 승압형 컨버터로는 Boost 컨버터를 설계하였다.

	승압형	강압형
입력전압	20V ~ 28V	
출력전압	32V	12V
최대 출력전류	1.5A	4.2A
스위칭 주파수	30kHz~100kHz	

표1 컨버터 제작을 위한 규격

3.2 설계시 유의사항

특정 부하를 위한 컨버터의 설계는 그 부하의 조건에만 맞게끔 설계하면 되지만 범용의 경우 부하조건을 예상할 수 없는 경우이므로 부하의 조건에 따라 컨버터의 parameter를 변경해야 할 필요가 있다. 따라서 주파수 가변의 형태로 제어기가 구동되어야 하는데, 주파수에 의해 가장 많은 영향을 받는 소자는 출력 인터터 이므로 설계시 유의하여야 한다. 즉 가장 낮은 스위칭 주파수를 기준으로 worst-case design을 하여야 그 이상의 주파수 대역에서도 포화되지 않고 견딜 수 있다.

3.3 출력전압의 과도응답

그림4는 승압형 컨버터의 과도응답특성이다. 승압형 컨버터의 부하상승에 대한 출력전압의 추종시간은 8.1ms이다. 그림 5는 강압형 컨버터의 과도응답특성이다. 강압형 컨버터의 부하상승에 대한 출력전압의 추종시간은 각각 15.3ms이다. 아날로그는 보통 수십us 내에서 출력전압이 정상상태로 복귀되나 디지털 제어의 경우 오차값에 대한 시비율 적용이 아날로그에 비해 특성이 나쁘므로 아날로그 제어기를 사용했을 때의 과도응답 보다 좋지 않은 특성을 나타낸다.

3.4 출력전압의 레귤레이션

다음 그림에 스위칭 주파수에 따른 출력 전압의 레귤레이션을 나타내었다. 비율의 적용 빈도를 20kHz로 높였기 때문에 $f_s=100\text{kHz}$ 인 동작에서는 5주기마다 1회씩 시비율이 적용되나, PID제어기법을 이용하여 이를 tuning 하는 식으로 레귤레이션 특성을 높였다.

4. 결 론

본 논문에서 제안한 디지털 제어기법은 저가의 프로세서를 이용한 방법이다. 물론 고가의 프로세서를 사용할 경우 제어연산 시간은 더욱 줄어들어 $f_s=100\text{kHz}$ 이상으로 컨버터를 동작시킬 수 있으나, 저가형이라는 성능의 한계에서 시비율의 적용 시간을 높였는데 의의가 있다. 물론 병렬제어 시에는 이 시비율 적용 빈도가 모듈의 수 만큼 나누어지지만, 이러한 최적화 기법을 통해 저가형 프로세서의 성능을 배가시킬 수 있음을 보였다.

[참 고 문 헌]

- [1] N. Mohan, T. Undeland, W. Collins, "Power Electronics : Converter application and design", Wiley Sons Inc.,

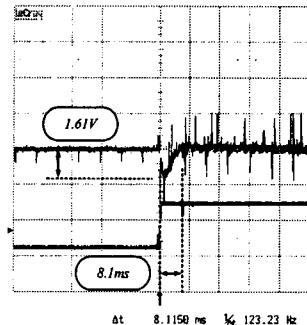


그림 4 아날로그제어와 디지털 제어의 개념도

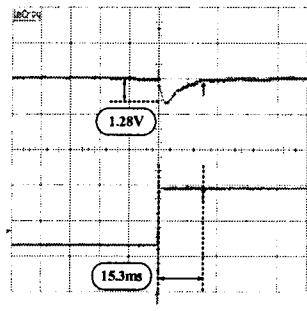


그림 5 아날로그제어와 디지털 제어의 개념도

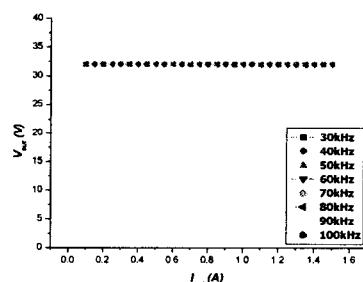


그림 6 승압형 컨버터의 Load Regulation

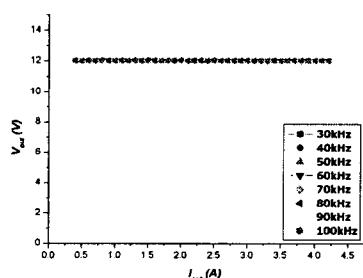


그림 7 강압형 컨버터의 Load Regulation

pp.66~76, 1989

- [2] Gene F. Franklin, J. David Powell, Abbas Emami-Naeini, "Feedback Control of Dynamic systems", Prentice Hall, 2002
[3] K. ÅSTRÖM, T. HÄGGLUND, "PID Controllers: Theory, Design and Tuning", ISA (The Instrumentation, Systems, and Automation Society)
[4] 박효식, "디지털 제어기법을 이용한 강압형 및 승압형 PWM DC-DC 컨버터의 동시제어", 한양대학교, 2001.