

## 공진형 플라이백 DC-DC 컨버터용 동기정류기에 관한 연구

원기식, 안태영  
청주대학교 전자공학과

### A study on QR flyback DC-DC converter for synchronous rectifier

Ki-Sik Won, Tae-Young Ahn.  
Dept. of Electronics Eng, Cheongju University

**Abstract** - This paper presents a novel current driving method for the synchronous rectifier (SR) in a flyback topology. The proposed current driven synchronous rectifier features low power loss, good performance and the gate voltage of FET in the synchronous rectifier is easily controlled by resistor ratio. The proposed SR driving method is implemented in a 200W Flyback converter with 400Vdc input and achieved excellent performance at full load.

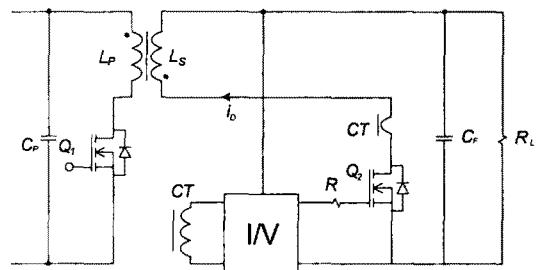


그림1. 동기정류기를 이용한 플라이백 DC-DC 컨버터

### 1. 서 론

일반적으로 플라이백 컨버터의 회로방식은 적은 수의 소자와 간단한 제어방식, 다출력 구성이 용이하다는 장점 때문에 중소형 용량의 회로방식에 적극 이용되고 있다. 특히 플라이백 회로의 스위치에 흐르는 전류가 불연속에서 동작하는 경우 자연스럽게 영전류 스위칭이 가능하고, 불연속 구간에서 변압기의 자화인덕턴스와 스위치의 병렬 커패시턴스에 의해서 생기는 기생공진을 적절히 이용하면 소프트 스위칭 구현이 가능하기 때문에 한 개의 스위치를 이용한 소프트 스위칭 회로방식 구현이 가능하다. 최근, 불연속 구간에서 생기는 기생공진의 특성을 이용하여 스위치의 전압이 최저점에 이르렀을 때 턴온 시켜줄 수 있는 소위 Valley switching을 적용한 제어용 소자가 다수 출시되어 있다. 이러한 회로방식을 최근 QR(quasi resonant) 플라이백 컨버터로 알려져 있으며 고효율과 낮은 제조가격을 달성할 수 있기 때문에 소용량에서 대용량까지 폭넓게 이용되고 있다<sup>[1][2]</sup>.

본 논문에서는 최근 저전압 대전류의 출력특성에 적합한 회로구성 방법 중의 하나인 동기정류기를 QR 플라이백 컨버터에 적용하여 그 실험 결과를 보고한 것이다. 특히 본 논문에서 제안된 동기정류기는 동기정류기용 전원을 별도로 구성하지 않기 때문에 회로구성이 간단해지고 소모 전력을 줄일 수 있어서 효과적인 동작이 가능해진다. 실험회로는 12V, 200W급으로 구성하였으며 실험결과 전류 불연속 구간에서 정상적인 동기정류 기능을 하고 있음을 알 수 있었다.

### 2. 동기 정류기 구동회로

그림 1은 동기정류기를 적용한 플라이백 DC-DC 컨버터의 기본회로를 나타내었다.[3] 그림으로부터 CT와 I/V, FET로 간단한 동기정류기 회로를 나타내었다.  $i_D$ 는 동기정류기에 흐르는 전류를 나타낸 것이고, I/V는  $i_D$ 에 전류가 흐를 때 CT의 권선비에 의해 유기된 전류를 전압으로 바꾸는 회로이다. 그 전압은 FET  $Q_2$ 의 구동전압이 된다. 그림 2는 동기정류기로 구성한 회로이고 그림 3은 이론 등가 회로를 나타낸 것이다.

외부에서 플라이백 컨버터의 주스위치를 터 오프 되면 전류  $i_D$ 가 흐르게 되고 CT의 권선비( $1/N$ )에 의해서 전류  $i_{R1}$ 가 흐르게 된다. CT에 의해 유기된 전류는  $D_1$ 과  $R_1$ 을 통해 흐르면서 전압  $V_{R1}$ 은 전류  $i_D$ 와 비례하게 된다. 동기정류기의 드레인에 흐르던 전류  $i_D$ 에 의해  $Q_1$ 의 베이스에 인가되는 전압  $V_{R1}$ 의 크기가 결정되고,  $Q_1$ 의 베이스에 인가된 전압  $V_{R1}$ 에 의해서 턴 온 된다. 이때  $V_{R1}$ 에 걸리는 전압은 저항  $R_3$ 과  $R_4$ 는 전압비율에 따라 전압이 결정된다.

일반적으로 출력 전압으로 MOSFET를 구동하므로 출력 전압이 높거나 가변출력인 경우에는 별도의 보조전원이 필요하다. 하지만 구성한 동기정류기의 구동전압은  $R_3$ 과  $R_4$ 의 저항비율로 제한한다. 따라서 동기정류 스위치에 과도한 구동전압으로부터 보호가 가능하다. 분배된 전압  $V_{R4}$ 가  $Q_2$ 의 베이스에 인가되면  $Q_2$ 의 베이스 전압이 이미터 전압보다 크므로  $Q_2$ 는 턴 온 되므로  $Q_5$ 의  $v_{GS}$  전압을 발생하게 된다.  $v_{GS}$ 의 게이트 전압에 의해  $Q_4$ 는 턴 온 되면  $Q_4$ 의 내부 다이오드  $D_3$ 로 흐르던  $i_D$ 전류는  $Q_4$

로 흐르게 되어 저 전력 손실이 일어나게 된다. 그럼 3의 이론 동작 파형에서 알 수 있듯이 플라이백 컨버터의 주스위치가 턴 오프 되는 구간에서 동기정류기 드레인 전류  $i_D$ 가 흐르고 같은 기간동안 동기정류기 FET를 턴 온 시킬 수 있는 구동전압  $v_{GS}$ 가 발생 되고 있음을 보여주고 있다. 또한  $Q_1$ 의 베이스 전압을 저항  $R_1$ 과  $CT$ 의 권선비  $N$ 에 의해서 조절할 수 있기 때문에 구동전압의 테드타임  $t_D$ 를 조절할 수 있다.

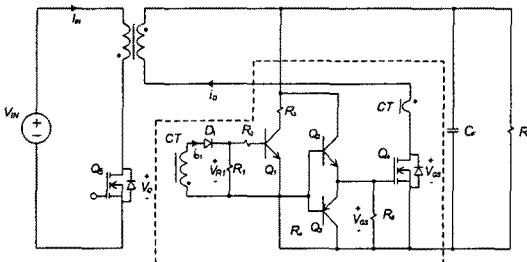


그림 2 동기정류기 회로

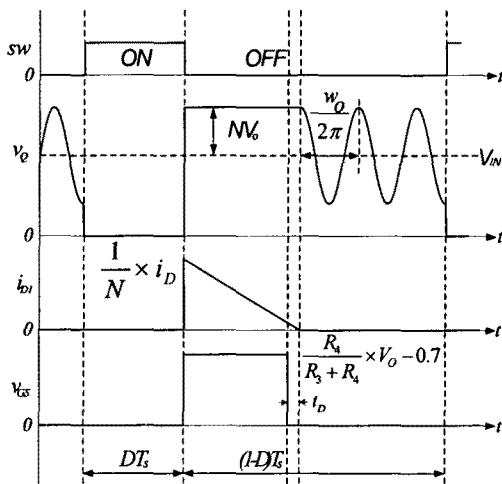


그림 3 이론 동작 파형

### 3. 실험 결과

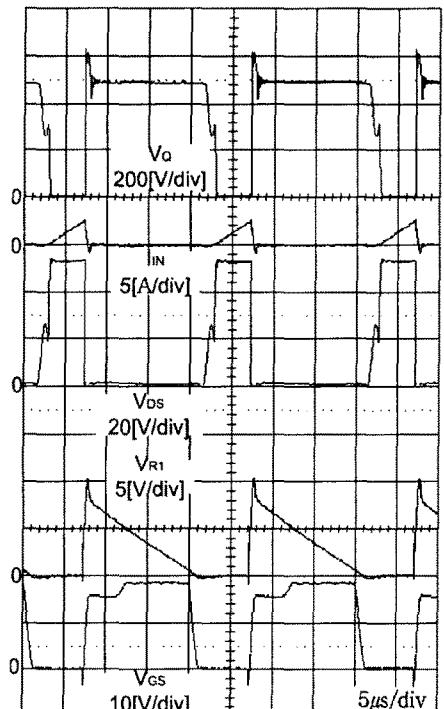
본 논문에서 제안한 동기 정류기 구동회로를 검증하기 위해서 표1과 같은 사양의 회로를 구성하였다. 표에서 알 수 있듯이 입력전압은 Two stage 방식을 고려하여 일정전압으로 가정하였고, 출력전압은 12V, 최대출력은 200W, 최대 출력전류는 16.6A로 설계하였다. 그림 4에는 본 논문에서 실현한 실험회로를 나타내었다. 특히 동기 정류기용으로 사용한 MOSFET는 필립스사의 PSMN015을 사용하였고, 스위치의 정격전압은 100V, 최대전류는 75A, 은저항은 15m이며 실험에서는 동기정류기의 효과를 최대화 하기위해서 2개를 병렬로 사용하였다.

그림 4의 (a)는 출력전력이 100W일 때 (b)는 출력전력이 150W일 때 1차측 주스위치의 전압과 전류 파형, 2차측 동기정류기 FET의 전압 파형을 보여주고 있다. 또한

2차측 동기정류기 구동회의  $V_{R1}$ 에 걸리는 전압과 동기 정류기 FET 게이트 파형을 보여주고 있다. 그림으로부터 QR 플라이백 컨버터의 주요특징 중의 하나인 주스위치가 턴오프 된 상태에서 기생공진을 확인할 수 있었으며, 150W출력에서 정상적으로 Valley switching 동작을 수행하고 있음을 알 수 있었다. 특히 2차측의 동기정류기 스위치에 흐르는 전류는 공진이 일어나기 직전까지 존재하며 전류/전압 변환 회로로부터 구동신호를 정상적으로 발생하고 있다는 것을 알 수 있었다. 구동전원은 제어회로 내부에서 존재하는 제너레이터 회로를 이용하였기 때문에 회로구성이 간단해 전다는 것을 알 수 있었다..

표 1 실험회로의 설계사양

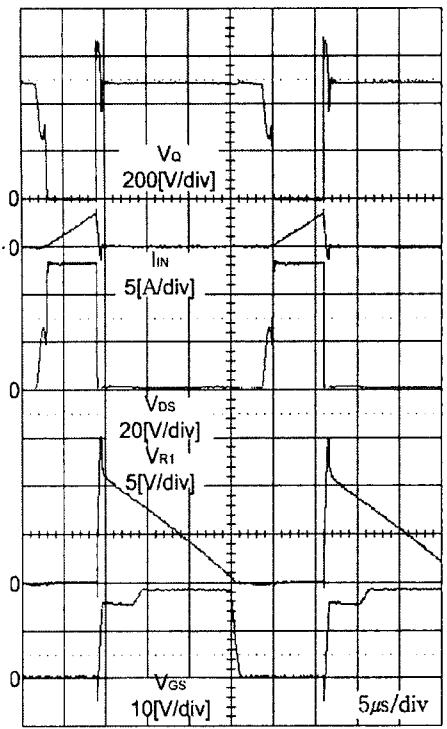
Parameter	Value	Unit
Input Voltage	400	V
Output Voltage	12	V
Maximum Load Current	16.6	A
Primary Turns Ratio	N <sub>1</sub> :N <sub>2</sub>	36 : 8
Magnetizing Inductance	L <sub>P</sub>	630 uH
Magnetizing Inductance	L <sub>S</sub>	4.3 uH



(a) Po=100W

### [참 고 문 헌]

- [1] JM, Zhang X.G. Xie D.Z Jiao Zhaoming, Qian "A High Efficiency Adapter with Novel Current Driven Synchronous Rectifiwe", Section on the 25th International Telecommunications Energy Conference Vol, E87-8, pp. 3471-3477, 2004, 10
- [2] Xuefei Xie, Joe Chui Pong Liu, Franki Ngai Kit Poon, Man Hay Pong "A Novel High Frequency Current-Driven Synchronous Rectifier Applicable to Most Switching Topologies" IEEE Transactions on Power Electronics, Vol. 16, pp.635-646, no. 5, September 2001
- [3] J M. Zhang, X.G. Xie, D.Z. Jiao, Zhaoming Qian, "A High Efficiency Adapter with Novel Current Driven Synchronous Rectifier" IEICE/EEE INTELEC'03, pp 205-210, Oct. 19-23, 2003



(b)  $P_o = 150W$

그림 4 실험 파형

## 4. 결 론

본 논문에서는 최근 저전압 대전류의 출력특성에 적합한 회로구성 방법 중의 하나인 QR 플라이백 컨버터에 새로운 동기정류기 구동회로를 적용하여 그 실험 결과를 보고한 것이다. 특히 본 논문에서 제안된 동기정류기는 동기정류기용 전원을 별도로 구성하지 않기 때문에 회로구성이 간단해지고 소모 전력을 줄일 수 있어서 효과적인 동작이 가능해진다. 실험회로의 입력전압은 Two stage 방식을 고려하여 일정전압으로 가정하였고, 출력전압은 12V, 최대출력은 200W, 최대 출력전류는 16.6A로 설계하였다. 실험결과 QR 플라이백 컨버터의 주요특징 중의 하나인 주스위치의 소프트 스위칭을 확인할 수 있었으며, 특히 2차측의 동기정류기 스위치에 흐르는 전류는 전류/전압 변환 회로로부터 구동신호를 정상적으로 발생하고 있다는 것을 알 수 있었다.

이 연구는 산업자원부·한국산업기술 평가원 지정 청주대학교 정보통신 연구센터의 지원에 의한 것입니다.