

스위칭 특성 향상을 위한 게이트 구동회로에 관한 연구

배진용^{*}, 김용^{*}, 백수현^{*}, 윤신용^{*}, 이규훈^{**}
 *동국대학교, **스마트비전텍

The Study on the Gate driver circuit for improved switching characteristics

Jin-Yong Bae^{*}, Yong Kim^{*}, Soo-Hyun Baek^{*}, Shin-Yong Yoon^{*}, Kyu-Hoon Lee^{**}
 *Dongguk University, **Smartvision Tech

Abstract – This paper discusses Gate-driver circuit for improved switching characteristics. This resonant gate-driver recycles the energy stored in the gate capacitance to reduce the turn-off switching loss associated with a conventional gate-driver. Reducing the loss reduces the power consumption and hence the subsequent power dissipation in the resonant gate-driver. The design considerations of implementing a practical MOSFET gate-driver using this topology are discussed.

1. 서 론

전력용 반도체 소자의 발달과 더불어 제어 기술의 진보에 따라 통신 및 산업용 분야에서 전력 변환 기술이 급속히 확산되고 있으며, 컨버터의 역률 및 효율 개선에 대해 다각적인 연구가 진행되고 있다.[1-7]

본 논문에서는 온·오프시 게이트 커패시터의 변화와 관련된 Miller Effect에 대하여 고찰하고, Miller 커패시터에 의한 온·오프 스위칭 손실과 특성에 중점적으로 살펴보자 한다. 동시에 MOSFET 구동회로에 응용 가능한 새로운 공진형 게이트 구동회로를 제안하고, 제안된 회로의 동작특성에 대하여 살펴보자 한다. 본 연구에서는 MOSFET을 사용하여 24[W]급 시작품을 제작하여 실험하였다.

2. 본 론

2.1 Miller Effect

Miller Effect은 그림 1의 (a)와 같이 시스템의 전체 이득값이 (-)인 경우 입력단과 출력단 사이의 커패시터가 그림 1의 (b)와 같이 입력단 병렬 커패시터로 영향을 미치는 효과이다.[1]

식(1)~(4)는 커패시터 전압 및 전류를 나타낸다.

$$V_C = V_{in} - V_{out} \quad (1)$$

$$V_{out} = -G \times V_{in} \quad (2)$$

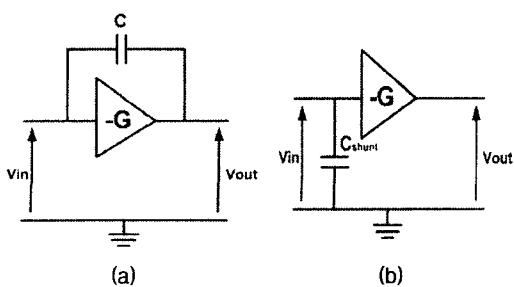


그림 1. Miller Effect

$$V_C = V_{in} - (-G \times V_{in}) = V_{in}(G + 1) \quad (3)$$

$$I_C = V_C \cdot j\omega C \quad (4)$$

$$C_{SHUNT} = \frac{I_C}{V_{in}} = \frac{V_C \cdot j\omega C}{V_{in}} = \frac{V_{in}(G + 1)}{V_{in}} = j\omega C(G + 1) \quad (5)$$

식(5)는 Miller Effect에 의한 병렬 커패시터 크기를 나타내며, 커패시터의 크기가 $(G + 1)$ 배 증가되는 특징을 지닌다.

그림 2는 MOSFET의 내부 커패시터를 나타낸다.

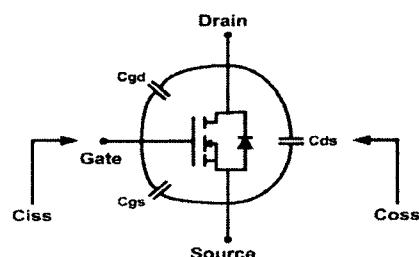


그림 2. MOSFET의 내부 커패시터

그림 2로부터 C_{iss} 와 C_{oss} 는 식(6),(7)과 같이 나타난다.

$$C_{iss} = C_{gd} + C_{gs} \quad (6)$$

$$C_{oss} = C_{gd} \cdot \frac{C_{gs} \times C_{gd}}{C_{gs} + C_{gd}} + C_{ds} \quad (7)$$

식(8)은 MOSFET에서 Miller Effect와 매우 밀접한 C_{gd} 에 관한 Miller Capacitance를 나타내며, 소자의 스위칭 특성을 결정하는데 매우 중요한 영향을 끼치고 있다.

$$C'_{gd} = C_{gd} \cdot \frac{1 - \Delta V_{ds}}{\Delta V_{gs}} [pF] \quad (8)$$

식(9)는 MOSFET의 역병렬 다이오드의 결합상태(Junction depletion)에 의해서 좌우되는 커패시터 C_{ds} 의 식을 나타낸다.

$$C_{ds} \propto \frac{1}{\sqrt{V_{ds}}} \quad (9)$$

2.2 전력용 MOSFET의 스위칭 특성

그림 3은 전력용 MOSFET의 게이트 전압에 따른 전류 특성을 나타내며, 문턱전압(V_T : Threshold Voltage)은 게이트 전압이 인가되어도 드레인 전류가 흐르지 않는 전압이고, 게이트 전압에 따른 전류 기울기를 g_m 으로 정

의하였다.

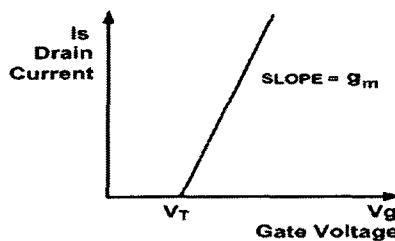


그림 3. MOSFET의 게이트 전압에 따른 전류 특성

그림 4,5는 스위치 온오프시 전력용 MOSFET 각부의 동작파형을 나타낸다.

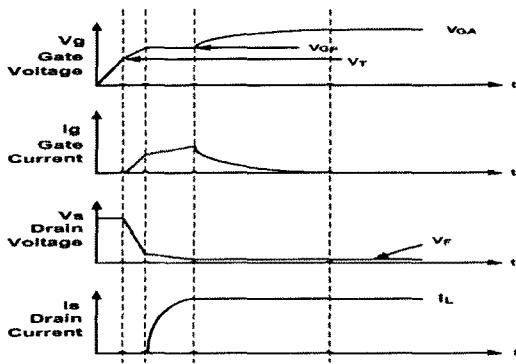


그림 4. 스위치 턴온시 MOSFET 각부의 동작파형

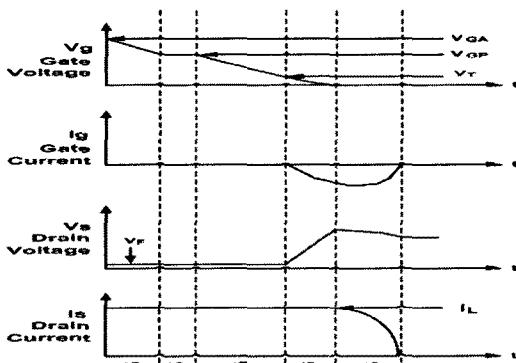


그림 5. 스위치 턴오프시 MOSFET 각부의 동작파형

1) Time Interval : t_1

이 시간은 게이트 전압 V_g 이 문턱전압 V_T 보다 작을 때이며, 드레인 전류 I_d 가 흐르지 않는 턴온 지연 시간이다. 이 시간동안 Miller Effect에 의해 입력 커패시터 $C_{iss} = C_{gs} + C'_{gd}$ 로 증가하는 시간이다.

2) Time Interval : t_2

게이트 전압 V_g 가 문턱전압 V_T 보다 커지면, 게이트 전류는 증가하며, 동시에 드레인 전압은 강하되는 시간이다.

3) Time Interval : t_3

시간 t_2 이후에 드레인 전압 V_d 가 스위치 역병렬 다이오드 전압 V_F 로 저감되는 시간이며, 드레인 전류 I_d 가 부하전류만큼 증가하는 시간이다. 이 시간동안 드레인 전압 V_d 는 감소하므로 스위칭 손실이 발생하는 주된 시간이다.

4) Time Interval : t_4

시간 t_4 는 스위치가 정상적으로 턴온된 상태이며, 게이트 전류는 점차 감소하는 구간이다. 이 시간의 게이트 전류는 식(19)와 같이 나타낼 수 있다.

5) Time Interval : t_5

게이트 전압이 V_{GA} 에서 V_{GP} 로 감소하는 시간이며, 게이트 커패시터가 방전하는 시간이다.

6) Time Interval : t_6

스위치 턴오프 지연시간인 이 시간동안 I_d 는 부하전류를 유지하고 있다.

7) Time Interval : t_7

시간 t_6 이후에 게이트 전압은 V_{GP} 에서 V_T 로 감소하는 시간이며, 드레인 전압과 전류는 아직 온 상태이다.

8) Time Interval : t_8

게이트 전압이 V_T 이하로 인가되면, 스위치 전압은 상승하며, 게이트 전류는 방전하는 구간으로 스위치 오프 손실이 발생하는 시간이다.

9) Time Interval : t_9

스위치 턴오프시 지연 시간으로 드레인 전류 I_d 가 감소되는 시간으로 스위치 오프 손실이 발생한다.

2.3 제안된 공진형 게이트 드라이브 회로

그림 8은 기존의 게이트 드라이브 회로를 나타낸다.

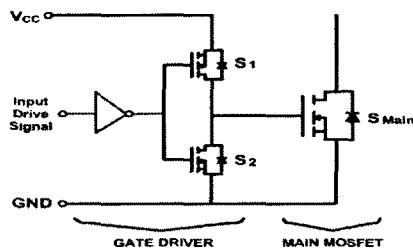


그림 8. 기존의 게이트 드라이브 회로

MOSFET의 게이트 커패시터를 좀더 빠르게 충방전시키기 위하여 전류 증폭을 위한 게이트 드라이브 회로가 주로 사용된다.

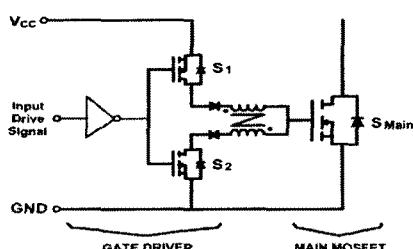


그림 9. 제안된 게이트 드라이브 회로

그림 9는 제안된 공진형 게이트 드라이브 회로를 나타낸다. 제안된 게이트 드라이브 회로는 결합 인더터를 추가하여 인더터와 게이트 커패시터 사이의 공진을 이용하여 게이트 전류를 감소시키는 장점을 지니며 동시에 향상된 스위칭 특성을 나타낸다.

2.4 실험결과 및 특성비교

제안된 이론의 타당성을 확인하기 위하여 입력 DC 15V, 출력 DC 24V/1A, 24W급의 시작품을 제작하여 시뮬레이션 및 실험하였다.

표 1은 하드웨어 제작에 사용된 소자와 회로 파라미터를 나타낸다.

그림 4. 하드웨어 제작에 사용된 소자와 회로 파라미터

입력전압 (V_{in})	DC 15 V
출력전압 (V_o)	DC 24 V
최대출력 (P_o)	24 W
승압 인덕터 (L_m)	38.57 μ H TDK
주 스위치 (S)	ISF5530A, Fairchild
주 다이오드 (D)	SB340, Fairchild
출력단 커패시터 (C_o)	1000 μ F

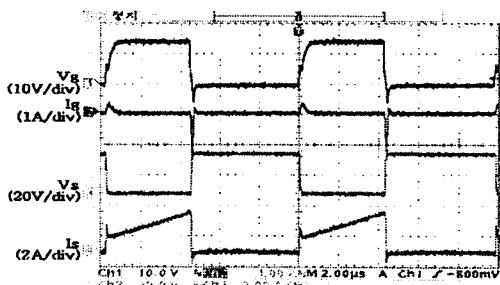


그림 10. 기존 방식의 게이트 전압, 전류 및 스위치 전압, 전류 파형 (100kHz 전부하)

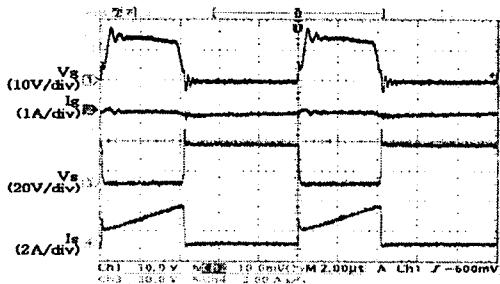


그림 11. 제안된 방식의 게이트 전압, 전류 및 스위치 전압, 전류 파형 (100kHz 전부하)

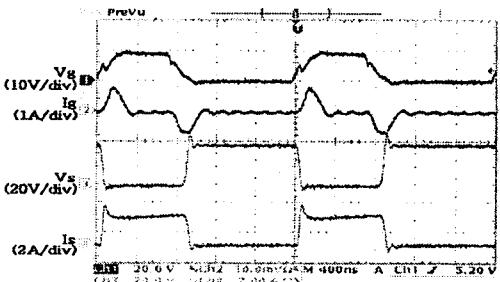


그림 12. 기존 방식의 게이트 전압, 전류 및 스위치 전압, 전류 파형 (500kHz 전부하)

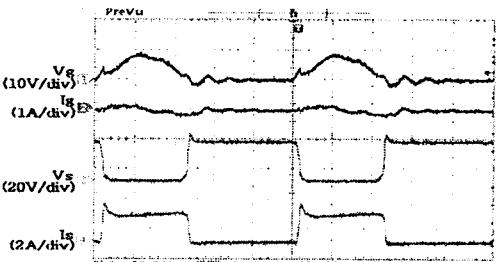


그림 13. 제안된 방식의 게이트 전압, 전류 및 스위치 전압, 전류 파형 (100kHz 전부하)

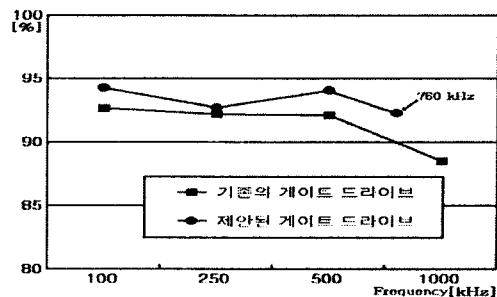


그림 14. 주파수에 따른 컨버터의 효율 (전부하)

그림 10, 12는 기존 방식의 게이트 전압, 전류 및 스위치 전압, 전류 파형을 나타내며, 그림 11, 13은 제안된 방식의 게이트 전압, 전류 및 스위치 전압, 전류 파형을 나타낸다. 제안된 방식의 게이트 드라이브 회로가 기존의 방식에 비하여 게이트 전류가 작아짐을 알 수 있으며, 동시에 게이트 터너프 시간이 다소 저감됨을 알 수 있다.

그림 14는 주파수에 따른 컨버터의 효율 특성을 나타낸다. 기존의 방식에 비하여 제안된 방식 터너프 손실이 저감되므로 컨버터의 효율이 2~3% 향상된 특성을 보인다. 그러나 제안된 공진형 게이트 드라이브 회로는 760kHz까지 동작하고 그 이상에서는 게이트 전압이 문턱전압(V_T : Threshold Voltage) 이하로 감소되는 특성을 보인다.

3. 결 론

본 논문에서는 스위치 온·오프 특성 분석과 함께 향상된 특성을 지닌 공진형 게이트 구동회로를 제안하였다. 제안된 게이트 구동회로는 일반적인 구동회로에 비하여 터너프 게이트 전류가 작으며, 터너프 손실이 저감되는 장점을 지닌다. 그러나 MHz 이상의 주파수에는 적합하지 않는 문제점을 지니고 있으며, 향후 고주파 게이트 구동회로에 대한 지속적인 연구가 필요할 것으로 판단된다.

[참 고 문 헌]

- [1] John M.Miller, "Dependence of the input impedance of a three-electrode vacuum tube upon the load in plate circuit. Scientific Papers of the Bureau of Standards, pp. 367~385, 1920.
- [2] I.D. de Vries, "A resonant power MOSFET/IGBT gate driver." in proc. Power Electron. Conf. 2002 pp. 179~185, 2002.
- [3] Y. Chen, F.C. Lee, L. Amoroso, and H.P. Wu, "A Resonant MOSFET Gate Driver With Efficient Energy Recovery," IEEE Transaction on Power Electronics, Vol. 19, pp. 470~477, March 2004.
- [4] R.J. Leedham, and R.A. McMahon, "Design of high speed power MOSFET driver and its use in a Half-Bridge converter," The Proceedings of The PEA'93, Vol. 2, pp. 407~412, September 1993.
- [5] T. López, G. Sauerlaender, T Duerbaum, and T Tolle, "A Detailed Analysis of a Resonant Gate Driver for PWM Applications," Proceedings of The APEC 2003, Vol. 2, pp. 873~878, Feb. 2003.
- [6] J.T. Strydom, M.A. de Rooij, and J.D. van Wyk, "A Comparison of Fundamental Gate-Driver Topologies for High Frequency Application," Proceedings of The APEC 2004, Vol. 2, pp. 1045~1052, 2004.
- [7] W. Tabisz, P. Graczki, F.C. Lee, "Zero-Voltage-Switched Quasi-Resonant buck and flyback Converters - Experimental result at 10MHz," IEEE Power Electronics Specialists Conference Record, 1987, pp. 404~413, 1987.