

# 스핀 밸브 트랜지스터의 소형화 공정 기술

김성동\*, 맹희영<sup>+</sup>

Fabrication technology for miniaturization of the spin-valve transistor

Sungdong Kim\*, Hee-young Maeng<sup>+</sup>

## Abstract

스핀 밸브 트랜지스터를 소형화 할 수 있는 공정 기술을 소개한다. 스핀 밸브 트랜지스터는 두 개의 실리콘 에미터, 컬렉터 사이에 다층 자성 금속 박막이 존재하는 구조를 갖고 있는 스핀트로닉스 소자이다. SU8을 절연층으로 사용한 접촉 패드의 도입, 실리콘 온 인슐레이터의 사용, 그리고 이온빔/습식 복합에칭 공정의 적용으로 수  $\mu\text{m}$ 까지 소형화 할 수 있었다. 트랜지스터의 소형화에 따른 특성 변화는 관찰되지 않았으며, 기존의 트랜지스터와 동일한 240%의 자기전류값을 나타내었다.

**Key Words :** 스핀 밸브 트랜지스터, 스핀트로닉스, 소형화

## 1. 서론

스핀 밸브 트랜지스터(spin-valve transistor)[1][2]는 열전자(hot electron)와 스핀 의존 전달 현상을 이용하는 스핀 일렉트로닉스 소자이다. 새로운 학문 영역인 스핀트로닉스(spintronics)에서는 전자의 전하 뿐 만 아니라 스핀 까지도 이용하고자 하며[3], 스핀 밸브 트랜지스터는 열전자의 스핀 전달 현상을 이해하는 데 유용한 도구로 사용할 수 있다. 또한, 스핀 밸브 트랜지스터는 상온에서 작은 자기장에 대해서도 높은 자기적 반응을 나타내어[4], 자기장 센서 또는 MRAM (magnetic random access

memory), 등에 응용이 가능하며 현재 이 분야에 대한 상용화 가능성에 대해 연구가 진행되고 있다.

스핀 밸브 트랜지스터는 금속 베이스 트랜지스터(metal base transistor)와 유사한 구조의 강자석-반도체 혼성 구조로, 금속 베이스 트랜지스터의 금속 베이스가 자성 다층 박막의 스핀 밸브로 구성되어 있다. 본 연구에서 사용한 스핀 밸브 트랜지스터는 n-형의 (100) 실리콘 에미터(emitter)와 컬렉터(collector), Pt/Ni<sub>80</sub>Fe<sub>20</sub>/Au/Co/Au의 베이스로 이루어져 있으며 그 구조도를 그림 1에 나타내었으며, 작동 원리는 다음과 같다. Si/Pt 에미터의 쇼트키 다이오드(Schottky diode)에 전압을 정방향으로 인가하

\* 김성동, 서울산업대학교 기계설계 자동화공학부(sdskim@snut.ac.kr)

주소: 139-743 서울시 노원구 공릉2동 172 서울산업대학교

+ 맹희영, 서울산업대 기계설계 자동화공학부

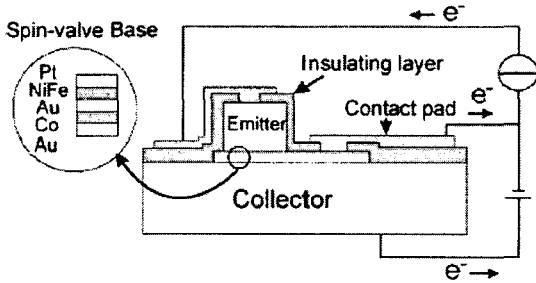


Fig. 1. Schematic diagram of spin-valve transistor

면, 전자들이 약 0.9eV의 에너지를 갖고 에미터에서 베이스 층으로 주입된다. 이 잉여 에너지를 가진 전자들을 열전자라고 부르며, 이 열전자들이 베이스 층을 통과할 때 산란현상을 겪게 되는데 이때 산란 정도는 스핀 밸브 베이스를 구성하는 두 자성층의 상대적인 자화 방향에 따라 달라진다. 베이스 층을 통과하여 컬렉터에 도달한 전자들 가운데 산란현상을 적게 겪어 모멘트와 에너지가 많이 변화하지 않은 전자들은 컬렉터 층의 에너지 장벽을 넘어 컬렉터 전류로 검출할 수 있는 반면에, 산란현상으로 인해 모멘트와 에너지가 많이 변화한 전자들은 컬렉터 층의 에너지 장벽을 넘지 못하고 다시 베이스 층으로 되돌아가 베이스 전류를 통해 밖으로 나오게 된다. 금속 베이스 트랜지스터나 스핀 밸브 트랜지스터의 경우 모두 증폭 현상은 나타나지 않으나, 센서나 MRAM 등의 스핀 일렉트로닉스 응용분야에 사용하는 데는 문제가 없다.

지금까지 스핀 밸브 트랜지스터의 에미터 크기는 공정상의 제약으로 인해  $350 \times 350 \mu\text{m}^2$ 가 최소 크기로[5] 일반적인 스핀 밸브 트랜지스터의 특성 연구나 범용 자기장 센서 등의 응용에는 불편함이 없으나, MRAM 또는 하드디스크의 재생 센서 등에 사용하기 위해서는 크기를 줄일 필요가 있다. 따라서 본 논문에서는 스핀 밸브 트랜지스터의 크기를 줄일 수 있는 새로운 공정을 제안하고, 이를 이용한 트랜지스터의 소형화에 따른 트랜지스터 성능 변화를 관찰하여 새로운 공정의 적용 가능성을 알아보려고 한다.

## 2. 기존 방식의 문제점 및 개선방안

스핀 밸브 트랜지스터의 올바른 동작을 위해서는 양질의 쇼트키 장벽을 형성하는 것이 필요하다. 쇼트키 장벽은 금속과 실리콘의 접촉 시 경계에 형성되며, 장벽의 높이는 금속의 종류와 접촉 계면의 성질에 의해 결정된다. 현재까지의

기술로는 금속 박막위에 양질의 실리콘을 성장시키는 것이 불가능하므로, 본 연구에서는 두 개의 실리콘 사이에 금속 박막층을 형성하기 위해 금속-금속 접합 기술을 사용하였다 [6]. 접합된 실리콘-금속-실리콘 구조는 일반적인 리소그래피(lithography) 및 건식, 습식 에칭 공정을 이용하여 소형화 하였다.

기존의 스핀 밸브 트랜지스터 제작공정은 참고문헌 5에 잘 소개되어 있다. 기존의 공정을 이용하여 트랜지스터를 소형화 하기 위해서는 크게 3가지의 문제를 해결해야 하며, 각각의 문제와 그에 대한 본 공정의 해결책은 다음과 같다. 기존 공정을 이용한 트랜지스터는  $1 \times 1 \text{mm}^2$ 에서  $350 \times 350 \mu\text{m}^2$ 까지의 크기를 가지며, 금을 이용한 와이어 본딩(wire bonding) 방법으로 외부 회로와 연결 되었다. 따라서 와이어 본딩에 필요한 최소 면적인  $200 \times 200 \mu\text{m}^2$  이하로 트랜지스터의 크기를 줄이는 것이 어려웠으나, 본 논문에서 소개하고자 하는 새로운 공정에서는 접촉 패드(contact pad)를 형성하고 접촉 패드에 와이어 본딩을 하여 외부 회로와 연결함으로써 트랜지스터의 크기를 줄일 수 있다. 이때 접촉 패드와 트랜지스터와의 절연을 위해 SU8 폴리머[7]를 절연층으로 사용하였다. 두 번째로 기존의 공정에서는 에미터를 형성하기 위해  $360 \mu\text{m}$  두께의 실리콘 웨이퍼를  $30 \mu\text{m}$  두께까지 습식방식으로 에칭하였으나, 이 경우 에미터의 크기가 줄어들어 따라 길이 대 높이비가 커져 후공정상의 어려움이 발생하고 특히 에미터 접촉 패드의 형성이 불가능해진다. 이러한 문제를 해결하기 위해 본 공정에서는 실리콘 온 인슐레이터(SOI, silicon on insulator) 웨이퍼를 사용하였다. SOI 중간의 산화실리콘 절연층이 과도한 에칭을 막아주는 역할을 함으로써 기존의 시간의존 에칭방식에 비해 공정의 안정성이 높아졌을 뿐 아니라, 에미터의 높이를  $3 \mu\text{m}$ 까지 낮출 수 있어 길이 대 높이비의 개선을 통한 소형화가 가능하다. 세 번째로 베이스의 가공 시 이온빔 에칭으로 인해 컬렉터 실리콘 층에 손상이 발생하여 누설 전류로 인한 트랜지스터 특성 저하의 원인이 되고 있다. 기존의 공정에서는 이를 방지하기 위해 이온빔 에칭 후 컬렉터 실리콘의 손상부분을 습식 에칭을 통해 제거하고 있으나, 습식 에칭시 에미터도 함께 에칭되는 단점이 있어 트랜지스터의 소형화에 걸림돌이 되고 있다. 본 공정에서는 베이스 가공을 위해 이온빔 에칭과 습식 에칭을 복합적으로 사용함으로써 컬렉터 실리콘의 손상을 원천적으로 방지하였다.

### 3. 제작 공정

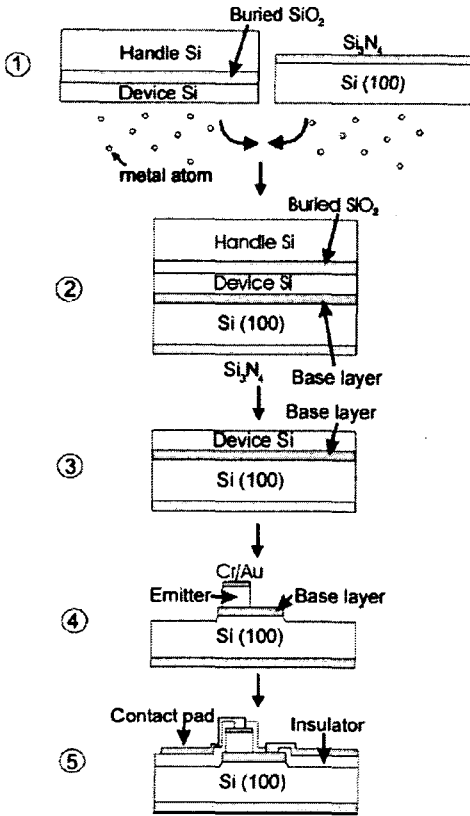


Fig. 2. Schematic diagram of the fabrication process

그림 2에 본 공정의 개략도를 나타내었다. 우선 에미터용 SOI 웨이퍼와 컬렉터용 n-형 실리콘 웨이퍼 위에 30 nm 두께의 산화층을 형성한다. 이 산화층은 표면을 평탄하게 하고 후 공정에서 실리콘 층을 보호하는 역할을 한다. SOI 웨이퍼와 n-형 실리콘 웨이퍼를 각각 11.9×17.9 mm<sup>2</sup>, 11.9×20.9 mm<sup>2</sup>로 자른 후 100% HNO<sub>3</sub>, 1% HF, 5% TMAH, 50% HF 순으로 전처리 하여 불순물과 산화층을 제거한다.

전처리한 웨이퍼들을 특별히 고안한 접합 기구에 장착 후 고진공 MBE(molecular beam epitaxy) 시스템에 장입한다. 진공도가 10<sup>-10</sup> Torr에 이르면 자성 박막의 증착을 시작한다. 초기에 컬렉터 웨이퍼는 가리개로 가려져 있다가 Pt 2nm/Ni<sub>80</sub>Fe<sub>20</sub> 3nm/Au 4nm/Co 3nm의 박막층을 에미터 웨이퍼에 증착한 후 가리개를 열어, 마지막 Au 2nm를 에미터와 컬렉터 두 웨이퍼 상에 동시에 증착한다. 마지막 Au를 두

웨이퍼에 증착하다 접합 기구를 가동하여 두 웨이퍼를 그림 2의 1에 나타난 바와 같이 맞붙임으로써 그림 2의 2에 나타난 것과 같이 SOI/Pt/NiFe/Au/Co/Au//Au/Si 구조를 형성한다. 여기서 //는 금속 접합부를 나타낸다.

그림 2의 2의 구조를 85°C에서 TMAH 10%의 용액으로 에칭하여 SOI 웨이퍼의 핸들 실리콘 부분을 제거하고, 가운데 실리콘 산화층도 BHF 용액으로 마저 제거한다. 최종적인 구조는 그림 2의 3에 나타난 것과 같으며 이때 디바이스 실리콘의 두께는 5 μm이다.

리프트 오프(lift off) 방식으로 Cr/Au 마스크를 형성한 후 디바이스 실리콘을 에칭하여 에미터를 형성한다. 본 연구에서는 크기변화에 따른 특성 변화를 관찰하기 위해 300×300 μm<sup>2</sup>부터 10×10 μm<sup>2</sup>까지 다양한 크기의 에미터를 제작하였다.

베이스 층을 가공하기 위해서 기존에는 이온빔 에칭만을 사용하였으나 앞 절에서 기술한 바와 같이 이온빔 가공으로 인한 컬렉터 웨이퍼의 손상과 이를 제거하기 위한 후 습식 에칭 공정 중의 에미터 구조의 파손이 문제가 되고 있다. 따라서 본 논문에서는 베이스 가공 시 이온빔 에칭을 마지막 Au 층에서 멈추고 남은 Au층을 KI 용액을 이용하여 제거함으로써 컬렉터 웨이퍼의 손상을 근본적으로 방지하는 공정을 개발하였다. 그림 2의 4는 베이스 가공 후의 트랜지스터 단면을 나타내고 있다.

접촉 패드를 형성하기 위해 트랜지스터와 접촉 패드와의 연결부 이외에는 모두 절연시킬 필요가 있으며, 효과적인 절연층의 형성을 위해 감광재료인 SU8(Microresist, mr-L6500.5exp)을 사용하였다. SU8은 저온 공정이 가능하며, 내화학성 및 열적 안정성이 뛰어나고 무엇보다 기존에 널리 쓰이는 절연재료인 SiO<sub>2</sub>나 Si<sub>3</sub>N<sub>4</sub>에 비해 공정 수가 줄어든다는 장점이 있다. 300 nm 두께의 SU8을 도포 후 일반적인 노광공정과 리프트 오프 공정을 거쳐 Cr/Au 접촉 패드를 형성한다. 접촉 패드 형성 후의 형상을 그림 2의 5에 나타내었다. 마지막으로 접촉 패드위에 Au를 이용한 와이어 본딩을 하여 외부 회로와 연결한다.

### 3. 개선 결과 및 특성

그림 3은 개선된 공정을 이용하여 제작된 스핀 밸브 트랜지스터의 주사전자현미경 사진이다. 컬렉터는 절연층으로 덮

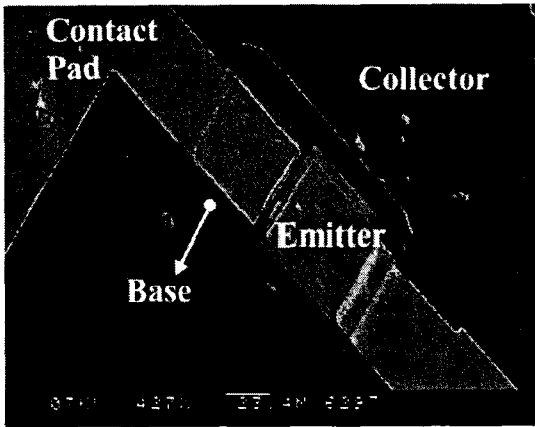


Fig. 3. Scanning electron microscopy image of the fabricated spin-valve transistor

혀 있으며, 절연층 위로 Au 접촉 패드가 각각 베이스와 에미터에 연결되어 있음을 볼 수 있다. 컬렉터의 연결 부분은 사진 밖의 영역에 형성되어 있다.

스핀 밸브 트랜지스터의 특성은 자기장 변화에 대한 컬렉터 전류값의 변화 비로 나타내며 이를 자기전류(MC, magnetocurrent)라 한다.

$$MC = \frac{I_C^P - I_C^{AP}}{I_C^{AP}}$$

이때  $I_C^P$ 는 최대 컬렉터 전류값,  $I_C^{AP}$ 는 최소 컬렉터 전류값을 나타낸다. 스핀 밸브 트랜지스터의 크기 변화에 따른 자기전류값의 변화를 그림 4에 나타내었다. 그림에 나타난 바와 같이 트랜지스터의 크기가 줄어들어도 자기전류값은 크게 변화하지 않으며 기존 공정으로 제작된  $300 \times 300 \mu\text{m}^2$  크기의 스핀 밸브 트랜지스터와 같은 240%의 값을 나타내고 있다. 이와 같은 결과로부터 본 논문에서 제안한 새로운 공정이 스핀 밸브 트랜지스터의 특성에 영향을 미치지 않음을 알 수 있다.

#### 4. 결론

스핀 밸브 트랜지스터를 소형화 할 수 있는 새로운 공정을 제안하였다. SU8을 절연층으로 사용한 접촉 패드의 도입, 실리콘 온 인슐레이터의 사용, 그리고 이온빔/습식 복합에칭 공정의 적용으로 수  $\mu\text{m}$ 까지 소형화 할 수 있었으며, 특성 측정

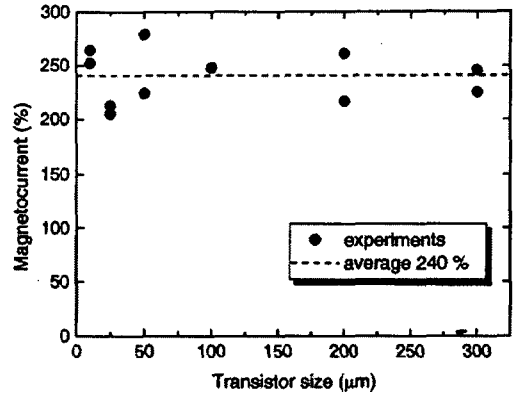


Fig. 4. Dependence of magnetocurrent on transistor size

결과 기존의 방식과 동일한 특성을 나타내었다. 따라서 새로운 공정을 이용하여 스핀 밸브 트랜지스터의 특성을 유지하면서 성공적으로 소형화 할 수 있음을 알 수 있다.

#### 참고 문헌

- (1) D. J. Monsma, J. C. Lodder, Th. J. A. Popma, and B. Dieny, "Perpendicular hot electron spin-valve effect in a new magnetic field sensor: The spin-valve transistor," *Phys. Rev. Lett.*, vol. 74, no. 26, pp. 5260-5263, June 1995.
- (2) D. J. Monsma, R. Vlutters, and J. C. Lodder, "Room temperature-operating spin-valve transistor formed by vacuum bonding," *Science*, vol. 281, pp. 407-409, July 1998.
- (3) G. A. Prinz, "Magnetoelectronics," *Science*, vol. 282, pp. 1660-1663, Nov. 1998.
- (4) R. Jansen, O. M. J. van't Erve, S. D. Kim, R. Vlutters, P. S. A. Kumar, and J. C. Lodder, "The spin-valve transistor: Fabrication, characterization and physics," *J. Appl. Phys.*, vol. 89, no. 11, pp. 7431-7436, June 2001.
- (5) P. S. A. Kumar, R. Jansen, O. M. J. van't Erve, R. Vlutters, P. de Haan, and J. C. Lodder, "Low-field magnetocurrent above 200% in a spin valve transistor at room temperature," *J. Magn. Magn. Mat.*, vol. 214,

pp. L1-L6, May 2000.

(6) T. Shimatsu, R. H. Mollema, D. Monsma, E. G. Keim, and J. C. Lodder, "Metal bonding during sputter film deposition," *J. Vac. Sci. Technol. A*, vol. 16, no. 4, pp. 2125-2131, July-Aug. 1998.

[7] K. Y. Lee, N. LaBianca, S. A. Rishton, S. Zolgharnain, J. D. Gelorme, J. Shaw, and T. H.-P. Chang, "Micromachining applications of a high resolution ultrathick photoresist," *J. Vac. Sci. Technol. B*, vol. 13, pp. 3012-3016, Nov.-Dec. 1995.