【TP-14】

원자층 증착기구(ALD)를 이용한 Zirconia/Titania 다층 박막의 Gate Oxide용 특성 평가

정대균, 이진우, 김지영
국민대학교 신소재공학부

반도체 소자가 미세화 됨에 따라 게이트 유전막으로 사용되는 SiO_2의 박막화가 요구되나, boron penetration에 의한 Vt shift, 게이트 누설전류, 다결정 실리콘 게이트의 depletion effect 그리고 quantum mechanical effect 때문에 ~20Å급에서 한계를 나타내고 있다. 이를 개선하기 위해 고유전상수와 열적 안정성을 갖는 대체 절연막에 대해 활발한 연구가 진행되고 있다. 특히 ZrO_2와 TiO_2는 high k dielectric 재료로서 활발한 연구가 이루어지고 있다.

TiO_2는 고 유전율을 갖는 물질로서 전자재료로 사용시 뛰어난 성능을 발휘 할 것으로 기대 된다. 그러나 Si 과의 열적안정성이 떨어지며, 고온에서 TiSi 계면층을 형성 하는 등 많은 문제점을 가지고 있다. 이에 ZrO_2를 사용하여 buffer layer로 사용하였으며 TiO_2 층을 multi layer로 증착하여서 박막에서의 문제점을 해결하였다.

본 실험에서는 Si wafer에 ALD를 이용하여 ZrO_2 박막을 증착하여서 buffer layer로 사용하였으며 TiO_2를 증착하였다. TiO_2 층이 두꺼울 때 낮은 band gap으로 인해서 누설전류가 증가할 것으로 예상되어서 ZrO_2를 증착하였으며 최종적으로 TiO_2를 증착한 $TiO_2/ZrO_2/TiO_2/ZrO_2$/Si wafer의 4층 구조의 oxide 박막을 제작하였다.

박막의 특성 분석을 위해서 XRD를 통한 결정화 분석, HR-TEM을 이용한 박막의 image 및 결정화 분석 및 두께분석을 할 수 있었으며, Dark field image를 통해서 다층 박막간의 구분을 비교해 보았다. 또한 AES depth 분석과 EDS point analysis를 통해서 각 층의 성분을 분석할 수 있었으며, 열처리를 통해서 ZrO_2와 TiO_2 박막의 결정화 변화 및 TiO_2 층의 Si wafer로의 확산으로 인해서 TiSi 층의 생성 여부를 측정할 수 있었다. 또한 C-V , I-V 측정을 통해서 capacitance로서의 gate oxide 적용가능성을 분석해 보았다.