

SOI를 이용한 Non-classical Nano-CMOS 소자 기술

조원주, 안창근, 임기주, 양종현, 백인복, 이성재, 박경완*
한국전자통신연구원 미래기술연구본부 나노전자소자팀
*서울시립대학교 나노과학기술학과

실리콘 시대(Silicon Age)라고까지 불리울 만큼 현대의 정보화 사회를 이끈 트랜지스터 기술은 라디오, 컴퓨터, 인터넷 등을 거쳐 현재 우리의 생활의 구석구석까지 파고 들어서 이제 우리의 일상 생활에서 없어서는 안되는 필수불가결한 요소이며, 언제 어디서나 정보를 이용할 수 있는 유비쿼터스(Ubiquitous) 정보통신사회를 실현하는 핵심 전자부품으로서 자리매김하고 있다. 이러한 결과로, 오늘날 생산되고 있는 MOS(Metal-Oxide-Semiconductor) 트랜지스터는 게이트 길이가 100 nm 이하의 크기까지 발전하였다. 그러나 MOSFET소자의 게이트 길이가 100 nm 이하 크기로 줄어들어서도 고속으로 동작을 하려면 소스/드레인 영역에서의 기생 커패시턴스가 충분히 작아야 하고, 또한 단채널 효과(short channel effects)를 억제하기 위해서는 게이트 전계가 드레인 접합의 공핍층을 충분히 제어하여야 한다. 이와 같은 기생 커패시턴스 문제는 SOI(Silicon-On-Insulator)기판을 사용하면 해결할 수 있으며, 또한 단채널 효과는 초박막(ultra-thin body) SOI MOS 트랜지스터 구조로 해결할 수 있다.

본 논문에서는 100 nm 이하의 게이트 길이를 가지면서 종래의 벌크 실리콘을 이용한 MOSFET에서는 실현하기 어려운 Non-classical MOSFET를 제작하는 공정 및 소자 구조에 관한 연구 결과를 보고한다. 먼저, 초미세 SOI-MOSFET를 제작에 있어서 핵심공정기술인 소스/드레인 영역의 도핑방법에 대하여 시뮬레이션을 통하여 최적의 소자 특성을 달성할 수 있는 접합 깊이를 예측하였으며, 무결합의 고농도 소스/드레인 영역 형성을 위한 고상확산(SPD: Solid-Phase Diffusion)방법으로 제작한 게이트 길이가 30 nm의 N-MOSFET 및 P-MOSFET 소자에 대하여 설명한다. 그리고, 얇은 접합을 형성하기 위하여 불순물을 이온 주입한 후에 후속 열처리 공정을 생략하여 트랜지스터를 제작하는 새로운 공정 기술에 대하여 소개한다. 또한, 고유전율 게이트 절연막을 실제의 소자에 적용하기 위해서는 소자 제작공정이 낮아져야 하며, 이 같은 조건을 만족시킬 수 있는 저온 활성화 기술에 대해서도 설명한다. 10 nm 이하의 게이트 길이를 형성하기 위하여 무기 레지스터와 유기 레지스터를 조합한 하이브리드 리소그래피 공정기술에 대하여 소개한다. 이와 같은 공정 기술을 적용한 Non-classical SOI MOSFET의 새로운 소자 구조에 대한 소개와 제작 공정, 그리고 다

양한 구조의 소자에서 얻어진 동작 특성에 대해서 설명하고, 마지막으로 실리콘을 이용한 Non-classical CMOS 기술의 향후 전망에 대해서 논의한다.

[참고문헌]

1. Won-ju Cho et al., "Characteristics of solid-phase diffused ultra-shallow junction using phosphorus doped silicon oxide films for fabrication of sub-100nm SOI MOSFET" Journal of Material Science, Vol.39, pp.1819-1821 (2004).
2. Won-ju Cho et al., "Fabrication of 50 nm-gate SOI n-MOSFETs using novel plasma doping technique" IEEE EDL Vol.25, No.6, pp.366-368 (2004).