

*이 진우, *황 석기, *신 경욱

*금오공과대학교 전자공학부

*ch97j@kumoh.ac.kr, *ultrastone77@kumoh.ac.kr, *kwshin@kumoh.ac.kr

Variable-Precision Multiplier Core Generator for Low-Power DSP Applications

*Jin-Woo Lee, *Seok-Ki Hwang, *Kyung-Wook Shin

*Kumoh National Institute Of Technology

요약

본 논문에서는 사용자의 필요에 따라 원하는 사양의 승산기를 자동으로 생성하는 가변 정밀도 승산기 생성기 (Variable-Precision Multiplier Generator; VPM_Gen)를 개발하였다. VPM_Gen은 승수와 피승수의 비트 수와 승산 결과의 절사 비트 수에 따라 총 3,455 종류의 승산기 코어를 Verilog-HDL 모델로 생성한다. 승산 결과가 절사되는 경우, 절사되는 부분의 회로를 생략함으로써 게이트 수와 전력소모가 각각 최대 40%와 30% 정도 감소되어 저전력/저면적을 필요로 하는 DSP 응용분야에 적합하다. 또한, radix-4 Booth 승산기에 적합한 오차보상 회로를 적용함으로써 최소화된 절사오차 특성을 갖는다.

I. 서론

디지털 통신 및 신호처리 회로를 구성하는 핵심 연산 장치인 승산기는 응용분야 및 시스템에 따라 요구되는 사양 (승수, 피승수 및 승산 결과의 비트 수)이 달라지며, 전력소모, 면적, 동작속도의 측면에서 전체 시스템의 성능에 큰 영향을 미치는 블록이다. 특히, 최근의 휴대형 멀티미디어 단말기의 급속한 발전 추세에 따라 저전력/저면적/고성능 승산기 코어의 중요성이 증대되고 있다.

이에 Xilinx에서는 Multiplier Generator를 IP로 제공하고 있다.^[1] 이 생성기는 입력 비트가 최대 64-b까지 지원되며, 승산기 모델 생성시 여러 가지 옵션을 제공하고 있어 사용 목적에 따라 다양하게 생성할 수 있으나 FPGA Implementation에 목적을 두고 있어서 사용분야에서는 제한적일 수밖에 없다.

본 논문에서는 디지털 통신 및 신호처리 회로에서 필요로 하는 다양한 사양의 승산기를 효율적으로 설계할 수 있는 가변 정밀도 승산기 생성기 (Variable-Precision Multiplier Generator; VPM_Gen)를 개발하였다. 승수와 피승수의 비트 수를 8-b~32-b 범위에서 선택하고 승산 결과를 최대 32-b까지 절사할 수 있는 VPM_Gen은 총 3,455 종류의 승산기 코어의 Verilog-HDL 모델을 생성한다. 또한, radix-4 Booth 승산기에 적합한 오차보상 회로를 적용함으로써 최소화된 절사오차 특성을 갖는다.

II. 오차 보상 알고리즘

1. 기존 오차 보상 알고리즘

절사형 승산기의 오차보상 방법으로는 확률적 접근방

법에 기초한 고정오차보상 방법과 근사화된 캐리의 합을 이용하여 오차보상 회로를 만드는 가변오차보상 방법이 있다. 절사된 하위 비트의 부분곱에서 발생될 수 있는 캐리의 확률을 토대로 고정된 보상값을 구하는 방법^[2]은 추가적인 회로가 필요 없는 장점은 있으나, 오차보상에도 불구하고 절사오차가 비교적 크다는 단점이 있다. 한편, 절사된 부분곱에서 발생될 수 있는 캐리에 대한 확률 분석을 토대로 절사된 부분의 최상위 비트의 캐리 합을 생성하고 이를 가산해 줌으로써 절사 오차를 최소화하기 위한 방법^[3]도 제안되었다.

2. 제안된 오차 보상 알고리즘

본 논문에서는 부분곱의 절사된 부분을 이용하여 근사화된 보상 캐리를 생성하고 이를 가산하는 가변오차보상 개념^[4]을 절사형 Booth 승산기에 적용할 수 있도록 변형하였으며 아래의 식(1)과 같이 표현된다.

$$\alpha_{n-1} \cong \bar{\alpha}' = \begin{cases} \sum_{k=1}^{\frac{n-1}{2}} x_{2k-1}y_{(n-1)-(2k-1)} + 1 & \text{if } \beta = 0 \\ \sum_{k=1}^{\frac{n-1}{2}} x_{2k-1}y_{(n-1)-(2k-1)} & \text{if } \beta > 0 \end{cases} \quad (1)$$

$$\beta = \sum_{i+j=n-1} x_i y_j = x_{n-1}y_0 + x_{n-2}y_1 + \dots + x_0 y_{n-1} \quad (2)$$

식(1)은 생성된 부분곱의 하위 비트 절반을 절사하는 경우에 생성되는 캐리의 합을 표현한 것이며, Booth 승산기의 오차 보상에 적용함으로써 기존의 배열 승산기에