

# 상태전이경로와 BM 연산 감소기법을 적용한 적응 비터비 복호기

고형민, 조원경, 김진상, 김영수  
경희대학교  
coolguy@vlsi.kyunghee.ac.kr

## An Adaptive Viterbi Decoder Using Reduction of State Transition Paths and Branch Metrics

Hyoungmin Ko, Won-Kyung Cho, Jinsang Kim and YoungSoo Kim  
Kyung Hee University

### 요 약

제 2 세대 및 제 3 세대 이동 통신의 오류정정코드 기능으로 사용되는 비터비 복호기 알고리즘은 많은 연산량을 차지하고 구속장의 길이  $K$  가 표준에 따라 다르므로, 소프트웨어 라디오와 같은 응용을 위해서는 비터비 알고리즘을 효율적으로 처리할 수 있는 하드웨어 구조의 개발이 필요하다. IS-95 와 GSM 표준의 경우, 비터비 알고리즘은  $K=7$  이며, WCDMA 와 CDMA2000 의 경우  $K=9$  가 사용된다. 본 논문에서는 비터비 복호과정에서 필요한 상태전이경로와 branch metric 연산을 감소시켜  $K=3\sim 9$  범위의 구속장과  $1/2\sim 1/3$  범위의 데이터를 까지 복호 할 수 있는 적응 비터비 복호기의 하드웨어 구조를 제안한다. Altera Cyclone EP1C20F400C8 디바이스를 타겟으로 프로토타이핑 한 결과, 제안된 하드웨어 구조는 최대 19,276 의 로직 엘리먼트와 최대 222.6mW 의 소비전력이 필요함을 확인하였다.

**Key words** : adaptive, software-defined radio, state transition path, trellis, viterbi decoder

### I. 서론

통신 시스템이 진화되고 멀티미디어 형태의 정보전송이 필요함에 따라, 많은 정보를 빠르고 효율적으로 전송하는 일은 갈수록 중요하다. 그러나 통신 채널에서 발생하는 잡음, 페이딩, 간섭 등에 의해 정보 손실이 발생하며, 이로 인하여 발생하는 오류를 효율적으로 극복하기 위해서는 오류정정부호의 사용이 필수 불가결하다. 이러한 오류정정부호 부호는 송신단에서 정보 비트 (information bit) 에 패리티 비트 (parity bit) 를 추가하여 전송하고, 채널을 통하여 수신된 비트들을 수신단에서 효과적으로 복호하여 정보 비트의 신뢰성을 높이는 기술이다. 1948 년 "정보의 전송률이 채널용량보다 작으면 오류 없이 정보를 전송할 수 있다" 는 Shannon 의 연구결과 발표 후, 우수한 오류정정 성능을 나타내는 오류정정부호 설계 방법에 대해 지속적으로 연구되어 왔다[1].

제 2 세대 및 제 3 세대 이동 통신 시스템에 가장 많이 사용되는 비터비 알고리즘은 많은 연산량이 필요하고 구속장과 데이터율이 표준마다 다르므로, 이를 고속으로 처리할 수 있는 효율적인 하드웨어 구조에 대한 연구가 필요하다. 예를 들어 IS-95 와 GSM 표준의 경우  $K=7$  이 사용되며, WCDMA 와 CDMA2000 는  $K=9$  가 사용된다[2]. 기존의 복호기들은 하나의 표준에 맞게 설계 되어 있어서 서로 다른 표준에서는 사용이 불가능하다. 하나의 표준 방식에서는 복호 기능을 수행 할 수 있지만 여러 서로 다른 표준을 만족하기 위해서는 그 만큼의 서로 다른 복호기가 필요하다.

기존의 적응형 비터비 복호기는  $K=7$  까지만 복호가 가능하였고  $2^{k-1}$  개의 BM 및 ACS 블록이 필요 하였다.

이는 IMT-2000 시스템 ( $K=9$  가 사용)에는 적합하지 않았다. 또한 많은 수의 BM 과 ACS 블록이 필요 하였다.

본 논문에서는 다양한 통신표준에 적용할 수 있는 적응형 비터비 복호기의 하드웨어 구조를 제안한다. 제안된 하드웨어 구조는 복호과정에 필요한 상태전이경로를 감소시켜 구속장이  $K=3\sim 9$  까지, 데이터율이  $1/2\sim 1/3$  까지의 콘볼루션 부호의 복호를 하나의 하드웨어로 처리할 수 있다는 장점이 있다. 또한 Radix-4 방식을 사용하여 기존의 복호기 보다 2 배 많은 BM 과 ACS 블록으로  $K=9$  까지 모두 복호 할 수 있도록 설계 한다. 또한 처리 속도도 2 배로 증가 된다.

논문의 구성은 다음과 같다. II 장에서 비터비 복호기에 대해서 설명하고 III 장에서 적응형 복호기의 하드웨어 구조를 제안하며 IV 장에서는 실험결과를 분석하고 V 장에서는 결론을 맺는다.

### II. 비터비 복호 알고리즘

비터비 알고리즘은 1965 년 Adrew Viterbi 에 의해 고안 발표 되었으며 최대 유사도 복호 알고리즘 (maximum likelihood decoding algorithm)을 사용하여 수신된 부호 심볼을 트렐리스에서 가능한 여러 경로에 대해 확률을 계산하여 가장 큰 확률을 갖는 경로를 선택하는 방법이다[3]. 비터비 알고리즘은 하드웨어 구현이 쉽고 에러에 강하기 때문에 많이 사용되는 오류정정부호이다.

그림 1 은 간단한 트렐리스를 이용한 간단히 비터비 복호 방식을 보여 준다. 각 상태전이와 입력값 2 비트의 해밍거리를 누적하여 더하면 4 개의 서로 다른 상태전이도에서 각 상태 마다 서로 다른 PM 값을 가지게