

CSD 코딩 방법을 이용한 저 복잡도 비트 시리얼 곱셈기 구조 및 응용

노준례 박태근

가톨릭대학교 정보통신전자공학부

junrye@catholic.ac.kr , parktg@catholic.ac.kr

Low-complexity bit-serial multiplier structure using CSD coding and its application

Jun-Rye Noh*, Tae-Geun Park**

Dept. Information, Communication and Electronic Engineering,
The Catholic university of korea

요약

휴대용 정보 통신기기의 소요 증가로 인해 작고 오래 사용이 가능한 기기를 설계하기 위한 연구가 활발히 진행 중이다. 고정계수 곱셈기에 비트 시리얼 처리 기법을 사용하면 플립플롭과 전가산기만으로 구현이 가능하여, 하드웨어 비용을 절감할 수 있다. 또한 단순한 스위칭으로 곱셈을 처리하기 때문에 하드웨어의 복잡도(complexity)를 줄일 수 있다. 비트 단위 처리 시 임계경로는(critical path)는 전가산기 연산 시간이므로 높은 주파수에서 수행이 가능하다. 따라서 워드단위 처리와 비교하여 볼 때 낮은 하드웨어 복잡도를 갖으며 비교적 높은 수행능력을 보인다. 본 논문에서는 CSD를 적용한 비트 시리얼 곱셈기 구조를 DWT 래티스 필터에 적용하였다.

I.서론

휴대 가능한 이동성 통신 기기의 발달로 실시간 처리 뿐만 아니라 저전력, 초소형 기기의 요구가 증가하고 있다. 비트 시리얼 구조는 1클록을 주기로 1비트의 입력을 받아 처리되어 지며, 워드 단위에 비해 최소한의 하드웨어를 사용하여 구현이 가능하다.[1]

승수와 피승수가 w 비트인 워드 단위 곱셈기의 경우 최대 $w*w$ 의 xor연산과 $w-1$ 번의 w 비트 길이 덧셈 연산이 필요하다. 적은 연산으로 같은 결과를 얻고자 많은 곱셈기 알고리즘이 개발되었다. 이중 곱셈 연산 시 부분 곱을 Radix-4 이상의 처리 단위로 다시 코딩하여 연산하는 부스 리코딩 곱셈기(Booth Recoding Multiplier)이나 비트 패러럴(parallel) 처리를 이용한 바우스 울리

캐리 저장 곱셈기(Baugh-Wooley carry save adder)등이 효율적인 곱셈 알고리즘에서 사용된다.[2]

필터 설계와 같이 피승수가 고정된 고정 계수 곱셈기를 사용하는 경우에는 CSD 표현을 적용하여 비트 시리얼 FIR 필터로 처리를 하면 플립플롭과 전가산기만으로 구현 가능하다. 또한 단순한 스위칭을 통하여 스케줄링함으로써 곱셈을 처리하기 때문에 하드웨어 복잡도를 크게 줄일 수 있다[1]. 본 논문에서는 두 채널 QMF(Qauracture Mirror Filter) 래티스 구조의 DWT에 비트 시리얼 곱셈기 구조를 적용하여 적은 하드웨어를 사용하여 구현 가능함을 보였다.

본 논문의 구성은 다음과 같다. 먼저 II장에서는 Canonic Signed Digit(CSD) 이론에 대해 설명한다. III장은 비트 시리얼 FIR 필터의 구조를 설명한다. IV 장은 비트 시리얼 DWT 필터 응용이며 마지막으로 V장은 본 논문의 결론이다.

본 연구는 한국과학재단 목적기초연구 (R05-2004-000-10245-0) 지원으로 수행되었음