

IMT-2000 인터폴레이션 필터의 저전력 설계 및 구현

이현정, 문종범*, 이원상**, 장영범***

상명대학교 정보통신공학과

lhj3658@smu.ac.kr, ozmuto@lycos.co.kr*,

windstorm5@smu.ac.kr**, ybjang@smu.ac.kr***

Low-power Design and Implementation of IMT-2000 Interpolation FIR Filter

Hyun-Jung Lee, Jong-Bum Mun*, Won-sang Lee**, Young-Beom Jang***
Dept. of Information Telecommunication, Sangmyung University

요 약

이 논문에서는 IMT2000용 인터폴레이션 필터의 고속/저전력 설계 및 구현 방식을 제안한다. DA(Distributed Arithmetic) 방식의 장점인 프로세서 구조와, CSD(Canonic Signed Digit) 방식의 장점인 덧셈 연산의 최소화 방법을 사용하여 고속/저전력 인터폴레이션 필터 구조를 제안하였다. IMT2000에서 사용되는 40탭 인터폴레이션 필터를 Verilog-HDL 코딩을 통하여 설계하였다. 기존의 곱셈기를 사용한 인터폴레이션 필터 구조와 게이트 수를 비교한 결과 59.04%의 감소를 달성하였다.

I. 서 론

IMT2000 이동통신 시스템에서는 고속/저전력으로 동작하는 인터폴레이션 필터가 필수적으로 요구되며, 탭 수가 크므로 구현 비용이 가장 큰 걸림돌이 된다. 즉, 탭의 수가 증가하면 비례하여 곱셈 연산, 덧셈 연산, 지연 연산의 수가 증가하므로 구현 비용이 증가하게 된다. 이 가운데에서도 곱셈연산의 구현 비용이 가장 크므로 곱셈 연산의 효율적인 구현에 초점이 맞추어진 다. 곱셈 연산의 구현은 강력한 곱셈기를 내장하고 있는 DSP 프로세서를 사용하여 구현하는 방식과 Hardwired 구현 방식이 있다. 이 가운데에서 이동 통신 시스템에서는 매우 빠른 필터링이 요구되므로 Hardwired 방식이 많이 사용된다. 본 논문에서는 IMT-2000 시스템에서 사용되는 인터폴레이션 필터의 고속/저전력 Hardwired 설계 및 구현 방식을 제안한다. 필터의 고속/저전력 Hardwired 구현을 위하여 곱셈 연산을 곱셈기를 사용하지 않고 구현하는 것이 바람직하다. 이와 같이 곱셈 연산을 곱셈기를 사용하지 않고 덧셈 연산만으로 구현하려면 비트화 기법이 필요하다. 비트화 기법으로는 필터계수를 비트화 하는 CSD(Canonical Signed Digit) 방식과 필터 입력을 비트화 하는 DA(Distributed Arithmetic) 방식이 있다. CSD 방식은 Transposed Direct Form 필터 구조를 사용하며 입력신호에 필터계수를 곱할 때에 쉬프트 연산과 덧셈 연산을 사용하여 곱셈 연산이 이루어 지도록 하는 방식이다. 이 때 덧셈 연산의 수를 줄이기 위하여

CSD형의 필터 계수가 사용된다.[1][2] 이와 같은 CSD형의 계수와 더불어 공통패턴을 공유함으로써 곱셈 연산의 수를 더욱 감소시키는 방법도 제안되었다.[3][4] 그러나 이와 같은 CSD 방식은 탭의 수가 큰 경우에 덧셈 연산의 수가 너무 증가하여 Hardwired 방식으로 구현하기에는 구현 면적이 부담이 된다. DA 방식은 필터의 곱셈 연산을 ROM과 덧셈기를 사용하여 구현하는 방식이다.[5]-[7] 이 방식은 이미 계산되어 ROM에 입력되어 있는 필터 계수의 조합을 입력신호의 비트 정보에 의해 출력시켜서 더하는 방식이다. 그러나 4탭 정도의 단위로 ROM은 사용하여야 하므로 탭의 수가 큰 경우에는 ROM의 수가 증가하는 단점이 발생하게 된다. 본 논문에서 제안된 구조는 CSD 방식의 장점인 덧셈 연산의 감소를 이용하였으며, 동시에 DA 방식의 장점인 프로세서를 사용하여 저전력 구조를 제안한다.

II. 제안된 인터폴레이션 필터 구조

1:4의 인터폴레이션 회로는 그림 1과 같이 익스펜더와 인터폴레이션 필터로 구성된다.



그림 1. 인터폴레이션 회로의 블록도