

50MHz~600MHz의 동작 주파수 범위를 갖는  
CMOS Charge Pump PLL 설계

권 덕기, 이 재경, 이 진영, 박 종태, 유 중근  
인천대학교 전자공학과

Tel: 032-770-8450, Fax: 032-764-2371, E-mail: axe2000@incheon.ac.kr

Design of a CMOS Charge Pump PLL Operating  
in the 50MHz to 600MHz Frequency Range

D. K. Kwon, J. K. Lee, J. Y. Lee, J. T. Park, C. G. Yu

Department of Electronics Engineering, University of Incheon

Tel: 032-770-8450, Fax: 032-764-2371, E-mail: axe2000@incheon.ac.kr

Abstract

This paper describes a CMOS Charge Pump PLL. It includes an on-chip voltage reference circuit, a phase frequency detector, and a lock detector. The charge pump current can be programmed from  $25\mu\text{A}$  to  $200\mu\text{A}$  by external 3-bit data. The voltage-controlled oscillator with automatic amplitude control provides constant output power independent of the Q-factor of the external LC-tank. The PLL can be operated in the 50MHz to 600MHz frequency range using different external LC-tanks. The circuit is designed using a  $0.35\mu\text{m}$  n-well CMOS process parameters. It consumes  $3.67\text{mA}$  at 600MHz from 3V supply. The die area is  $710\mu\text{m} \times 690\mu\text{m}$ .

I. 서론

정보통신 분야의 기술적인 발달과 수요가 증가함에 따라 무선 통신 시스템 시장은 매우 빠른 속도로 확대되고 있으며 가격과 전력소모, 부피가 작은 시스템에 대한 연구가 활발히 진행되고 있다. 이동통신 단말기도 다기능화, 고성능화, 소형/경량화 됨에 따라 그에 사용되는 부품 역시 필연적으로 고성능화, 소형/경량/박형화가 요구되고 있다. 이러한 추세에 따라 여러 개의 RF/IF 칩셋으로 이루어진 단말기의 아날로그 부에서는 칩 수를 줄이기 위한 연구 노력을 하고 있으며 최종적으로 system-on-chip을 추구하는 방향으로 전개되고 있다. 또한, 이동통신 단말기는 다양한 기능이 추가 되는 복합기로 발전하고 있으며, multiple-band와 multiple-mode를 지원할 수 있도록 다기능화 되고 있다[1-2].

이러한 추세에 따라, 본 논문에서는 다양한 모드의 이동통신 단말기에 적용 가능한 IF단 Charge Pump PLL(Phase-Locked Loop)을 CMOS 회로로 설계하였다. 설계된 회로는 50MHz에서 600MHz사이의 주파수 범위에서 동작하도록 설계하였기 때문에 다양한 응용분야에 적용이 가능하다.

본 논문은 정보통신부의 지원금으로 수행한 IT SoC 핵심 설계 인력양성 사업의 수행결과입니다. IDEC 지원에 의해서도 일부 수행되었음.

II. 회로 설계

본 논문에서 설계된 Charge Pump PLL 회로의 블록다이어그램을 그림 1에 보였다. 설계된 회로는 N-counter R-counter, shift register 등으로 구성되는 주파수분주기 블록과 Bias회로, VCO, Charge Pump, Phase Detector Lock Detector 등으로 구성되는 PLL 블록으로 구성된다. 주파수분주기 블록은 PLL의 동작 주파수를 프로그램하기 위해 사용되며, 외부의 직렬 데이터에 의해 프로그램된다. 본 논문에서는 주로 PLL 블록 설계에 대해 언급을 하고자 한다.

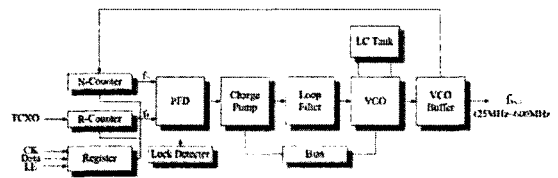


그림 1 설계된 PLL 회로의 블록다이어그램

Bias 회로는 VCO와 Charge Pump 회로에 필요한 안정된 기준전류를 공급한다. VCO는 칩 외부의 LC-tank와 함께 동작하며, 50MHz에서 600MHz 사이의 주파수를 갖는 신호를 발생한다. Phase Detector는 R-counter의 출력  $f_R$ 과 N-counter의 출력  $f_N$ 을 비교하며, Lock Detector는  $f_R$ 과