

저전력 상위 수준 합성을 위한 최적의 자원 스케줄링 방법  
An Optimal Resource Scheduling Methodology  
For Low Power High Level Synthesis

서인범, 인치호

세명대학교 전산정보학과

[syf127@hotmail.com](mailto:syf127@hotmail.com), [ich410@semyung.ac.kr](mailto:ich410@semyung.ac.kr)

**Abstract**

This paper presents a new optimal scheduling and allocation algorithm for high level synthesis.

The proposed algorithm executes an efficient approach to minimize the power consumption of the functional units in a circuit during the high level synthesis. The proposed method visits all control steps one by one to reduce the switching activity in CDFG. The register sharing algorithm determines the minimum register after the life time analysis of all variable. According to property of functional unit input signal, the proposed method visits all control step one by one and determines the allocation with minimal power consumption at each control step in a greedy fashion.

The proposed algorithm has been proved the effect through various filter benchmark to adopt a new scheduling and allocation algorithm considering the low power.

**1. 서 론**

최근에 접어들어 다양한 형태의 디지털 시스템의 휴대화에 대한 수요가 급증하게 되었다. 특히, 휴대용 장치에 있어서 크기나 중량과 더불어 중요한 요소를 차지하는 배터리 용량은 집적 회로가 소모하는 전력에 직접적으로 비례하게 되었다. 그리고 전력 손실이 큰 회로에 대한 packaging/cooling 비용의 상승으로 저전력 소모를 위한 디지털 시스템 설계의 필요성이 요구되고 있다. 그러나 최근까지는 이러한 추세와는 달리 디지털 시스템의 설계에 있어서 주된 관심은 대상 회로의 속도의 증가와 성능 측면에 중점을 두어 왔으며, 상위 수준에서의 저전력 소모를 지원하기 위한 연구가 미흡하다. 일반적으로 CMOS 회로에서의 전형적인 전력 소모의 요인으로 스위칭 활동(switching activity), 누설전류(leakage current), 폐회로 전류(short-circuit

current)등에 의하며, 이들 중 스위칭 동작에 의한 전력 소모가 가장 큰 비중을 차지한다.[1-4]. CMOS 회로에서는 데이터의 스위칭 동작이 발생하지 않을 경우 전력 손실이 없으므로, 저전력 회로 설계에 있어서 최소의 스위칭 동작을 허용하는 것이 중요한 관건으로 적용된다. 현재 저전력 설계를 위해 공급 전압의 감소, 스위칭 동작의 최소화 등을 통한 여러 가지 설계 방식을 제안하고 있으며, 저전력 설계를 지원하기 위한 상위 수준 합성에 대한 연구가 진행되고 있다. [5-8]

본 논문의 구성은 다음과 같다. 2 장에서는 저전력 상위 수준 합성을 위한 자원 스케줄링과 레지스터 공유 및 자원 할당 알고리즘을 제안하고, 3 장에서는 실험 및 고찰을 통해 기존의 데이터 합성 시스템과 저전력을 고려한 시스템을 비교하여 전력 효율을 보이며, 마지막 4 장에서는 결론으로 구성되어 있다.