

## 비디오 컨텐츠의 보안기능을 내장한 실시간 리프팅 기반 코덱의 FPGA 설계

서영호, 김동욱

광운대학교 전자재료공학과

[design@kw.ac.kr](mailto:design@kw.ac.kr) [ddntlab.kw.ac.kr](http://ddntlab.kw.ac.kr)

### FPGA Design of Real-Time Lifting-based Codec with Embedded Security of Video Contents

Young-Ho Seo, and Dong-Wook Kim

Department of Electronic Materials Eng., Kwangwoon University

본 논문에서는 영상/비디오 컨텐츠에 대하여 정보보호 및 보안기능을 내장시킨 압축 및 복원 코덱(Codec, Coder and Decoder)을 제안하고 이를 하드웨어(hardware, H/W)로 설계하였다. 영상/비디오 코덱은 웨이블릿 변환을 기반으로 하며, 정보보호를 위해서 저작권을 주장하고 위·변조를 방지하기 위한 워터마킹 방법을 사용하였고, 데이터의 기밀성을 보장하기 위한 정보보안은 영상/비디오 컨텐츠 자체를 암호화하는 방법을 사용하였다. 워터마킹과 암호화는 영상/비디오의 압축과정 중에 수행되도록 하였다. 정보보호 및 보안 기능이 내장된 웨이블릿-기반 영상압축 코덱은 S/W(software)적으로 각 단위 기능별 검증과 전체 시스템의 검증을 거쳐 H/W로 구현하였다. Altera사의 APEX20KC1000 칩에서 77%(29,568)의 LAB(Logic Array Block)와 9%(28,452)의 ESB(Embedded System Block)를 사용하면서 약 80MHz의 주파수로 고속동작을 하였다. 구현한 하드웨어는 차세대 압축 방식인 JPEG2000의 핵심 기술로써 추후 다양한 분야에서 사용될 것으로 보이고 영상의 보안 및 보호관련 기술들은 JPEG2000의 Part8인 JPSEC(Secure JPEG2000)을 위한 좋은 연구 지표로 활용될 수 있을 것으로 기대된다.

#### I. 서 론

80년대 초까지 영상신호의 처리는 아날로그 영상신호를 그대로 처리하였으나 80년대 말부터 영상신호를 디지털로 처리하는 기술이 개발되기 시작하였다. 이러한 영상신호를 디지털 형태로 처리하기 위해서는 데이터 압축기술이 가장 필요한 기술 중의 하나이다. 디지털 영상신호는 정보량이 매우 많기 때문에(예를 들어, 720×480 크기 NTSC 방식 영상의 경우 초당 250M비트의 데이터량을 필요로 함) 압축 없이 보내는 것은 네트워크의 용량을 과다하게 요구하여 실용성이 없다. 디지털 영상의 전송, 보관 및 네트워크를 통한 서비스의 실용성을 위해서 데이터를 압축하고 재생할 수 있는 부호화 및 복호화 기술이 개발되어 국제적인 표준화 작업을 거쳐 왔고 이와 함께 단말 기간 정보전달의 호환성을 보장하기 위해 프로토콜의 표준화가 빠른 속도로 진행되어 왔다. 다양한 표준들에 따라 영상/비디오 컨텐츠들이 압축 및 복원되고 있으나, 데이터의 특성상 조작 및 위변조가 쉽고 불법복제 및 배포가 가능하므로 저작권 분쟁에 대한 해결방법을 찾기 어렵다. 또한 디지털 컨텐츠들의 응용분야가 확대되면서 이들을 이

용한 수의 모델도 다양해지고 있으며, 매우 개인적이거나 민감한 데이터들이 개방형 네트워크를 통해 전송되고 있다. 이와 같은 디지털 정보, 특히 영상/비디오 정보에 대한 보호 및 보안방법으로 최근 가장 많은 연구되고 있는 기술은 디지털 워터마킹(watermarking)과 컨텐츠의 암호화(encryption)이다.

본 논문에서는 웨이블릿 변환을 이용한 영상의 압축 및 복원과정에 필요한 알고리즘들을 제안하고 HDL을 사용하여 H/W로 구현한다. 영상의 보안을 위해서 작은 양의 영상 정보를 암호화하여도 큰 은닉효과를 가져올 수 있는 기술을 이식하고 압축된 영상에 대해서 원래의 영상을 사용하지 않으면서 저작권을 판별할 수 있는 H/W 기반의 실시간 블라인드 워터마킹 기술을 사용한다. 각 기술들은 영상압축과 복원과정에 적합한 H/W로 사상되어 전체 H/W를 이룬다. H/W는 FPGA으로 사상하여 동작을 검증하고 실제적인 용용 및 상용화에 대한 가능성을 확인한다.

#### II. 하드웨어 구현을 위한 알고리즘