

## 2.5 Gbps CMOS LD 구동기 설계

김경민, 최진호, 최영완, \*조원진  
 중앙대학교 전자전기공학부 광전자 및 광통신 연구실, \*정보통신부

### Design of 2.5 Gbps CMOS LD driver

Kyung-Min Kim, Jin-Ho Choi, Young-Wan Choi  
 School of Electrical and Electronic Engineering, Chung-Ang University

**Abstract** - 본 논문에서는 0.35  $\mu\text{m}$  CMOS공정을 이용하여 2.5 Gbps로 동작하는 LD(Laser Diode) 구동기를 설계하였다. 전기 신호를 광 신호로 변환시켜 주는 레이저 다이오드(LD)를 동작시키기 위해서는 LD 구동기가 필요하게 되며, LD 구동기는 크게 LD 문턱전류 이상의 전류를 공급하기 위한 바이어스부와 바이어스 전류를 기반으로 전기신호를 광신호로 변조하는 변조부로 나뉘어 진다. 설계한 LD 구동기는 LD의 등가회로를 이용하여 모의실험 과정을 거쳤으며, MOSFET의 GATE단에 안정된 입력전압을 인가함으로써 안정된 바이어스 전류의 공급을 꾀하였다. 디자인된 LD 구동기는 11 mA 정도의 바이어스 전류를 공급하여 주었으며, 4 mA 정도의 변조전류를 공급한다.

## 1. 서 론

현재 정보통신은 단순한 음성정보 뿐 아니라 영상 정보를 포함하는 멀티미디어 서비스를 요구하고 있다. 이러한 시대적 흐름은 정보통신의 초고속화와 대용량화를 필요로 하고 있으며, 이에 따라 광통신이 차지하는 비중은 날로 증가하고 있다. 광통신 및 광접속 기술은 전기적인 접속 기술에서 나타나고 있는 한계를 극복할 수 있는 가장 유력한 방법이며, 현재 많은 연구가 진행 중이다. 정보통신의 초고속화의 중요한 제한 요소인 접속기술은 그 한계를 극복하기 위하여 초고속 PCB(Printed Circuit Board)기술의 연구가 진행되었지만, 초고속 PCB 역시 속도의 한계에 도달한 상태이며, 그 대안으로써 OPCB(Optical Printed Circuit Board)등 광접속기술의 연구가 활발히 진행 중이다. 실리콘 CMOS 기술은 공정이 비교적 간단하고 DC 상태에서의 전력소모가 극히 작으며, 집적화가 용이한 장점을 가지고 있다. 이러한 이유로 대부분의 디지털 회로는 CMOS기술을 기반으로 이루어진다. 같은 칩 상에서 아날로그 기능은 바이폴라로 구현하고 디지털 기능은 CMOS로 구현하는 BiCMOS 기술이 지난 10여년간 비교적 활발하게 시도 되었으나, 공정의 복잡성으로 인해 수율이 감소하여 아날로그 기능도 BiCMOS 대신에 대부분 CMOS로 구현되는 추세이다. 이에 본 논문에서는 레이저다이오드(LD)를 구동시키는 LD구동기를 0.35  $\mu\text{m}$  CMOS기술을 적용하여 설계하였다. 일반적으로 디지털 광통신에서는 OOK(on-off keying)의 변조방식을 사용하고 광 신호를 변조하는 방법은 바이어스 전류를 사용하는 경우와 사용하지 않는 두 가지 경우로 구분된다. 바이어스 전류를 사용하지 않는 zero-bias 변조방식은 DC전류를 사용하지 않기 때문에 전력소모가 작은 장점을 갖지만, VCSEL(Vertical

Cavity Surface Emitting Laser)의 turn-on 지연시간에 의하여 동작속도가 느린 단점도 있다. 반면에 바이어스 전류를 사용하는 변조방식은 전력소비가 zero-bias 변조방식보다 크지만 동작 속도가 빠른 장점이 있다. 본 논문에서는 소비전력은 다소 커지더라도 Giga bps 대의 고속 동작이 가능한 회로의 구현을 목표로 하기 때문에 바이어스 전류를 사용하는 변조방식을 이용하였다.

## 2. 본 론

### 2.1 LD 구동회로 설계

본 논문에서 제시한 CMOS 전류 구동회로 설계시 사용한 LD의 등가회로는 그림 1.과 같고 Honeywell사의 LC connector type VCSEL을 사용하였다. LD에서 두 입력단자인 anode 와 cathode 사이에는 pn 접합에서 발생하는 저항  $R_j$ 와 정전용량(capacitance)  $C_j$ , 그리고 적층한 거울의 직렬저항  $R_s$ , 본딩 패드의 기생 정전용량  $C_b$ , 본딩 와이어의 인덕턴스인  $L_b$ 가 있다. 또한 다이오드 D는 VCSEL을 제작한 물질들의 에너지 밴드갭(band gap) 만큼에 해당하는 전압 강하 성분을 갖는 완전한 다이오드를 나타낸다. 여기서  $L_b = 0.25 \text{ nH}$ ,  $C_b = 0.8 \text{ pF}$ ,  $R_s = 35 \Omega$ ,  $\tau_d = R_j C_j = 1.75 \text{ ns}$ 이다.

본 논문에서 제시한 CMOS 전류 구동기의 바이어스 전류는 0 ~ 15 mA 까지 조절이 가능하여 변조 전류는 0 ~ 5 mA 까지 안정적으로 동작하여 VCSEL 등의 낮은 전류구동이 가능한 LD를 대상으로 설계 되었다.

회로의 동작은 크게 바이어스 부분과 변조 부분으로 나누어 볼 수 있다. 위의 LD 구동회로의 우측 부분은 바이어스 부분이며, 좌측 부분은 변조 부분이다. 위의 LD 구동회로는 공통 Anode LD구동회로로써 바이어스 부분의 MOSFET의 드레인 부분에 cathode가 연결됨으로써, 그리고 current mirror 회로를 이용한 전류원단의 역할을 함으로써 안정된 바이어스 전류의 구동을 가능하게 하였다. 위의 바이어스 회로에서는 바이어스 저항을 패키지 외부에 구현함으로써 LD의 구동 점을 쉽게 변화할 수 있게 설계 하였다. 좌측의 변조 부분은 전류원과 변조 단으로 구성되며, 전류 원 부분은 current mirror형식으로 이루어졌으며, 이 역시 변조 저항을 패키지 외부에 구현함으로써 바이어스 부분에서 결정되어지는 구동 점에서의 변조 정도를 조절할 수 있게 설계 하였다. 그리고 변

조단은 차등 쌍의 형태로 이루어진다. 변조 부분에서 바이어스 단의 바이어스를 인가하여 주는 전압분배기는 NMOS로 구성하였다. NMOS로 구성된 전압분배기는 비록 전력의 소모를 증가시키는 단점이 있지만, 저항회로로 구성된 전압분배기에 비해 집적도를 높일 수 있다는 장점을 갖고 있다. 전압 분배기는 변조단의 바이어스 전압을 공급하여주며, 커패시터를 연결함으로써 변조단의 바이어스 MOSFET을 안정적으로 동작시켜 변조신호의 안정성을 꾀하였다. 본 논문에서 설계한 LD 구동기는 모든 MOSFET이 NMOS로 구성되어 있기 때문에 전력의 소모는 다소 클 수 있으나 Gbps 대역에서 동작하는 LD 구동기의 설계에는 적합하다.

## 2.2 모의실험 결과

모의실험에서는 Honeywell사에서 제공하는 LD의 파라미터를 이용하였다. 그림 3과 그림 4는 CMOS 구동기의 2.5 Gbps 모의실험 결과이다. 변조에 필요한 입력신호는 그림 3과 그림 4에서 보이는 바와 같이 1~2 V의 1Vp-p의 구형파형을 인가하였다. 그림 3은 위의 CMOS구동기의 2.5 Gbps에서의 동작 점을 결정하기 위하여 변조 저항의 값을 500 Ω으로 고정하고 바이어스 저항 값을 0 Ω, 40 Ω, 80 Ω, 120 Ω, 160 Ω으로 변화시킴에 따른 LD 바이어스 전류의 변화를 측정하여 보았다. 그 결과 바이어스 저항 값이 0 Ω일 때, 바이어스 전류의 값은 14.8 mA 이었으며, 40 Ω일 때 10.5 mA, 80 Ω일 때 8.3 mA, 120 Ω일 때 6.8 mA, 160 Ω일 때 5.8 mA가 얻어졌다. 바이어스 저항 값이 증가함에 따라서 current mirror회로의 드레인 단의 전압이 감소하여 전체 바이어스 전류가 감소하는 모습을 볼 수 있다. 그림 4는 변조 전류의 정도를 측정하기 위해서 바이어스 저항의 값을 40 Ω으로 유지한 채 변조 저항 값을 각각 500 Ω, 1 kΩ, 1.5 kΩ, 2 kΩ, 2.5 kΩ으로 변화시켜본 모의실험 결과이다. 변조 저항 값의 변화에 따른 변조 전류의 전류 변화는 500 Ω일 때 3.8 mA, 1 kΩ일 때 2.4 mA, 1.5 kΩ일 때 1.9 mA, 2 kΩ일 때 1.3 mA, 2.5 kΩ일 때 1.1 mA가 됨을 알 수 있다. 그림 4와 같은 모의실험을 하는 이유는 단순히 변조 전류의 측정하는 것만이 아니라, 변조 부분이 정상적인 동작을 하기 위한 변조 부분 전류원의 바이어스 전압을 조정하는 목적이 있는 것이다. 바이어스 저항 값이 증가하면 저항 아랫단의 MOSFET의 드레인 단의 전압이 감소하여 전류원의 전류를 감소시킨다. 그림 4에서 볼 수 있듯이 변조 전류량이 감소하는 것을 알 수 있다. 그림 5는 전압 분배기의 커패시터의 역할을 보여주고 있다. 여기에서 커패시터는 변조 전류에 의해 발생하는 전압의 미세한 변화를 억제해 주는 역할을 함으로써 회로의 안정성을 얻어낼 수 있다.

그림 5에서 알 수 있듯이 전압 분배기를 통해 차등 쌍의 입력으로 들어가는 신호는 입력신호와 같은 변화특징(입력신호와 high low의 주기가 같음)을 보이기 때문에 변조 특성을 좋지 않게 한다. 커패시터의 효과로 인해 전압 분배기를 통한 신호는 그 변화가 0.3 mV 미만임을 알 수 있었다.

본 논문에서 사용된 모의실험은 IDEC(IC Design Education Center)에서 지원하는 H-Spice를 사용하였으며, Layout은 MENTOR 툴을 사용하였다.

## 2.3 실험 결과

본 실험은 IDEC(IC Design Education Center)에서 지원하는 hynix 0.35 μm 공정을 통해 제작 된 칩을 사용하여 이루어졌으며, PCB(Printed Circuit Board) test board를 제작하여 패키지 외부에 가변저항과 인덕터 커패시터를 구현하였다. LD 구동기에 대한 실험 측정은 LD 구동기에 의한 LD (VCSEL)의 출력 신호인 850 nm 대역의 빛을 단파장 PD (Photo Detector)로 받아 나온 출력 신호를 측정하는 방식이다. 실제 실험에 있어서는 모의실험에서 입력신호로 사용하였던 구형파 대신 정현파를 입력신호로 사용하였다. 그림 7은 2.5 Gbps 대역에서의 특성을 보여주고 있다. LD 구동기의 변조실험에서 5 Gbps대역 까지의 변조가 됨을 볼 수 있었으나 출력신호의 왜곡과 노이즈 성분이 심하여 데이터 전송의 신뢰성은 떨어지는 모습을 보였다. 그림 8은 5 Gbps의 변조 실험의 파형을 보여주고 있으며, 그림 9는 4 Gbps의 변조 실험의 파형이다. 전체적인 출력 파형을 볼 때 신호가 왜곡되는 모습을 볼 수 있다. 모의실험 결과에 비해 출력신호의 특성이 좋지 않은 결과를 얻게 된 이유는 여러 가지가 있겠다. 우선 PCB보드의 제작에서의 여러 파라미터의 값을 고려하는 것이 쉽지가 않으며, 상호접속 간의 임피던스 미스 매칭에 따른 손실, 전송 손실, RF케이블의 손실과 노이즈 발생 등을 들 수 있겠다. 실험결과 제작한 LD 구동기가 1.4 Gbps 대역에서 그 주파수 특성이 가장 좋음을 알 수 있었다.

## 3. 결 론

본 논문은 LD 구동기의 회로적인 역할과 모의실험, 그리고 실험을 통하여 제작한 LD 구동기의 특성을 알아보는 것을 주제로 다루었다. 하지만 실험의 결과는 LD 구동기와 PD를 통한 변조 실험이 이루어졌기 때문에 설계한 구동기의 모의실험 결과에 비해 그 특성이 떨어지는 결과를 얻게 되었다. 설계한 회로의 동작특성이 모의실험 결과와 상응하기 위해서는 임피던스 매칭과 PCB보드 상의 라인손실의 조절, 회로상의 주파수 특성, 그리고 전송 손실을 반드시 고려하여야 한다.

본 논문은 집적형 광자기술 연구센터를 통하여 과학재단의 지원을 받았다.

## (참 고 문 헌)

- [1] R.Jacob Baker, Harry W.Li, David E. Boyce, "CMOS circuit design, layout, and simulation"
- [2] Allen Holberg, "CMOS Analog Circuit Design"
- [3] N. Haralabidis, G.Halkias, "CMOS laser driver with independently adjustable DC and modulation current for data rates up to 2.5 Gbps", ISCAS, IEEE, 2000
- [4] S.J. Jung, H.S. Kim, D.G. Kim, Y.W. Choi, "A 2.5V 1 Gbps/ch Parallel Optical Receiver in 0.25 μm CMOS technology", SPIE, 2001
- [5] K.J Lee, S.B Lee, J.H Choi, Y.W Choi, "2.5 Gbps CMOS Optical Transceiver", 한국정보통신설비학회 하계 학술대회 논문집 2003

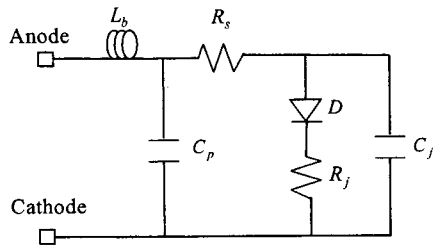


그림 1. LD 증가회로

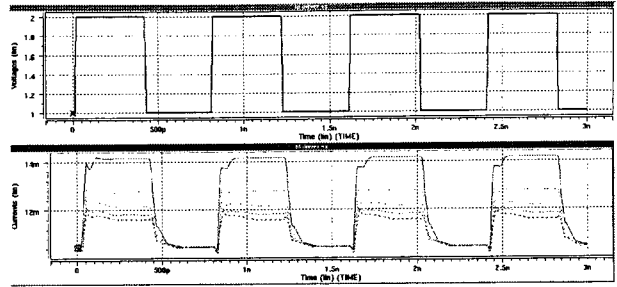


그림 4. 변조 전류의 변화

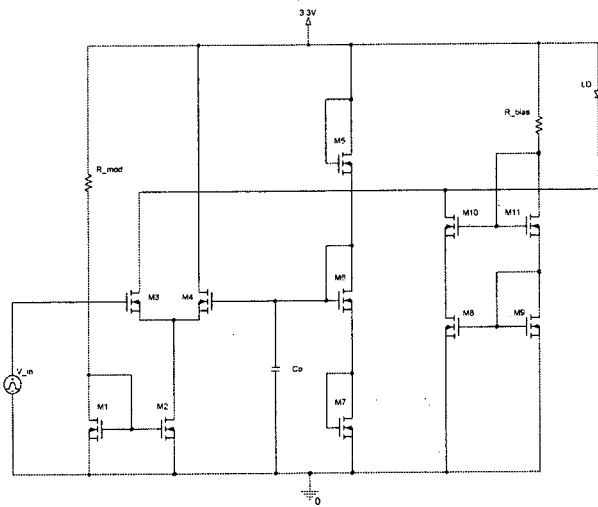


그림 2. LD 구동회로

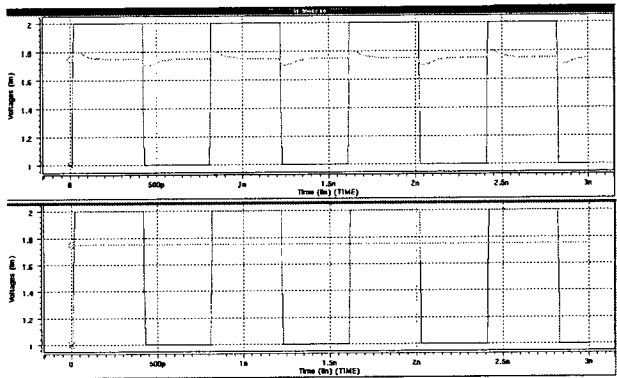


그림 5. 전압 분배기의 커패시터의 역할

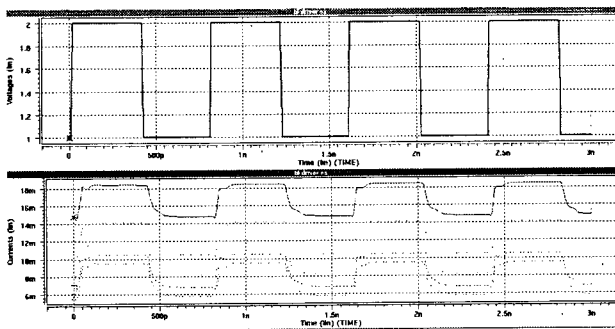


그림 3. 바이어스 전류의 변화

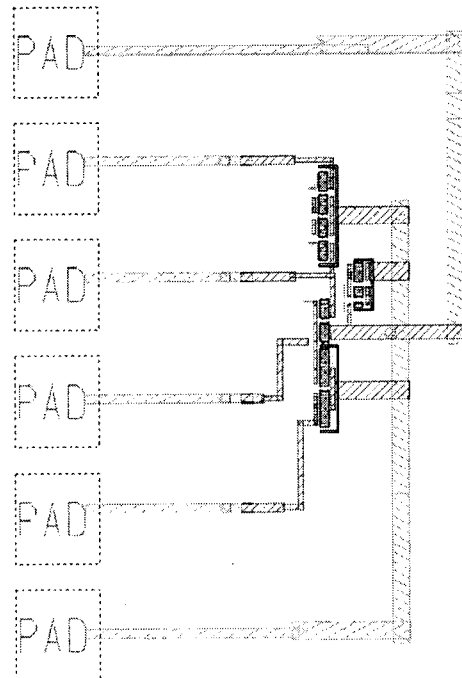


그림 6. LD 구동회로의 레이아웃

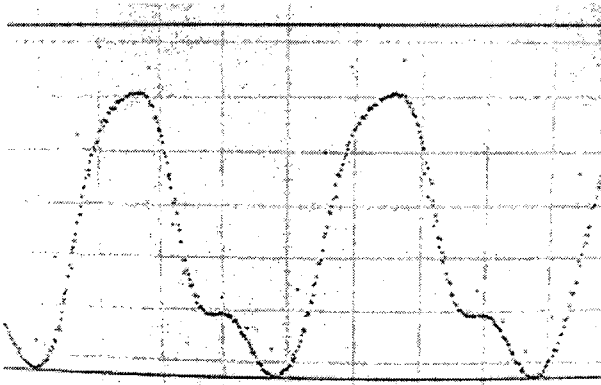


그림 7. 2.5 Gbps 의 변조파형

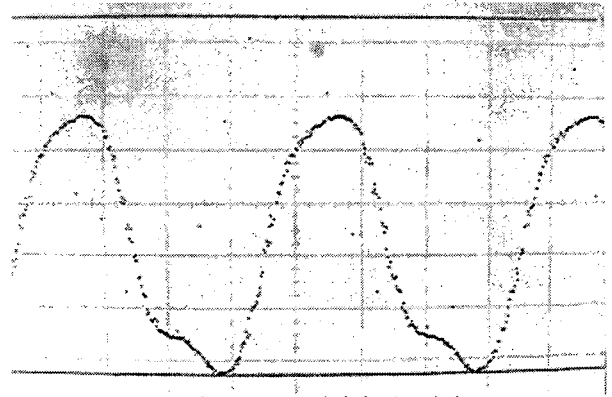


그림 9. 4 Gbps에서의 변조파형

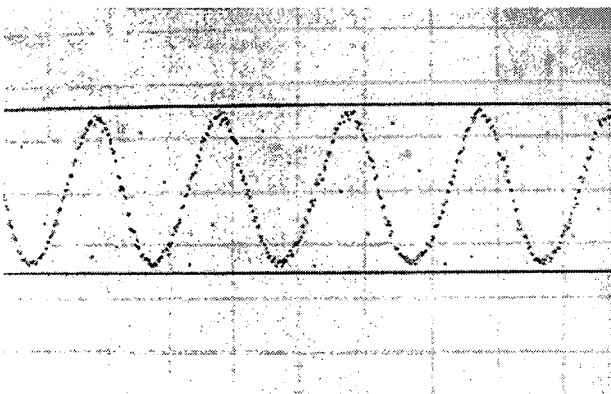


그림 8. 5 Gbps에서의 변조파형