

차세대 메모리 개발 동향(나노 플로팅 게이트 메모리)

길상철, *김현석, *김상식
한국과학기술정보원, *고려대학교 전기공학과

Memory Device for the Next Generation(Nano-Floating Gate Memory)

Sangcheol Kil, *Hjunsuk Kim, *Sangsik Kim
Korea Institute of Science and Technology Information
*Department of Electrical Engineering, Korea University

Abstract

NFGM(Nano-Floating Gate Memory) is a very prospective candidate memory for the next generation with MRAM, PRAM, PoRAM. Among these memory devices for the next generation, NFGM has a lot of merits such as a simple low cost fabrication process, improved retention time, lower operating voltages, high speed program/erase time and so on. Therefore, many intensive researches for NFGM have been performed to improve device performance and reliability, which depends on the ability to control particle size, size distribution, crystallinity, areal particle density and tunneling oxide quality. In this paper, we investigate the researches for NFGM up to recently.

Key Words : NFGM, nanoparticle, tunneling oxide, memory

1. 서 론

우리나라의 경제, 산업 발전을 주도하고 있는 DRAM 위주의 메모리 시장이 디지털 카메라, 휴대용 전화기 등의 mobile 사업과 IT 기술의 발달로 다양한 메모리 제품을 필요로 하고 있다. 이 중 최근 수요가 폭발적으로 늘고 있는 플래쉬 메모리 시장의 경우 매년 급성장을 하고 있으며, 향후 메모리 시장의 대부분을 차지할 것이라고 전망되고 있다. 최근 발전하는 IT기기의 성능을 뒷받침하기 위해서 현재의 플래쉬 메모리의 단점을 보완하는 정보저장 능력과 동작 속도가 우수한 저가의 차세대 비휘발성 메모리 기술에 대한 연구가 급박한 상황이다. 이는 차후 경제, 산업 발전의 성장 동력이 될 것으로 판단되며, 이러한 기술 개발을 늦춘다면 우리나라의 메모리 소자에 대한 기술은 현재의 세계 정상의 위치를 지키기 어려울 것이다.

현재 차세대 비휘발성 메모리에 대한 연구는 자화의 스핀 방향에 따른 저항 차이를 이용하는 MRAM, 구조가 간단하여 저비용의 단순 공정이 가능하며, 셀 집적도가 우수한 PRAM과 폴리머를

이용한 PoRAM, 기존의 플래쉬 메모리의 플로팅 게이트를 나노입자로 대체한 NFGM (Nano Floating Gate Memory) 등의 분야에서 활발하게 진행 중이다. 이 중 마지막으로 소개한 NFGM의 경우 기존의 플래쉬 메모리 셀의 크기가 작아졌을 경우 나타날 수 있는 문제점을 나노입자를 이용하여 해결할 수 있다. 또한, 기존의 CMOS 공정으로 구현이 가능하므로 집적화 및 경제성에 대한 장점을 가지고 있다 이와 더불어 최근 나노기술에 대한 활발한 연구를 통해 나노입자의 생성과 제어에 대해 상당한 수준의 발전을 하고 있어 더욱 주목 받고 있다. 본 논문에서는 이러한 NFGM 소자의 원리와 연구 동향에 대해 살펴보고자 한다.

2. 본 문

2.1. 플래쉬 메모리의 문제점과 NFGM소자

현재의 플래쉬 메모리의 경우 높은 동작 전압을 필요로 하고 있어 셀 크기가 작아질 때에 여러 문제점을 보이고 있어 소자의 크기의 한계가 예상된다. 현재의 플래쉬 메모리의 경우 program/erase

전압이 10V 이상으로 CMOS 구동 전압과 비교해 볼 때 매우 크다. 이러한 이유는 program이나 erase할 때 Channel-Hot-Electron (CHE)이나 high-field-assisted tunneling (F-N tunneling)에 의해 전자가 이동하므로 직접 tunneling할 경우 (3-4V)보다 높은 전압을 요구하고 있다. 따라서 직접 터널링이 가능하고 program/erase 시간을 빠르게 하기 위하여 초박막의 산화막을 형성하여야 하는데 이러한 경우 현재 터널링 산화층으로 사용하고 있는 SiO₂ 박막의 특성이 매우 중요하다. 하지만 SiO₂ 박막의 많은 결함들이 전류 누설 경로를 형성하여 플로팅 게이트의 전자가 채널로 새어나오는 것을 막기 어려운 실정이다. 이러한 문제점을 해결하기 위해 플로팅 게이트를 나노입자로 형성하는 것이 NFGM 소자이다. 나노입자로 플로팅 게이트를 형성할 경우 산화막의 결함에 의해 전자의 누설을 막을 수 있다는 장점이 있다. (그림 1) 따라서, 터널링 산화막의 두께를 줄여서 낮은 전압에서의 직접 터널링을 통한 program/erase가 가능하며, program/erase 속도도 현저히 개선할 수 있을 것으로 본다. 이 외에도 하나의 트랜지스터로 셀을 이루기 때문에 단위 셀의 크기가 작아서 집적도를 높일 수 있는 등 다양한 장점을 가지고 있기 때문에 차세대 비휘발성 메모리 소자로서 NFGM에 대한 연구가 국내외에서 활발히 진행되고 있다.

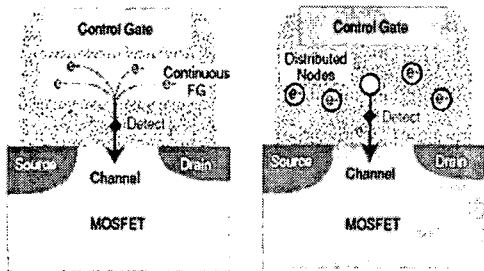


그림 1. 산화막의 결함에 의한 누설 전류의 비교 : 기존의 플래쉬 메모리 (좌)와 NFGM (우).

2.2. NFGM 연구 동향

1996년 IBM의 S. Tiwari는 실리콘 나노입자를 이용하여 NFGM 소자를 구현하여 최초로 보고하였다[1]. 1.6~1.8nm 매우 얇은 두께의 SiO₂를 터널링

산화막으로 이용하였고, 그 위에 5nm 크기의 실리콘 나노입자를 $1 \times 10^{12} \text{ cm}^{-2}$ 의 면밀도로 형성하였다. (그림 2(a)) 이 소자에서 2.5V 이하의 저전압에서 100ns 이하의 매우 빠른 program time, 0.36V의 문턱 전압 이동 등의 특성을 보여 나노입자를 이용한 메모리 소자의 가능성을 보여주었다. (그림 2(b)) 이 후 나노입자의 종류나 형성 방법, 터널링 산화막 등의 NFGM에 대한 많은 연구가 활발히 진행되었다.

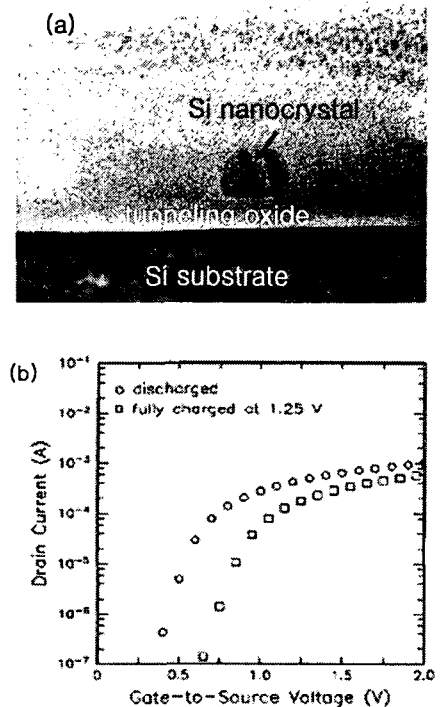


그림 2 (a) Si 나노입자를 이용한 메모리 소자 구조 (b) 나노입자에 전자의 주입 여부에 따른 문턱 전압의 이동.

NFGM은 나노입자에 전자를 주입시켰을 경우와 그렇지 않았을 경우에 게이트의 문턱전압의 변화를 통해 메모리를 구현하는 것이다. 따라서, NFGM의 소자의 핵심 기술은 원하는 균일한 크기의 나노입자를 공간적으로 균일한 분포로 고밀도의 필름으로 형성하여야 한다는 것이다. 이러한 연구는 현재 활발히 진행중인 나노기술의 연구에 힘입어 상당한 진전을 보이고 있기도 하지만 소자의 제작에 이용될 수 있기 위해서는 연구가 더욱 필

요한 상황이다. 현재에는 주로 LPCVD(Low Pressure Chemical Vapor Deposition)와 같은 기상 증착법으로 형성된 실리콘 나노입자 위주의 연구가 진행되어 왔다. 2001년 Cal. Tech.에서는 aerosol 방법으로 형성된 실리콘 나노입자를 이용한 NFGM 소자 구현하였다[2]. 이러한 방법을 이용하여 평균 4nm 크기의 실리콘 나노입자를 $6 \times 10^{12} \text{ cm}^{-2}$ 의 고밀도로 형성하여 2V 이상의 큰 문턱전압 이동과 10^5 이상의 endurance 특성을 얻을 수 있었다. (그림 3)

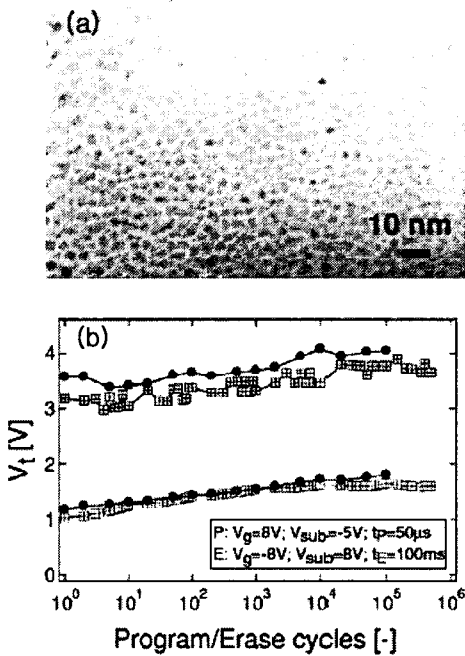


그림 3. (a) aerosol 방법으로 형성된 고밀도의 나노입자 (b) program/erase 횟수에 따른 문턱전압의 변화.

이 외에도 최근 IBM에서는 PS(polystyrene)과 PMMA(polymethyl methacrylate)의 이중블록 공중합체(diblock copolymer)를 이용하여 실리콘 나노입자를 형성하였다.[3] 나노입자의 면밀도는 $6.5 \times 10^{10} \text{ cm}^{-2}$ 로 다소 낮은 편이지만 폴리머의 크기의 조절로 나노입자의 크기나 위치를 정확히 제어할 수 있다는 큰 장점이 있어 향후 NFGM 소자의 나노입자 형성 방법으로서의 가능성을 가지고 있다. (그림 4)

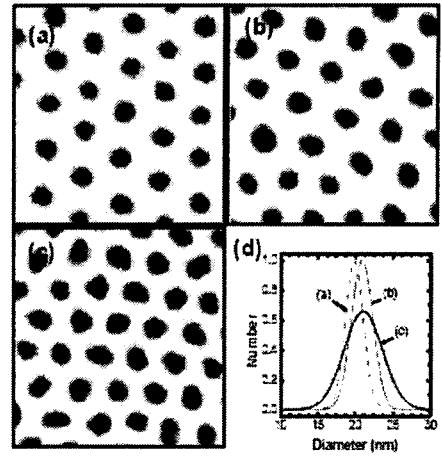


그림 4. (a-c) 이중블록 공중합체를 이용한 실리콘 나노입자의 형성 과정 (d) 형성된 폴리머와 기공, 나노입자의 크기 분포의 비교.

지금까지의 연구를 살펴보면 대부분 실리콘 나노입자를 이용하여 NFGM 소자를 구현하였다. 실리콘 나노입자를 이용하는 것은 기존의 CMOS 공정에서 간단히 적용될 수 있다는 장점은 있으나 터널링 층인 SiO_2 와 형성되는 양자우물의 깊이를 고려해 볼 때, 다른 종류의 나노입자를 이용할 경우 메모리 소자의 특성(retention time, endurance 등)을 향상시킬 수 있을 것이다. 2003년 아사히 글래스는 도호쿠대의 고야나기 미쓰마사 교수 연구 그룹과 공동으로 고밀도 금속 나노입자를 이용해 금속 나노입자를 이용한 메모리를 개발했다고 발표했다.[4] 이 연구에서는 스퍼터링 방법을 이용하여 $10^{13}/\text{cm}^2$ 의 고밀도의 코발트와 텅스텐 금속 나노입자를 실리콘 대신 사용하여 1V이상의 문턱전압 변화를 얻을 수 있었다. (그림 5)

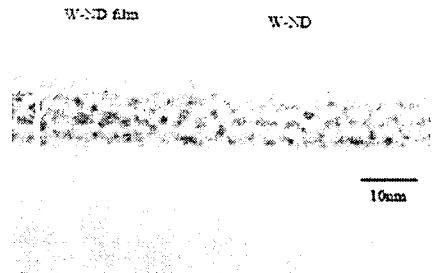


그림 5. 고밀도의 텅스텐 금속 나노입자를 이용하여 제작된 NFGM 소자의 구조.

NFGM 소자 개발을 위해 나노입자에 대한 연구와 더불어 터널링 산화막에 대한 연구도 매우 중요하게 여겨지고 있다. 터널링 산화막의 두께와 막질이 program/ erase 전압과 속도, 전하의 저장 시간 등에 큰 영향을 주고 있어 이에 대한 연구가 메모리 소자의 성능과 직접 관련이 있다고 보고되고 있다[4-5]. 국내의 삼성전자에서는 기존의 SiO₂ 대신 Si₃N₄/SiO₂/Si₃N₄(NON) 구조의 터널링 산화막을 이용하여 문턱전압 변화, program/erase 전압과 시간 등에서 향상된 특성을 보였다[5]. (표 1 참조)

표 1. NON과 SiO₂ 구조의 터널링 산화막의 비교.

	NON barrier	SiO ₂ barrier
ΔV_{th}	1.0V	0.5V
program/erase time	10 μ s/100 μ s	1ms/1ms
program/erase voltage	\pm 8V	\pm 9V
Endurance	>10 ⁶	\sim 10 ⁵
retention time @85 $^{\circ}$ C	38years	1.6years

지금까지 살펴본 것처럼 NFGM에 대한 활발한 연구가 진행 중이다. 현재 NFGM 소자의 개발에 대한 연구를 진행하고 있는 곳은 미국의 IBM, Lucent, Motorola 등의 기업과 Cal. Tech., Cornell, UC. Berkeley 등의 학교, 일본에서는 히타치, 도시바, 동경공대, 도후쿠 대학 등이 있다. 국내에서는 경북대, 고려대, 한양대, 서울대, KAIST, ETRI, 삼성전자 등에서 연구를 수행 중이다.

4. 결론

현재 차세대 비휘발성 메모리 소자로 주목받고 있는 소자 중 하나인 NFGM 소자는 기존의 플래쉬 메모리의 단점을 보완한 소자이다. 지금까지 NFGM 소자의 문제점으로 대두되고 있는 나노입자의 제어, 터널링 산화막에 대한 연구가 계속 진행된다면 빠른 시일내에 상용화가 가능할 것으로 판단된다. 또한 지금까지 소개한 NFGM 외에 MRAM, PRAM 등의 다른 비휘발성 메모리에 대해서도 각 소자의 원초적인 장점을 이용하여 배타적, 경쟁적 연구관계가 아닌 상호 보완적 관계로써 연구한다면 소자의 기능에 따라 다양한 메모리 소자를 요구를 충족시킬 수 있을 것으로 전망한다.

참고 문헌

- [1] Sandip Tiwari, Farhan Rana, Hussein Hanafi, Allan Hartstein, Emmanuel F. Crabbé, and Kevin Chan, "A silicon nanocrystals based memory", Appl. Phys. Lett., Vol.68, No.10, p.1377, 1996.
- [2] M. L. Ostraat, J. W. De Blauwe, M. L. Green, L. D. Bell, M. L. Brongersma, J. Casperson, R. C. Flagan, and H. A. Atwater, "Synthesis and characterization of aerosol silicon nanocrystal nonvolatile floating-gate memory devices", Appl. Phys. Lett., Vol.79, No.3, p.433, 2001.
- [3] K. W. Guarini, C. T. Black, Y. Zhang, I. V. Babich, E. M. Sikorski, E.M L. M. Gignac, "Low voltage, scalable nanocrystal flash memory fabricated by templated self assembly", IEEE International Electron Devices Meeting, p.22.2.1, 2003.
- [4] M. Takata, S. Kondoh, T. Sakaguchi, H. Choi, J.-C. Shim, H. Kurino, M. Koyanagi, "New non-volatile memory with extremely high density metal nano-dots", IEEE International Electron Devices Meeting, p.22.5.1, 2003.
- [5] Seung Jae Baik, Siyoung Choi, U-In Chung, Joo Tae Moon, "Engineering on tunnel barrier and dot surface in Si nanocrystal memories", Solid-State Electronics, Vol.48, p.1475, 2004.