

고성능 저전압 모바일용 90nm DRAM을 위한 비대칭 채널구조를 갖는 Recess Channel Array Transistor의 제작 및 특성

김상범^{1,2}, 이진우¹, 박양근¹, 신수호¹, 이은철¹, 이동준¹, 배동일¹, 이상현¹, 노병혁¹, 정태영¹, 김길호²

¹삼성전자 DS총괄 DRAM PA팀, ²성균관대학교 정보통신공학부

A study of Recess Channel Array Transistor with asymmetry channel for high performance and low voltage Mobile 90nm DRAMs

S. B. Kim^{1,2}, J. W. Lee¹, Y. K. Park¹, S. H. Shin¹, E. C. Lee¹, D. J. Lee¹, D. I. Bae¹, S. H. Lee¹,
B. H. Roh¹, T. Y. Chung¹, G. H. Kim²

¹DRAM PA Team, Samsung Electronics, ²Sungkyunkwan Univ.

Abstract

모바일용 90nm DRAM을 개발하기 위하여 비대칭 채널 구조를 갖는 Recess Channel Array Transistor (RCAT)로 cell transistor를 구현하였다. DRAM cell transistor에서 junction leakage current 증가는 DRAM retention time 열화에 심각한 영향을 미치는 요인으로 알려져 있으며, DRAM의 minimum feature size가 점점 감소함에 따라 short channel effect의 영향으로 junction leakage current는 더욱 더 증가하게 된다. 본 실험에서는 short channel effect의 영향에 의한 junction leakage current를 감소시키기 위하여 Recess Channel Array Transistor를 도입하였고, cell transistor의 채널 영역을 비대칭으로 형성하여 data retention time을 증가시켰다. 비대칭 채널 구조를 이용하여 Recess Channel Array Transistor를 구현한 결과, sub-threshold 특성과 문턱전압, Body effect, 그리고, GIDL 특성에는 큰 유의차가 보이지 않았고, I-V특성인 드레인 포화전류(IDS)는 대칭 채널 구조인 transistor 대비 24.8% 정도 증가하였다. 그리고, data retention time은 2배 정도 증가하였다. 본 실험에서 얻은 결과는 향후 저전압 DRAM 개발과 응용에 상당한 기여를 할 것으로 기대된다.

Key Word: 90nm, Mobile, DRAM, 비대칭, 채널

1. 서론

모바일기기 시장이 점점 커짐에 따라, 이에 적합한 모바일용 DRAM에 대한 요구가 더욱 커지고 있다. 모바일용 DRAM은 저전압에서도 충분히 동작 가능해야 하고, 전력 소모를 줄이고, data retention time을 극대화 시켜야 한다. Data retention time은 DRAM cell transistor의 중요한 특성중의 하나인데, data retention time은 일반적으로 누설전류의 영향을 크게 받는다. DRAM의 집적도를 높이기 위해 디자인 룰이 감소함에 따라, DRAM cell transistor의 short channel effect는 점점 커져 누설전류 등 디바이스 동작에 악영향을

미치는 요소들이 증가하게 된다. 일반적으로 누설 전류는 p-n junction사이에서 발생하는 junction 누설전류와 sub-threshold 누설전류로 나뉘어 지는데, 최적화된 문턱전압을 갖는 cell transistor의 data retention time은 sub-threshold 누설전류보다 junction 누설전류에 더 큰 영향을 받는다[1].

최근 DRAM의 data retention time을 증가시키는 기술로서, 비대칭 junction profile의 cell transistor 기술이 제안되었다[2,3] 그리고, short channel effect를 줄이기 위해서 새로운 타입의 cell transistor인 Recess channel Array Transistor가 제안되었다[4,5]. Recess Channel Array Transistor (RCAT)는 short channel effect와

sub-threshold 누설 전류를 효과적으로 감소시킬 수 있었다. 본 실험에서는 비대칭 채널 구조를 갖는 Recess Channel Array Transistor (RCAT)를 제작하여, 그 특성에 대하여 연구하였다. 비대칭 채널 구조의 구현을 위해, storage node (SN)에는 채널 도핑 이온을 주입하지 않았고, direct-contact node (DN)에만 채널 doping 이온을 주입하였다. 비대칭 채널 구조를 갖는 RCAT과 대칭 채널 구조를 갖는 RCAT에 대해, 각각의 sub-threshold 특성 및 on-current 특성, GIDL 및 DIBL 특성, 그리고, data retention time에 대해 비교하였다. 모바일형 90nm DRAM에 비대칭 채널 구조를 갖는 RCAT을 적용한 결과, 매우 우수한 결과를 얻을 수 있었고, 향후 모바일형 DRAM 개발에 기여할 수 있을 것으로 판단된다.

2. 실험

(그림 1)은 본 실험에서 구현한 process integration을 도식화한 것이다. 먼저, active와 field 영역을 구분하기 위한 방법으로 Shallow Trench Isolation (STI)기법을 사용하였다. 이후 active영역의 Si를 식각하여 Recess Channel Array Transistor (RCAT)를 형성하였다. Si 깊이는 1700Å 정도로 형성하였고, gate oxide 두께는 60Å 정도 형성하였다. Word line은 poly-Si/WSix로, 각각의 두께는 약 800Å/1000Å이다. 이후 Si₂N₃막질로 gate spacer를 형성하였다. (그림 1)에서 보는 바와 같이, 비대칭 채널 구조를 형성하기 위해 direct contact node (DN)영역만 포토리소그라피 공정을 이용하여 선택적으로 열어주어 Boron 40KeV 2.0E13cm⁻³ 이온 주입을 실시하였다. 그리고, Ph 20KeV 5.0E13cm⁻³ 이온 주입을 실시하여 source-drain junction을 형성하였다. RCAT 공정 순서는 (그림 2)에 간략하게 정리되어 있다.

3. 결과 및 고찰

각각의 transistor type에 대해서 sub-threshold 특성을 (그림 3)에서 나타내었다. (그림 3)에서 보는 바와 같이, sub-threshold영역에서 두 transistor type에 따른 특성 차이는 보이지 않았다. 모바일형 DRAM인 경우, sub-threshold 누설전류에 의한 소비전력 감소가 디바이스 특성을 결정짓는다. 비대

칭 채널 구조인 경우에도 대칭 채널 구조대비 sub-threshold 특성에서 차이점을 보이지 않음으로 인해, 모바일형 DRAM에 적용 가능성을 알 수 있다. (그림 4)에서는 두 가지 transistor 조건에 따른 sub-threshold swing을 나타내었다. 측정된 sub-threshold swing은 대칭 채널 구조에서는 110.4mV/decade로 나타났고, 비대칭 채널 구조에서는 110.9mV/decade로 나타나 두 transistor 조건에 따라 유의차를 보이지 않았다. (그림 3, 4)에서 나타난 결과 두 가지 transistor 조건에 대해서 sub-threshold 영역에서의 특성은 큰 차이를 보이지 않았다. (그림 5)에서는 각각의 transistor에 대해 I-V 특성을 나타내었다. 측정 결과, I_{DS}-V_{DS} 특성에서는 비대칭 채널 구조를 가진 transistor인 경우, V_{GS}=2.1V, V_{DS}=2.0V에서의 드레인 포화 전류는 25.1μA로서 대칭 채널 구조를 가진 transistor의 드레인 포화 전류와 비교해 볼 때 약 24.8% 증가하는 효과를 보였다. (그림 6)은 각각의 transistor 조건에 따른 동일 문턱 전압 V_{th}에서의 body effect를 비교한 것이다. Body Effect는 대칭 채널 구조에서는 0.48mV/V로 측정되었고, 비대칭 채널 구조에서는 0.47mV/V로 측정되어 유의차를 보이지 않았다. (그림 7)에서는 DIBL과 GIDL 특성에 대해 나타내었다. 두 가지 transistor type에 대해 GIDL 특성은 유의차가 보이지 않은 반면, DIBL 특성에서는 유의차가 나타났다. DIBL 특성은 V_{DS}=2.0V와 0.05V일 때의 문턱 전압 V_{th}의 전압차로 정의한다. 대칭 채널 구조인 경우 71mV/V로 측정되었고, 비대칭 채널 구조인 경우 48mV/V로 측정되어 약 60% 정도의 감소 효과를 보였고, 분포 역시 향상되었다. 이러한 측정 결과는 비대칭 채널 구조로 인해, 문턱 전압이 드레인 전압에 영향을 덜 받아, 안정적인 transistor 특성을 보여줄 수 있음을 알 수 있다. 그림 8에서는 transconductance에 대해 비교하였다. 비대칭 채널 구조인 경우 4.59μA/V로 측정되었고, 대칭 채널 구조인 경우는 4.14μA/V로 측정되어 약 10.8% 증가 효과를 보였다. 그림 9에서 data retention time에 대해 비교하였다. 비대칭 채널 구조인 cell transistor를 구현하여, 256Mb DRAM에서의 data retention time을 비교한 결과, 대칭 채널 구조인 cell transistor 대비 약 2배 이상의 향상된 결과를 보였다. 비대칭 채널구조인 transistor에서 드레인

포화전류의 증가와 transconductance의 증가가 DRAM 특성의 중요한 요소인 data retention time의 증가를 가져옴을 알 수 있다.

4. 결론

Recess Channel Array Transistor에서 비대칭 채널 구조를 이용한 모바일용 90nm DRAM cell transistor를 구현하였다. 비대칭 채널 구조의 transistor는 24.8%의 드레인 포화 전류의 증가와 10.8%의 transconductance의 증가, 그리고, 약 2배 이상의 data retention time의 향상을 가져왔다. 반면, sub-threshold 특성은 대칭 채널 구조의 transistor에 비해 큰 유의차가 없었다. 본 실험에서 구현한 RCAT 구조는 기존의 공정기술로 쉽게 구현할 수 있고, Mobile 제품의 전기적인 특성을 만족하고 있다. 향후 이는 모바일용 DRAM 개발에 큰 기여를 할 것으로 판단된다.

참고 문헌

- [1] H.S. Uh et al, Symp. On VLSI Tech., pp.27-28, 2001
- [2] S.J. Ahn et al., Symp, On VLSI Tech., pp.176-177, 2002.
- [3] K.H. Kusters et al., semiconductorfabtech, pp 97-101, 19TH edition, 2003.
- [4] J.Y. Kim et al., VLSI Technical Digest, pp.11-12, 2003.
- [5] J.W. Lee et al., ESSDERC, pp.449-452, 2004.

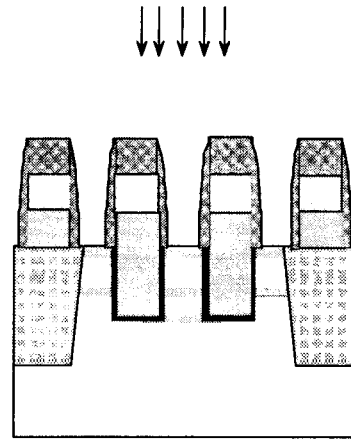


그림 1. 비대칭 채널 구조의 RCAT 구현 방법의 Schematic Diagram. Direct contact 영역만 선택적으로 열어 이온 주입을 실시한다.

- Shallow Trench Isolation
- Recess Si- active
- Gate Oxide Deposition
- Poly-Si/WSix Deposition
- Gate Formation
- Gate Spacer Deposition/Etch
- Asymmetry Channel Ion Implantation
- Source-Drain Ion Implantation

그림 2. 비대칭 채널 구조를 갖는 RCAT 구현을 위한 공정 순서.

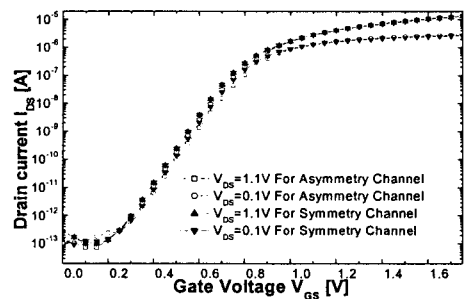


그림 3. Transistor 조건에 따른 sub-threshold 특성 비교.

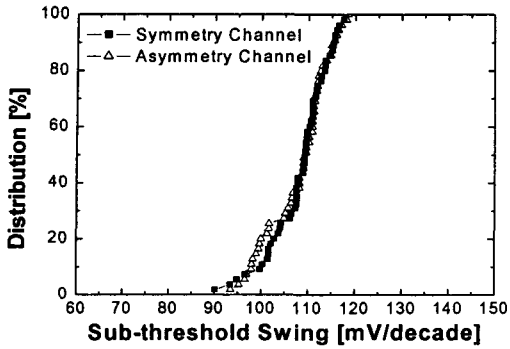


그림 4. Transistor 조건에 따른 Sub-threshold Swing 비교.

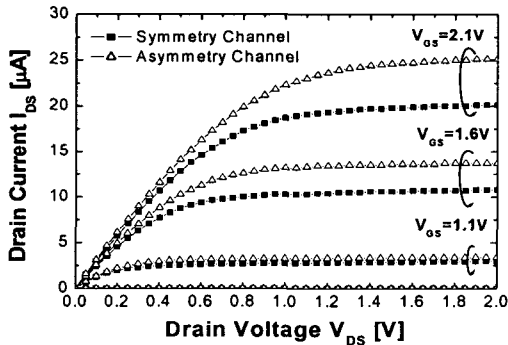


그림 5. Transistor 조건에 따른 $I_{DS}-V_{DS}$ 특성. 비대칭 채널 구조를 갖는 transistor인 경우 드레인 포화 전류가 $25.1\mu A$ 로 대칭 채널 구조대비 약 24.8% 증가하였다.

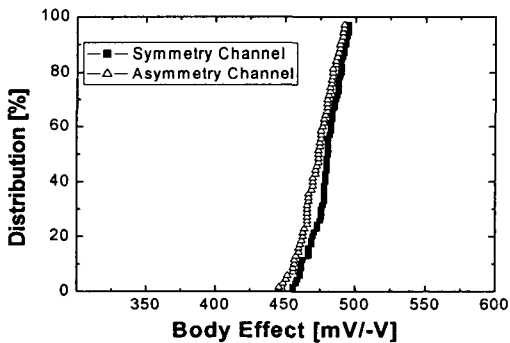


그림 6. Transistor 조건에 따른 동일 문턱 전압 V_{th} 에서의 Body Effect의 비교.

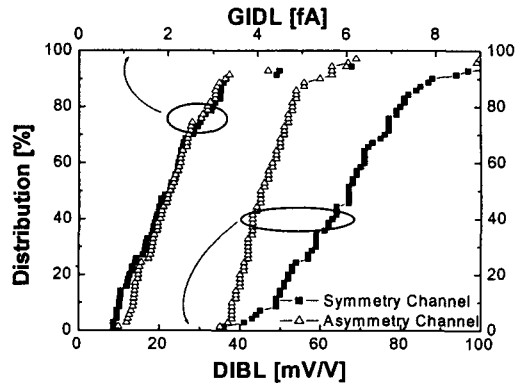


그림 7. 대칭 채널 및 비대칭 채널 transistor에 따른 GIDL과 DIBL 특성비교. 비대칭 채널구조인 경우 약 60%정도의 DIBL 특성 감소효과를 보였다.

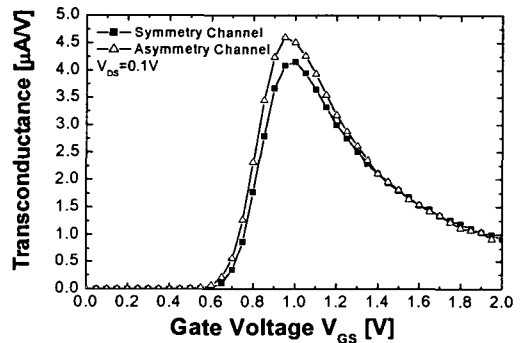


그림 8. Transistor 조건에 따른 transconductance 비교. 비대칭 채널구조인 경우 $4.59\mu A/V$ 로 대칭 채널구조인 경우 대비 약 10.8% 증가효과를 보였다.

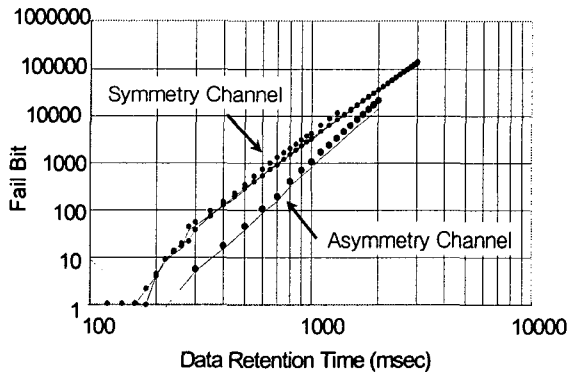


그림 9. Transistor 조건에 따른 Data Retention time 비교. 비대칭 채널 구조에서 약 2배 정도 data retention time이 증가하였다.