

컨버터의 출력전압 리플 저감을 위한 새로운 병렬운전 방법에 대한 연구

(A Novel Paralleling Method of Converters for Reduction of Ripple in Output Voltage)

박성우* · 박희성* · 장진백* · 장성수* · 김종덕**

(Sung-Woo Park · Hee-Sung Park · Jin-Beak Jang · Sung-Soo Jang · Jong-Duck-Kim)

한국 항공우주 연구원*, 한국 항공우주 산업**

Abstract

For the paralleled operation of DC/DC converters, the current sharing between each modules is the most important for the reliability of the power system. Interleaving method is commonly used with many paralleling schemes for the reduction of the ripple in the output voltage of paralleled converters and there are many commercial IC for interleaving application applicable. But for all of them, it is impossible to detect the number of module in operating and then change the phase of them automatically.

In this paper, a novel paralleling method is proposed for the converter parallel operation, which detects the number of modules in active and sets the phases of PWM signals applied to each modules autonomously. This can greatly improve the output voltage ripple and reliability of the system. The expandibility of modular number can be done very easily by just adding several parts.

1. 서 론

최근에는 컴퓨터나 다양한 통신 정보기기의 급속한 발전으로 이들의 전원공급을 위한 컨버터는 매우 큰 전류 용량을 공급할 수 있는 능력을 필요로 하는 경우가 있다. 뿐만 아니라 위와 같은 동작조건 하에서 우수한 변환 효율 특성과 높은 신뢰도를 갖는 것이 필요하다. 이와같은 요구조건을 충족하기 위한 방법으로 멀티모듈 병렬형 운전방식(Multi-module paralleling operation method)이 흔히 이용되고 있다.

일반적으로 낮은 용량을 갖는 컨버터를 병렬 운전하여 모듈화로 동작시키는 것은 단일의 큰 전력 용량을 갖는 중앙집중식 전원 공급방식에 비해 다양한 이점이 있다. 먼저, 고효율의 저 용량 컨버터를 병렬하였으므로 전체적인 전력시스템의 효율이 증가하며, 다음으로 동특성과 부하 응답특성이 뛰어나다. 그리고 병렬운전으로 인한 출력 전력의 확장이 용이하며, 고장 발생시 수리 및 교체가 용이한 장점이 있다. 하지만, 병렬로 운전하는 각각의 모듈들은 전원단이나 제어 소자 값 등의 미소한 차이로 인해 완전히 동일한 동작 특성과 상태를 갖지 않는다. 이와같은 이유로 부하전류가 병렬 운전하는 컨버터에 균등하게 분배되지 않는다면 한개 또는 일부 모듈이 과도한 전류를 흘리는 상황이 발생할 수 있다. 이것은 결과적으로 특정 모듈에 더욱더 큰 전기적

열적 압력(Electrical and thermal stress)을 가하게 되어 전체 시스템의 신뢰성을 저감하는 원인이 된다. 따라서 컨버터의 모듈화로 병렬운전을 구현하는 경우, 모듈간 바람직한 전력분배를 위한 동작특성을 얻기 위해 다양한 전류분배 방법이 연구되고 있다.

위에서 언급된 컨버터 병렬 모듈화의 또 다른 부수적인 장점으로 출력전압의 리플 저감을 얻을 수 있다. 하지만, 출력 리플의 감소는 모듈간 전류분배만으로 단순히 얻을 수 있는 것은 아니며, 각 모듈의 스위칭 주파수의 위상을 적절히 조정함으로써 가능하다. 이와같은 출력 리플 저감방법은 최근 다양한 상용 IC의 등장으로 컨버터의 병렬운전에 많이 응용되고 있다. 그러나 대부분의 경우 동작하고 있는 컨버터 모듈의 수와 위치를 감지하여 해당 상태에 적절하게 스위칭 주파수의 위상을 조절하여주는 것은 거의 없다. 뿐만아니라 대부분의 상용 IC에서는 병렬 운전 가능한 모듈의 수가 극히 적은 수(일반적으로 2-4개)로 제한 되어있다.

본 논문에서는 전류모드를 적용하여 컨버터의 전류분배를 구현하는 경우, 출력 전압의 리플을 저감할 수 있는 새로운 병렬운전 방법을 제안한다. 컨버터의 전원단은 Buck을 사용하며, 전류모드 제어 방법은 평균 전류모드 제어 방법을 적용한다. 그리고 최대 6채널까지 확장이 가능한 병렬 제어회로를 설계하여 동작특성을 확인한다.

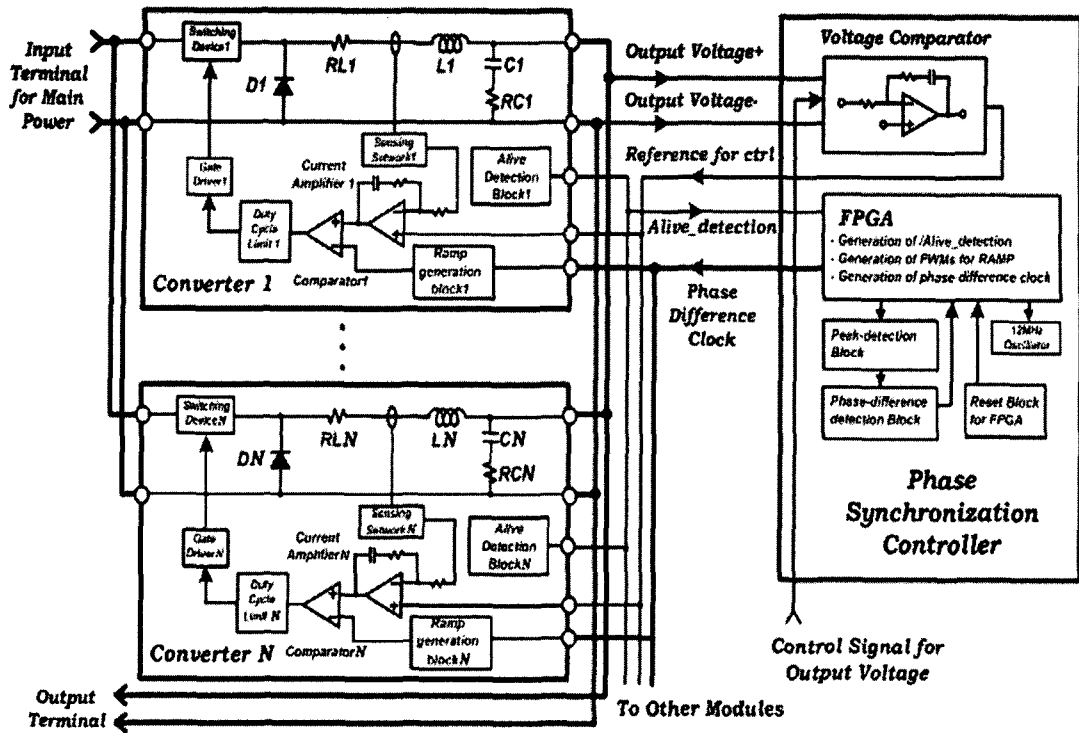


그림 1. 출력전압 리플저감을 위한 병렬형 컨버터의 블록 다이어그램
 Fig. 1. Block diagram of the paralleled converter for reduction of output voltage ripple

2. 제안된 제어방법의 동작원리

그림 1은 제안된 제어 방법을 적용하여 구성한 출력 전압 리플 저감을 위한 병렬형 컨버터의 블록 다이어그램을 나타낸다. 병렬형 컨버터 블록은 평균 전류모드 제어블록을 포함한 N개의 Buck 컨버터와 위상 동기화 제어기(Phase synchronization controller)로 구성된다. 위상동기화 제어기는 전압 보상기(Voltage comparator), FPGA의 메인클럭 제공을 위한 12MHz 오실레이터, 램프의 최대값 획득을 위한 첨두치 감지회로(Peak-detection block), 램프와 첨두치의 값을 비교하여 현재 동작하고 있는 컨버터 수에 해당하는 위상차를 가진 신호를 만들어내는 위상차 감지회로(Phase-difference detection block)와 FPGA로 구성된다. FPGA는 컨버터의 동작 상태를 나타내는 'Alive_detection' 신호의 반전 신호를 만들고, 위상 동기화 제어기 내부 램프를 생성하는데 사용하는 PWM 신호를 12MHz 주파수에서 분주하여 생성하며, 위상차 감지회로에서 생성된 출력을 이용하여 각 컨버터에 인가되는 위상차를 가진 기준 클럭 신호를 만들어 내는 역할을 한다. 위상 동기화 제어기는 병렬 컨버터의 출력 버스전압, 전압 보상기 출력, alive_detection 신호, 위상차 기준 클럭버스를 통해서 각각의 컨버터와 연결되어 있다.

각 컨버터는 위상 동기화 제어기에서 입력되는 위상차 기준 클럭을 이용해서 각 컨버터의 비교기에 사용되는 램프신호를 생성한다. 그리고 컨버터에서 센싱된 전류 신호는 해당 컨버터에 있는 전류 보상기를 통해서 증폭되므로 노이즈에 대한 특성을 증가시킬 수 있다. 증폭된 신호는 전압 보상기의 출력과 더해져서 비교기로 입력된다.

병렬 컨버터는 출력 전압 제어를 위해서 기본적으로 외부전압 제어 루프를 포함한다. 각 컨버터의 출력 전압은 위상 동기화 제어기로 입력되며, 전압 제거기에서 생성된 전압 보상기의 출력 에러신호는 다시 각 컨버터에 인가되어 전류 보상기의 기준 신호로 사용된다. 병렬 컨버터들 사이의 전류 분배는 평균 전류 제어 루프를 통해서 이루어진다. 전류 제어를 위한 보상기의 기준 입력 신호는 전압 보상기에서 공통 버스를 통해서 연결되어 있다. 따라서 각각의 전류제어를 위한 병렬 컨버터의 전류량은 공통 기준 신호 레벨에 맞게 동작되어 컨버터들 사이의 전류 분배를 가능하게 한다.

그림 2는 위상 동기화 제어기(이하 PSC)의 구현 알고리즘을 나타낸다. PSC는 위상 동기화 신호를 위해서 필요한 램프 신호 생성을 위해 FPGA로부터 50KHz 신호, 램프의 기준 신호를 위해 -5V를 입력으로 받고, 현재 개별 컨버터의 동작 상태를 알기위해서 'Alive-

detection' 신호를 입력으로 받는다. 50KHz의 신호는 각각 적분기와 덧셈회로를 통해서 위상 동기화 구현을 위한 기준 100KHz 램프 신호를 발생한다. 이렇게 생성된 100KHz의 기준 신호는 개별 컨버터의 동작 상태를 나타내는 'Alive-detection' 신호에 의해서 생성된 신호와 비교됨으로서 현재 동작하고 있는 컨버터들의 위상차를 나타내는 phase 신호들을 만든다. 이 신호는 각 컨버터에 공급되는 위상차 클럭을 생성하기 위해서 FPGA로 입력된다.

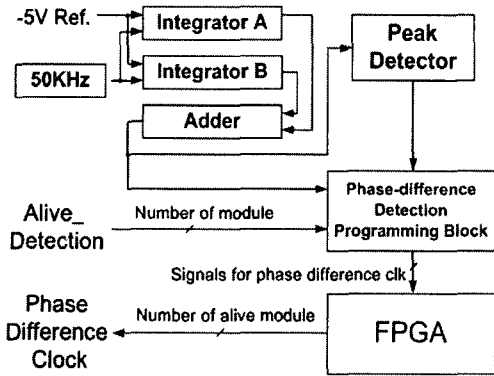


그림 2. 위상 동기화 제어기의 구현 알고리즘
Fig. 2. Function realization algorithm of the phase synchronization controller

그림 3은 램프신호의 첨두치를 감지하기 위한 회로를 나타낸다. 다이오드와 커패시터를 이용하면 간단한 첨두치 감지회로를 구성할 수 있지만, 본 논문에서는 성능개선을 위해서 일반적으로 많이 이용되는 케환을 이용한 방법을 적용하였다. 그림 4는 본 논문에서 적용된 첨두치 감지회로의 실험 결과 파형을 나타낸다. 그림에서 램프는 위에서 설명된 50KHz 신호를 이용하여 생성된 100KHz의 기준 램프 신호이다. 실험 결과 파형에서 설계된 첨두치 감지 회로가 잘 동작하는 것을 확인할 수 있다.

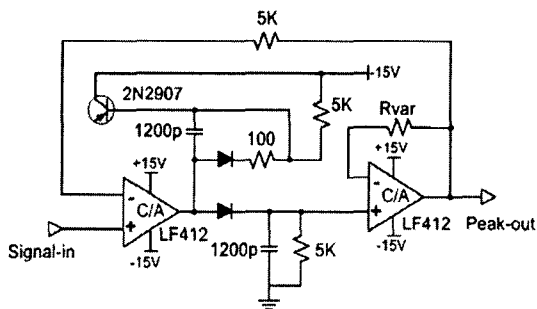


그림 3. 램프신호 첨두치 감지 회로
Fig. 3. Circuit for peak-detection of the RAMP

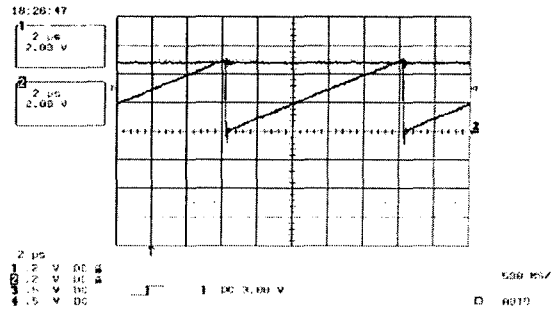


그림 4. 첨두치 감지회로 실험결과
Fig. 4. Experimental result of the peak-detection circuit

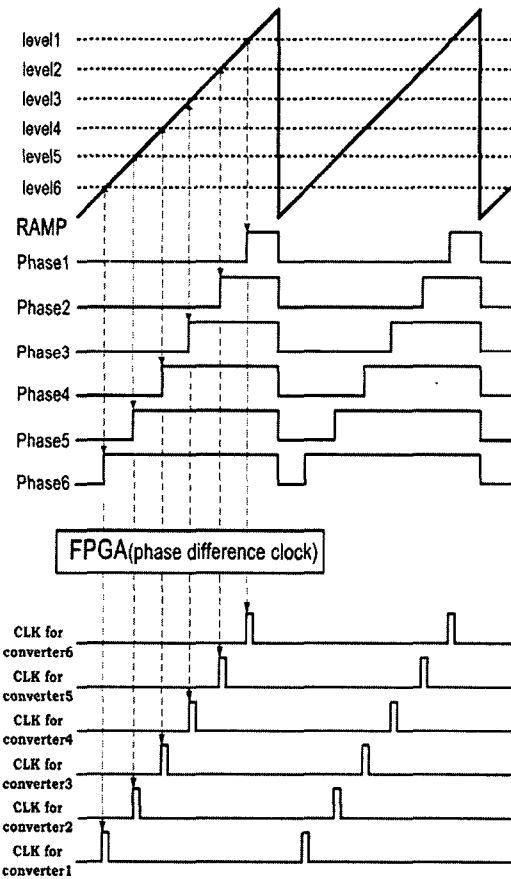


그림 5. 6-병렬 컨버터 적용을 위한 위상차 기준 클럭 생성
Fig. 5. Phase-difference detection programming for six paralleled converters

그림 5는 6-병렬 컨버터 적용을 가정한 경우, PSC 내부에서 위상차 기준 클럭을 생성하는 프로그래밍 방법을 나타낸다. 그림 2의 덧셈기 출력에서 생성된 램프 신호는 모듈 간 위상차를 나타내는 phase 신호 생성을 위한 비교기의 비 반전 단자입력 단자로 연결된다. 그

리고 'Alive -detection' 신호에서 생성된 'Level' 신호는 phase 신호 생성을 위한 비교기의 반전 단자로 입력된다. Phase 신호 생성 비교기의 반전 입력단에서 각 컨버터에 대한 위상 차이는 그림 5에서 확인할 수 있듯이 'Level' 신호와 램프 신호의 비교에서 얻을 수 있다. 여기에서 얻어진 phase 신호는 FPGA를 통해서 330nsec의 위상차 클럭으로 개별 컨버터로 입력되어 컨버터의 비교기에서 사용되는 램프 신호를 만들기 위해서 사용된다.

그림 2의 위상 동기화 제어기 구현 알고리즘과 그림 5의 병렬 컨버터 적용을 위한 위상차 기준 클럭 프로그래밍에서 확인할 수 있듯이 램프 신호의 크기와 phase 신호를 생성하는 'Level' 신호의 해상도(resolution)에 따라서 원하는 정격에 맞는 컨버터를 구현하기 위해 병렬 운전하는 컨버터의 숫자를 쉽게 조정할 수 있음을 알 수 있다.

3. 실험 결과

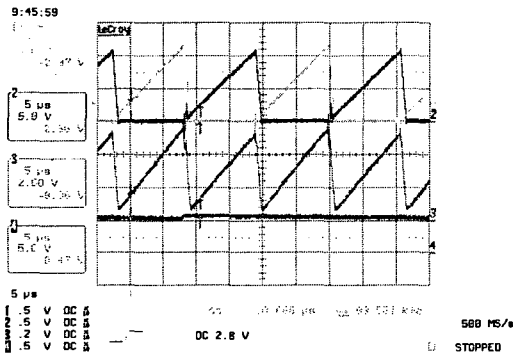


그림 6. 위상차 감지를 위한 램프 신호
Fig. 6. Ramp signal for phase difference detection

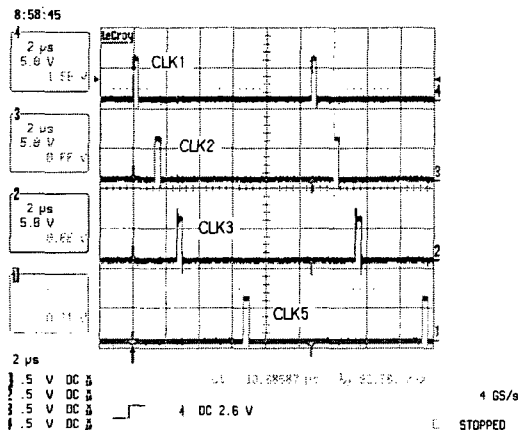


그림 7. 6병렬 컨버터를 위한 위상차 클럭
Fig. 7. Phase difference clocks for six paralleled converters

그림 6은 위상 동기화 제어기 내부에서 위상차 감지를 위해서 사용되는 100KHz 기준 클럭을 나타낸다. 이 100KHz 기준 신호는 그림 2의 알고리즘에서 나타내었듯이 적분기 출력에서 발생하는 50KHz의 톱니파 신호를 합하여 만든다.

위상 동기화 제어기에서 각 병렬 컨버터로 입력되는 위상차 클럭 신호의 실험 파형을 그림 7에 나타낸다. 본 논문에서는 앞의 그림 5에서 나타낸 것과 같이 6-병렬 컨버터 적용을 위한 위상 동기화 제어기를 구성하여 그 결과를 얻었다. 그림 7은 6개의 클럭 신호 중에서 컨버터 1, 2, 3과 5에 입력되는 클럭을 나타내고 있다.

4. 결론

본 논문에서는 전류 모드를 이용하여 병렬운전 컨버터의 전류분배 문제를 해결하는 응용에서 출력전압의 리플을 저감 할 수 있는 새로운 제어 방법을 제안하고, 제안된 제어기의 동작을 실험적으로 검증하였다. 제안된 방법은 컨버터의 병렬운전에서 동작하는 컨버터를 위상 동기화 제어기에서 자동으로 감지하여 동작하는 컨버터의 모듈 수에 맞는 위상차 제어 신호를 각각의 병렬 컨버터로 전송한다. 따라서 컨버터의 병렬 운전에서 제안된 출력 전압 제어기 방법을 이용한다면 모듈의 정상 동작 유무에 상관없이 항상 최소의 출력전압 리플 조건에서 컨버터를 동작 시킬 수 있을 것이다.

참고 문헌

- [1] R-H.Wu, T.Kohama, Y.Kordra, "Load-Current sharing for parallel operation of dc-dc converters," in Power Electronics Specialists Conference(PESC) 1993.
- [2] Shiguo Luo,Z.Ye,R.Lin and Fred C. Lee,"A Classification and Evaluation of paralleling Methods for Power Supply Modules."
- [3] J. Perkinson, "Current sharing of redundant DC-DC converters in high availability systems-a simple approach," APEC Proc. pp. 952~956.
- [4] Joe Bocek et al., "Determining Current Sharing Criterion for Parallel Operation of Power Converters in Multi-module BUS System." PESC'90, pp. 1105~1111.
- [5] Wenkang Hng, George Schuellein, and jDanny Clavette , "A Scalable Multiphase Buck Converter with Average Current Share Bus."