

새로운 구동방식을 이용한 어드레스 방전 지연시간의 감소

송근영, 김근수, 서정현*, 이석현
 인하대학교, *인천대학교

The Reduction of Address Discharge Delay Time Using a New Driving Method

Keun-Young Song, Gun-Su Kim, *Jeong-Hyun Seo, Seok-Hyun Lee
 Inha University, *Incheon University

Abstract - In order to achieve high efficiency and low cost, new high-speed addressing method is suggested. This can be achieved by reducing the address discharge delay time through the priming effect. This paper suggests a new ADR (Address During Reset) driving method which provides priming particles by using a separated driving method without adding auxiliary electrode or auxiliary discharge. The experimental results show an approximately 100ns reduction in the formative delay time of address discharge and a reduction in jitter of over 200ns. Also, due to enough time being available for reset, there was a reduction in light emitted during reset of about 29% which improved the dark contrast ratio considerably.

는 7인치 패널이 사용되었고, Pulse Generator인 Time-98과 여러 대의 Power Supply, Digital Oscilloscope, 전압 Probe, 광파형 측정기인 Photo Detector 그리고 Driving Circuit을 이용하여 실험을 진행하였다.

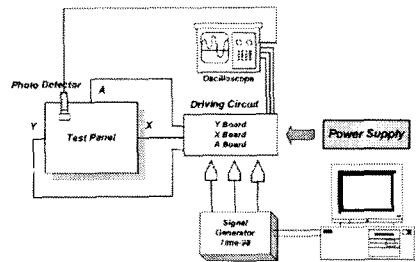


그림 1. 실험 장치의 개략도

1. 서 론

최근 대중 매체가 발달함에 따라 대화면 평판 디스플레이 소자에 대한 관심과 요구가 증대되고 있는 가운데, 그중에서도 특히 차세대 디스플레이로 주목받고 있는 PDP(Plasma Display Panel)는 날로 대형화, 고정세화, 고효율화를 목표로 개선되어지고 있다.[1] 그러나 PDP가 다른 디스플레이 소자와 더욱더 경쟁력을 갖추기 위해서는 효율을 보다 더 높여야 함과 동시에 가격을 낮출 필요가 있다. 이를 위해서는 HDTV(High-definition television)에서도 single scan을 달성하여 가격을 낮출 뿐만 아니라 휘도 증가를 통해 효율도 상승시킬 수 있는 고속 어드레싱이 필수적이다.

이러한 고속 어드레싱을 이루기 위하여 보조 전극을 삽입하거나 보조 방전을 일으킴으로써 프라이밍 입자를 공급하는 방법들이 제시되기도 하였다.[2, 3] 그러나 본 논문에서는 따로 보조 전극이나 펄스의 추가 없이, 구동 라인을 분할하여 프라이밍 입자를 공급함으로써 어드레스 방전의 지연시간을 단축시키는 ADR(Address During Reset)이라는 새로운 구동 방식을 제안하였다. 이 ADR 방식은 한 라인에서 어드레싱을 하는 동안 다른 인접 라인에서는 리셋의 약방전을 실시하여 발생하는 프라이밍 효과를 이용하는 원리로서, 이를 통해 방전 지연시간을 단축시키는 물론 충분한 리셋시간도 확보함으로써 배경 광을 줄여 명암비가 개선되는 효과도 얻을 수 있었다.

2. 본 론

2.1 실험장치 및 실험방법

2.1.1 실험장비 설치

그림 1은 본 실험에 사용된 장치의 개략도이다. 실험에

2.1.2 ADR 구동원리

그림 2에서는 새로운 구동방식인 ADR (Address during Reset) 구동방식에 이용되는 두 개로 분할된 Y 전극의 구동파형을 나타내었다. 이 방식은 한 라인에서 리셋을 실시하여 램프 상승 시 발생하는 프라이밍 입자를 인접라인의 어드레스 방전에 이용하는 분할 구동 방식이다. 이 방식을 시간 순서대로 살펴보면, 그림 2에서와 같이 T1 구간에서 Line2가 리셋 구간의 램프로 상승할 때 Line1은 그 프라이밍 효과를 이용한 어드레싱을 실시하며, T2 구간에서 Line2가 리셋의 휴지기와 램프로 하강하는 동안에는 Line1이 서스테인과 이레이즈를 차례로 실시하는 구동 시간차를 가진다. 이후에 T3 구간에서 리셋을 마친 Line2가 어드레싱을 할 때는 서스테인이 끝난 Line1이 리셋을 실시하여 반대로 프라이밍 입자를 공급함으로써 따로 보조 전극이나 보조 방전의 추가 없이 프라이밍 효과를 이용한 고속 어드레싱을 이룰 수 있다.

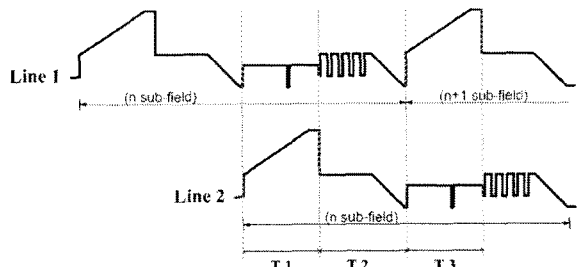


그림 2. ADR 구동 파형

2.1.3 패널 적용과 실험 조건

제한한 분할 구동 방식은 인접한 셀의 전극 간에 다른 파형이 인가되기 때문에 셀 사이에 벽전하의 분포에 따라 전위차가 커질 경우 cross talk와 같은 오방전이 발생할 수 있으므로 패널에 적용할 때 고려해야 할 점이 있다. 그림 3(a)는 일반적인 YXYX 전극구조의 패널에 적용했을 경우 일어날 수 있는 오방전을 나타낸 그림으로써, Cell 2는 리셋을 실시하고 Cell 1은 어드레싱을 할 때 높은 전압이 인가되는 Cell 2의 Y'전극과 Cell 1의 X전극 사이에 원하지 않는 오방전이 일어나게 된다.

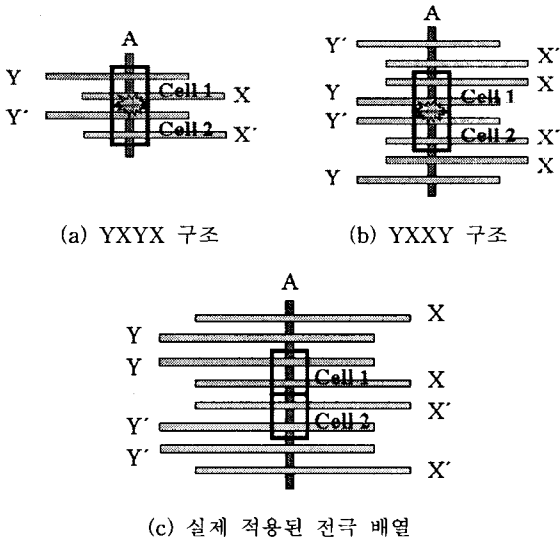


그림 3. ADR 구동을 위한 패널의 전극 배열

이러한 문제점을 극복하기 위하여 YXXY 전극구조의 패널을 적용할 경우에도 그림 3(b)와 같이 Y와 Y'전극이 인접할 경우 역시 높은 리셋 전압이 인가되는 Cell 2의 Y'전극과 Cell 1의 Y전극 사이에 오방전이 일어나게 되며, 이온의 Charge flow 현상에 의해서도 cross talk 문제가 일어나게 된다. 이 문제를 해결하기 위해서는 YXXY 전극구조의 패널을 이용함과 동시에 그림 3(c)에서와 같이 Y scan 전극끼리가 아닌 X sustain 전극끼리 인접하게 배열할 필요가 있다. 표 1에는 실험한 조건들을 요약하였으며, 특히 리셋 할 때 램프상승 값을 가능한 한 크게 250V까지 올려 프라이밍 입자를 공급할 리셋의 약방전을 최대화하였다.

표 1. 실험 조건

전압 조건	
Y Reset voltage (reset + Ramp up)	150 + 250 = 400V
X bias voltage	120V
Reset Down voltage	-70V
Y scan voltage	0V
Sustain voltage	170V
Address voltage	70V
Address Pulse Width	1.5us
Ramp 상승 구간 길이	530us

2.2 실험 결과

2.2.1 ADR 구동

그림 4는 기존의 ADS 램프 리셋 방식과 새로운 구동 방식인 ADR 방식의 동적 마진을 각각 측정하여 비교한 것이다. 그림에서와 같이 ADR 구동방식의 어드레스 방전의 최소값이 기존의 ADS 방식보다 약 3V 정도 더 낮으며, 구동 마진의 폭은 전체적으로 비슷하여 안정된 구동이 가능함을 알 수 있다. 다만 ADR 구동 시 서스테인 전압이 높아질수록 마진의 최대값이 다소 감소되며, 이것은 높게 인가된 서스테인 전압이 리셋 중인 인접라인에 영향을 미치기 때문이라고 생각된다.

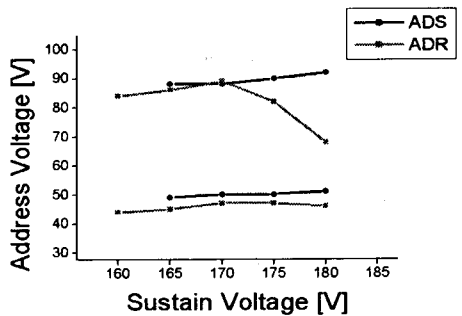
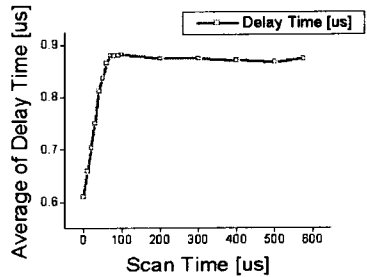
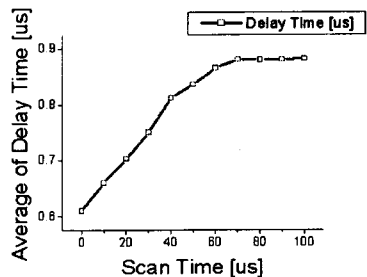


그림 4. Dynamic margin 비교

그림 5(a)에서는 스캔 구간에 따른 어드레스 방전의 지연시간을 500번씩 측정하여 sampling한 뒤 평균하여 나타내었으며, 그 구간을 더욱 확대한 그림 5(b)를 살펴보면 80us 이후에는 리셋에 의한 프라이밍 효과가 끝나기 때문에 방전 지연시간이 포화되는 것을 알 수 있다. 그러므로 ADR 방식으로 구동할 때, 프라이밍 효과가 떨어지는 50us에서부터 리셋의 램프를 상승시킴으로써 약방전을 통한 프라이밍 입자를 보다 효율적으로 공급할 수 있도록 하여 실험하였다.



(a) 스캔 구간별 방전 지연 시간 평균 (0~576us)



(b) 스캔 구간별 방전 지연 시간 평균 (0~100us)

그림 5. 스캔 구간에 따른 방전 지연 시간

본 실험에서는 어드레스 펄스폭을 1.5 μ s로 하였기 때문에 전체 스캔구간의 길이는 576 μ s가 되고, 앞에서 말한바와 같이 효율적인 프라이밍 입자 공급을 위해 리셋의 램프는 스캔 구간이 시작된 50 μ s 이후에 상승하여 최종 램프 상승 구간의 길이는 530 μ s가 되었다. 그림 6은 이러한 내용이 적용되어 실제로 구현된 파형의 그림을 나타내었다.

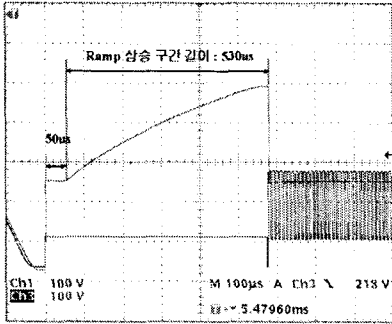
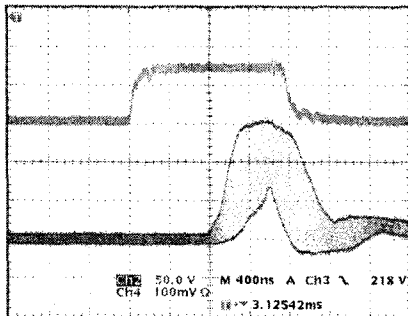


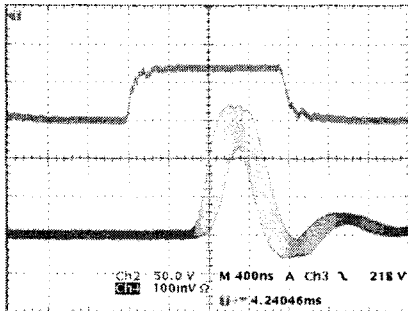
그림 6. Reset 구동 파형

2.2.2 어드레스 방전 지연시간 측정과 명암비 개선

그림 7은 기존의 ADS 방식과 새로운 ADR 방식의 어드레스 방전을 측정하여 비교한 그림이다. 측정은 최악의 조건인 가장 끝 라인에서 측정하였으며, 어드레스 펄스폭이 1.5 μ s인 경우 768라인을 기준으로 기존의 방식은 스캔구간의 길이가 $768 \times 1.5 = 1152\mu$ s가 되고, 분할 구동을 이용한 ADR 방식은 스캔구간의 길이가 그 절반인 $1152 \div 2 = 576\mu$ s가 된다. 아울러 ADR 방식으로 구동할 경우, 어드레스 방전 시 리셋 중인 인접라인으로부터 프라이밍 입자가 공급되기 때문에 방전 형성 지연시간이 줄어드는 것은 물론 Jitter도 감소하게 되며, 그림 7(b)에서 볼 수 있듯이 광파형이 어드레스 펄스 내에 완전히 포함되어 보다 안정적인 어드레싱이 이루어지게 된다.



(a) Conventional



(b) ADR

그림 7. Address Discharge Delay Time 비교

이러한 어드레스 방전 지연시간의 감소 정도를 더욱 자세히 살펴보기 위하여 어드레스 펄스로부터 광파형의 peak치에 도달하기 전 90% 부분까지를 500번씩 측정하였으며, 그 분포 결과를 그림 8에 나타내었다. 측정 결과, 방전 형성 지연시간은 대략 100ns 정도 감소하였으며, Jitter는 200ns 이상 더욱 크게 감소하는 것을 확인할 수 있었다.

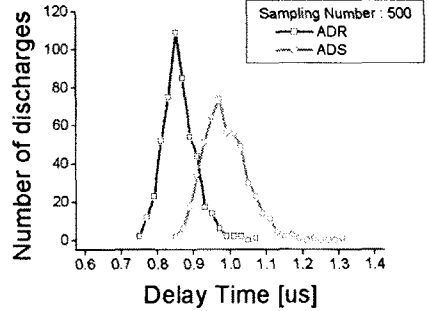


그림 8. Delay Time 측정 비교

또한 ADR 구동방식은 인접라인의 스캔구간 길이만큼 리셋의 램프 상승 시간이 충분히 확보되어 리셋광이 줄어들다는 또 다른 장점을 가지고 있다. 그림 6에서와 같이 530 μ s의 램프상승 구간을 가지는 ADR 구동조건에서 측정된 리셋광과 130 μ s정도의 램프상승 구간을 가지는 기존 파형의 리셋광을 비교한 결과를 표 2에 나타내었으며, 배경광이 29%나 감소하여 암실 명암비의 개선이 이루어졌다.

표 2. 리셋광 비교

Conventional	ADR
0.65 cd / m ²	0.46 cd / m ²

3. 결 론

본 논문에서는 보조 전극을 추가하거나 보조 펄스를 통한 방전 없이, 분할 구동 방식을 이용하여 프라이밍 입자를 공급함으로써 방전 지연시간을 감소할 수 있는 새로운 ADR(Address During Reset) 구동법을 제안하였다. 이 방식은 한 라인이 어드레싱을 하는 동안, 인접한 다른 라인에서는 리셋을 실시하여 램프 상승의 약방전을 통해 프라이밍 입자를 공급하는 원리를 이용하고 있다. 그러나 이 방법은 인접한 셀의 전극 간에 전위차가 크게 벌어질 경우 cross talk와 같은 문제점이 발생할 수 있으므로, YXXY 구조의 패널에 다른 파형이 인가되는 셀의 X 전극끼리 인접하게 배열하여 적용할 필요가 있다.

이러한 조건에 맞추어 실험한 측정 결과, 프라이밍 효과로 인하여 방전 형성 지연 시간이 100ns 정도 감소하였으며, Jitter의 감소도 200ns 이상 줄어들었다. 또한 충분한 리셋 시간을 확보함으로써 리셋광이 약 30% 정도 감소하였고, 그만큼 배경광이 줄어 암실 명암비도 개선되었다.

[참 고 문 헌]

- [1] Larry F. Weber, "The Promise of Plasma Display for HDTV", Society for Information Display(SID), vol 16, no. 12, pp 16-20, 2000
- [2] J.Y. Yoo et al, "High speed-Addressing for Single-Scan of AC PDP", SID 01, pp 798-801, 2001
- [3] K.D. Cho et al, "New Fast Addressing Waveform for XGA Grade AC Plasma Display Panel", Euro display 2002, pp 333-336, 2002