

## Ni 내부전극을 이용한 온도보상용 MLCC 제작 및 특성

윤중락\*, 이현용\*\*, 이석원\*\*\*

\*. 삼척콘덴서, \*\*. 명지대학교 전기전자공학부, \*\*\*, 호서대학교 정보제어공학부

### The Properties and Fabrication for Temperature Compensation Multilayer Chip Capacitors with Inner Electrodes.

Jung Rag Yoon, Heun Young Lee, Sek Won Lee  
SAMWHA Capacitor Co. Ltd, Myoung Ji University, Hoseo University

#### Abstract

온도보상용 적층 칩 캐패시터 제작에 있어 다음과 같은 실험 결과를 얻을 수 있었다. 적층 칩 캐패시터의 제작에 있어 용량은 재료자체의 유전율 과 압력 조건에 따라 변화함을 볼 수 있으며 설계시 이를 고려해야 한다. 또한, 외부 전극의 경우 glass frit 선정이 중요한 변수임을 확인하였으며  $T_g$ 에 따라 glass frit을 선정하여야하며 열충격 및 소결성 향상을 위한 glass을 동시에 적용하는 것이 유리함을 확인하였다. Ni 내부전극 적용시의 고주파 특성을 검토한 결과 Pd 전극과는 유사한 경향을 보이나 Ag-Pd에 비해서는 우수한 손실특성을 보여주고 있다.

재료의 손실이 저하될 뿐 아니라 Ag-Pd 합금 조성을 사용함으로써 도전율이 감소하여 적층 칩 캐패시터의 손실 특성이 증가하여 고주파 통신기에 적용시 문제점이 있다. 본 논문에서는 Ag-Pd 합금에 비하여 도전율이 높은 Ni 내부 전극을 이용하였으며 내환원성 조성으로 (Ca,Sr)(Zr,Ti)O3계를 주성분으로 선정하여 고주파 특성이 우수한 적층 칩 캐패시터를 제작하였다. 적층 칩 캐패시터 제조에 있어 제조 공정상 주요한 항목이 바인더 배합비, sheet 특성을 고찰하였으며 특히 외부전극 형성 후 도금시 도금액 침투에 대한 안정성을 평가하였다

#### 1. 서 론

최근 적층 칩 캐패시터의 소형화 및 고용량화 요구가 증대되고 있다.[1] 적층 칩 캐패시터의 고용량화를 위해서는 전극간 두께를 얇게 하면서 내부 전극을 Ni로 적용하여 전극 층수를 늘려야한다. 최근에는 적층 칩 캐패시터 제작에 있어 내부전극으로 고가인 Pd, Ag-Pd 대신 저가적인 Ni전극으로 사용하고자 하는 노력을 하고 있다. 내부전극을 Ni로 적용시 소결 중 Ni 내부전극의 산화를 방지하기 위하여 환원 분위기 소결이 필요하다. 일반적으로 적층 칩 캐패시터는 BaTiO<sub>3</sub>가 주성분으로 고 유전율 가지는 유전 재료의 연구는 많이 되어있으나 저 유전율재료를 적용한 적층 칩 캐패시터의 연구는 적은 실정이다. BaTiO<sub>3</sub>를 주성분으로 하는 적층 칩 캐패시터는 온도특성에 따라 Y5V, X7R의 특성을 얻을 수 있으며 특징으로는 유전율이 높아 고용량의 적층 칩 캐패시터를 제작할 수 있지만 온도에 따른 용량 변화 큰 단점을 가지고 있다.[2] 본 논문에서는 온도 특성 및 고주파 손실이 적은 적층 칩 캐패시터를 제작하는 데 있어 필요한 기본 조성 및 제조 공정에 대해 연구하고자 한다. 적층 칩 캐패시터에서 온도특성이 양호한 특성으로는 COG(-55℃~125℃의 온도 범위에서 용량변화가 0±30ppm/℃이내)가 있으며 기존에는 유전율 60~100인 BaO-Nd<sub>2</sub>O<sub>3</sub>, 유전율 20인 MgTiO<sub>3</sub>-CaTiO<sub>3</sub>계를 사용하였으며 소결온도가 1250~1350℃인 경우와 저온소결을 위해 glass frit 또는 액상 첨가제를 첨가하여 980~1100℃에서 소결한 조성이 있다. 저온 소결의 경우 유전체

#### 2. 실험 방법

본 연구에서는 (Ca<sub>0.7</sub>Sr<sub>0.3</sub>)(Zr<sub>0.97</sub>Ti<sub>0.03</sub>)O<sub>3</sub>가 주성분으로 MnO<sub>2</sub>와 Al<sub>2</sub>O<sub>3</sub>, 유리프릿을 첨가하여 유전율이 32인 원료를 제작하였다. 제작된 원료의 평균입径은 0.7 um이고 비 표면적은 3.85 g/cm<sup>2</sup>의 분말 특성을 나타내었다.[3] 세라믹 분말과 PVB 바인더, 톨루엔, 분산제를 이용하여 슬러리를 제작한 후 닥터 블레이드법으로 그린시트를 제작하였다. 제. 적층 칩 캐패시터는 green sheet 위에 Ni 전극을 프린팅 한 후 적층, 압착, 절단하여 1.6×0. X0. 8× X 0.6mm인 green 칩을 제작하였다. 적층 칩을 280℃에서 8시간 바인더 탈지 후 그림 1의 소결 조건으로 소성하였다. 소성중 산소분압은 N<sub>2</sub>-H<sub>2</sub>-H<sub>2</sub>O를 이용하여 10<sup>-11</sup> MPa로 1280℃에서 하였으며 재산화는 1000℃에서 10<sup>-7</sup> MPa로 하였다. 유전율, 유전 손실, 온도특성은 1 MHz, 1 V<sub>rms</sub>를 인가한 후 HP4192A로 측정하였으며 시편의 절연저항은 High Resistance Meter (HP 4339B, Hewlett-Packard, USA)를 사용하여 100 [V]의 전압을 가하여 측정하였다.그린시트 및 적층 칩 캐패시터의 소결후 미세구조 및 외부전극 구조는 SEM을 이용하여 분석하였다

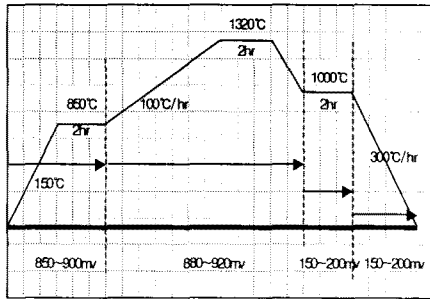


그림 1. MLCC 소결 조건  
Fig. 1. Sintering schedule of MLCC.

### 3. 결과 및 고찰

표 1은 COG 적층 칩 캐패시터 제작 및 설계시 필요한 주요공정 및 예상 불량 현황을 FEMA(Failure Modes and Effects Analysis) 분석을 행한 것이다. 주요 공정으로는 압착 공정과 터미네이션 및 동소 공정이 있으며 예상되는 불량으로는 절연저항의 경시 변화가 주요한 인자임을 예측할 수 있다.

표 1. 적층 칩 캐패시터 제작, 설계시 FEMA.  
Table 1. FEMA of design and fabrication for Multilayer Chip Capacitor.

구분	적용분야	분석대상
공정	입력에 따른 용량 및 절감	입력압력에 따른 소성 후 용량 변화 및 두께 변화를 실험
T <sub>s</sub> 및 동소	외부 전극 및 동소 조건 불일치에 따른 IR 및 도금 불량	전극 및 동소 조건에 따른 미세 구조 및 특성 변화 실험
도금 공정	도금시 불량 및 선별 조건 불일치에 따른 feedback 증가	도금 조건 확보 및 선별 조건 확보
IR 경시 변화	신뢰성 평가 및 경시 IR 불량	공정 전반적으로 IR 경시 변화에 미치는 영향 탐지 및 신뢰성 실험

그림 2는 내부 sheet 두께 25um이고 내부 sheet는 18층으로 설계하였으며 제품의 크기는 1.6 X 0.8 X 0.6mm인 제품의 압착력에 따른 용량의 변화를 나타내었다. 압력이 증가할수록 캐패시턴스가 증가함을 볼 수 있으며 이와 같은 결과는 압력이 증가함에 따라 소결성이 증가함으로 유전율이 증가하여 나타나는 결과로 예측할 수 있지만 다른 면으로는 압력에 따른 sheet 변형도 영향을 미칠을 알 수 있다. 표 2는 외부 전극에 사용되는 glass frit가 가져야할 기본 물성으로서 도금시 Ni 도금액 침투가 없어야 하며 외부 전극 형성시 cosmetics가 양호해야 한다. 특히, 도금시 도금액 침투 방지 및 세라믹과의 접착력 향상을 위해 glass frit의 선정이 매우 중요한 요소임을 나타내고 있다.

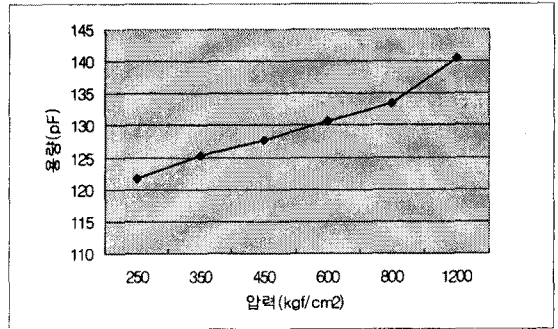


그림 2. 압력에 따른 용량의 변화  
Fig. 2. The change of capacitances as a function of pressure.

표 2. 외부전극의 glass frit 요구 특성  
Table 2. Properties of glass frit for external electrode.

Property	Approach
Eliminate N penetration	Densification through better packing (Cu/glass)
Improve reliability on chips	Refine glass chemistry, Control interaction zone
Addition	Glass chemistry, oxide additives
Cosmetics	Control lithology through organic formulations

glass frit의 선정에 있어 T<sub>s</sub>가 작을수록 세라믹 소체 쪽으로 capillary force에 의해 이동되어져 접촉성에 영향을 준다. 또한 glass frit의 경우 소결 구조에 영향을 미치며 양호한 glass frit는 소결성을 양호하게 할 뿐 아니라 세라믹 소체와 전극 사이에 glass 층을 형성하여 도금액 침투를 방지하여야 한다. 그림 3은 외부전극이 가져야할 모식도로서 ZnO-BaO-B<sub>2</sub>O<sub>3</sub>-SiO<sub>2</sub> 계 glass frit의 경우 T<sub>s</sub>가 적어 세라믹 소체 쪽에 glass 층을 형성하고 특히 B<sub>2</sub>O<sub>3</sub>는 망목구조를 강하게하면서 열팽창 계수를 감소시키는 역할을 함으로 적층 칩 세라믹 캐패시터의 열충격 특성을 향상시킬 수 있으며 또한 도금액 침투를 방지하는데 큰 역할을 하였다. BaO-B<sub>2</sub>O<sub>3</sub>-SiO<sub>2</sub> 계 glass frit는 T<sub>s</sub>가 높아 전극 표면쪽으로 위치할 가능성이 높으며 역할로는 Cu 분말의 소결성을 증진시키는 데 중요한 역할을 할 수 있었으며 분위기 소결시 외부전극 표면에 glass 뭍힘 현상을 나타나게 하므로 사용시 소결 분위기 제어가 필요하다.

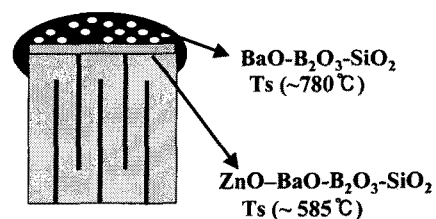


그림 3. 외부 전극 glass frit 위치  
Fig. . The glass frit position of external electrodes.

그림 4는  $\text{TCu}$  페이스트를 이용하여 외부전극을 형성한 모양으로서 적절한 Resin을 선정하여 터미네이션을 한 사진으로 band 크기가 일정함을 볼 수 있다.



그림 4. 외부 전극 외관  
Fig. 4. The shape of external electrodes.

그림 5는 동소 후 외부 전극의 표면구조 및 내부전극과 외부전극의 접합을 나타낸 사진이다. 표면의 경우 glass의 용출을 볼 수 없으며 표면 구조 또한 치밀한 구조를 나타내고 있다. 그림 3의 모식도에서 설명한 glass 계면층이 존재함을 볼 수 있으며 외부 전극과 내부 전극과의 접합도 양호하게 나타남을 볼 수 있다.

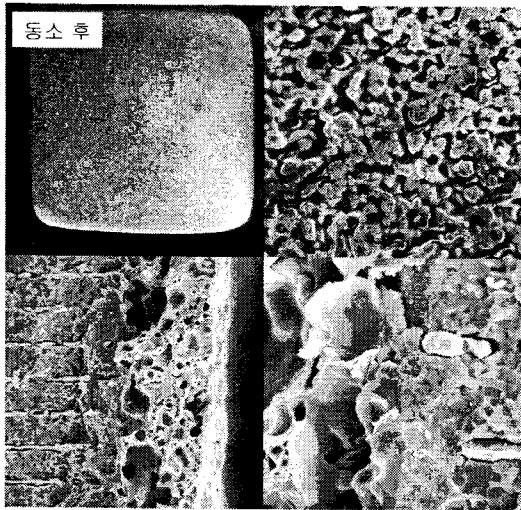


그림 5. 외부 전극 소결후 SEM 사진  
Fig. 5. The SEM of sintered external electrodes.

표 3은 상기 조건으로 제작된 적층 칩 캐패시터의 신뢰성 결과로서 HALT 시험 및 도금액 침투 확인을 위한 초음파 검사도 양호한 특성을 나타냄을 볼 수 있다. 또한 적층 칩 캐패시터 사용시 중요한 특성인 납 내열성에도 우수한 특성을 나타내고 있으며 절연저항 특성도 양호한 결과를 얻을 수 있었다.

표 3. 적층 칩 캐패시터의 신뢰성 특성  
Table. 3. Reliability properties of MLCC

항목	HALT (50℃, 350V, 5hr)	초음파(도금액)	납 내열성	최종 IR검사
결과	0/50	0/1500	0/800	0/8000

표 5는 내부 전극별 주파수 특성을 나타낸 것으로 내부 전극에 상관없이 용량 값은 유사한 값을 나타내지만 품질계수 Q 값의 경우 저주파에서는 전극과 상관없이 우수한 특성을 나타내지만 1000[MHz] 이상의 경우 Ni 과 Pd 내부전극을 사용한 경우가 Ag-Pd 내부전극에 비해 우수한 특성을 나타냄을 볼 수 있다.

표 5. 적층 칩 캐패시터의 고주파 특성  
Table. 5. High frequency properties of MLCC.

내부전극	N		R <sub>1</sub>		Ag/Pd	
	Q <sub>60</sub> (%)	Q	Q <sub>60</sub> (%)	Q	Q <sub>60</sub> (%)	Q
10	0.958	2,000↑	1.005	2,000↑	1.238	2,000↑
100	0.957	2,000↑	1.004	2,000↑	1.297	2,000↑
300	0.992	2,000↑	1.010	2,000↑	1.298	209
600	0.995	2,000↑	1.015	2,000↑	1.305	123
1000	0.996	1,300	1.025	700	1.320	64
1500	1.005	1,000	1.051	600	1.360	44
1700	1.016	400	1.051	155	1.404	33
비고	공인1800M이상		공인1800M이상		공인1800M이상	

### 3. 결 론

온도보상용 적층 칩 캐패시터 제작에 있어 다음과 같은 실험 결과를 얻을 수 있었다. 적층 칩 캐패시터의 제작에 있어 용량은 재료자체의 유전율 과 압력 조건에 따라 변화함을 볼 수 있으며 설계시 이를 고려해야 한다. 또한, 외부 전극의 경우 glass frit 선정이 중요한 변수임을 확인하였으며 T<sub>s</sub> 에 따라 glass frit을 선정하여야 하며 열충격 및 소결성 향상을 위한 glass를 동시에 적용하는 것이 유리함을 확인하였다. Ni 내부전극 적용시의 고주파 특성을 검토한 결과 Pd 전극과는 유사한 경향을 보이나 Ag-Pd에 비해서는 우수한 손실특성을 보여주고 있다.

### [참 고 문 헌]

- [1] P. Hansen, D. Hennings, and H. Schreine - macher, "Dielectric Properties of Acceptor Doped (Ba,Ca)(Ti,Zr)O<sub>3</sub> Ceramics," J. Electro-cerama, 2, pp. 85-94, 1998.
- [2] Hirokazu Chazono and Hiroshi Kishi, "dc-Electrical Degradation of the BT-Based Materials for Multilayer Ceramic Capacitor with Ni internal Electrode: Impedance Analysis and Microstructure," Jpn. J. Appl.Phys. Vol.40, pp. 5624-5629, 2001.
- [3] Yoon jung rag, Lee seog won and Lee heun yong, "Effect of the Dielectric Properties for (Ca,Sr)(ZrTi)O<sub>3</sub> MLCC with Ni Electrode", International Conference on Electrical Engineering 2002, Proceedings : Vol. III, pp. 1109, 2002.,