

고화질 Active Matrix OLED 디스플레이를 위한 8비트 데이터 구동 회로 설계

An 8-bit Data Driving Circuit Design for High-Quality Images in Active Matrix OLEDs

조영직*, 이주상**, 유상대***
 Jo Young-jik, Lee Ju-sang, Yu Sang-dae

Abstract - First, for high-quality images and reducing process-error and driving speed, the designed 8-bit data driving circuit consists of a constant transconductance bias circuit, D-F/Fs by shift registers using static transmission gates, 1st latch and 2nd latch by tristate inverters, level shifters, current steering segmented D/A converters by 4MSB thermometer decoder and 4LSB weighted type. Second, we designed gray amp for power saving. These data driving circuits are designed with 0.35- μm CMOS technologies at 3.3 V and 18 V power supplies and simulated with HSPICE.

Key Words : Active Matrix, OLED, 8비트, shift resistor, latch, level shifter, D/A converter, gray amp

1. 서론

차세대 디스플레이로서 OLED는 자체 발광 특성으로 인해 높은 대조비와 우수한 시인성(是認性), 높은 휘도, 180도에 가까운 넓은 시야각, 수 μsec 이내에 응답하는 고속 응답 특성, 또한 LCD에 비해 backlight가 필요 없어서 저소비 전력과 초박형이 가능한 우수성을 지니고 있다. Passive Matrix OLED는 해상도가 증가함에 따라 화소들에 할당되는 라인 시간이 감소되면서 동일한 휘도를 얻기 위한 라인 시간동안의 화소에 흐르는 전류밀도는 증가하게 된다. 이로 인해 소비 전력이 증가하고 발광 효율이 떨어지며 소자의 수명이 감소되는 문제점들이 발생한다. 따라서 본 논문에서는 고해상도의 디스플레이의 구현이 가능한 Active Matrix OLED 디스플레이를 위한 8비트 데이터 구동 회로를 설계해 보았다.

2. 전류 제어형 데이터 구동 회로의 구성

Active Matrix OLED의 데이터 구동 회로는 shift resistor, 1st latch, 2nd latch, level shifter, D/A converter로 구성된다. Shift resistor가 clock과 carry 신호를 받아 동작을 시작하면 각 resistor 단은 shift clock에 따라 pulse를 순차적으로 이동시키고 이러한 동작에 맞추어 1st latch에 입력 디지털 데이터를 하나씩 저장시킨다. 이런 과정을 반복하여 한 개의 수평 line의 data 저장에 모두 끝나면 load pulse에 의하여 2nd latch로 내려 보낸다. Latch에 입력된 화상 데이터는

level shifter와 D/A converter를 통하여 256개의 gray scale 전류를 선택적으로 출력하여 모든 channel에서 동시에 출력된다.

2.1 Shift resistor 설계

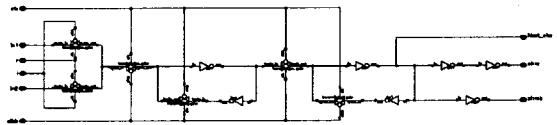


그림 1. Bi-directional shift resistor 설계 회로

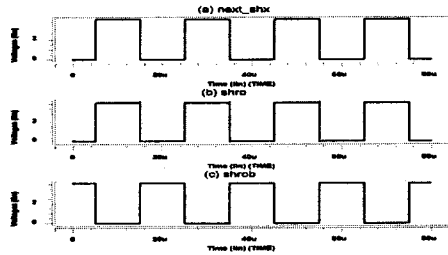


그림 2. 설계된 shift resistor의 출력 파형.

그림 2의 Next_shx에서 보듯이 clk 입력 파형보다 5 μsec 의 지연시간을 가짐으로서 shift clock에 따라 pulse를 순차적으로 이동시킬 수 있음을 보여준다. 또한 출력되어진 shro와 shrob 신호는 1st latch의 clkb와 clk의 입력 신호에 전달되어서 8비트 데이터 입력의 신호 전달을 가능하게 한다.

저자 소개

- * 曹永直 : 慶北大學 電子工學科 碩士課程
- ** 李周相 : 慶北大學 電子工學科 博士課程
- *** 劉相大 : 慶北大學 電子工學科 教授 · 工博

2.2 1st & 2nd latch 설계

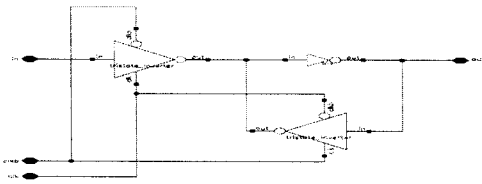


그림 3. 1st & 2nd latch 설계 회로

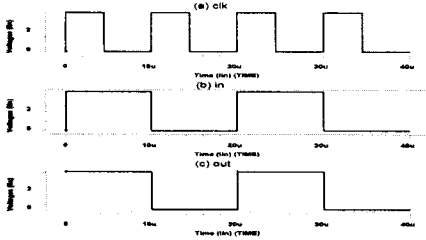


그림 4. 설계된 1st & 2nd latch의 출력 파형

앞서 설계한 shift register에서 보내진 shro, shrob 신호는 1st latch의 clk와 clkb로 전달된다. Clock 상승신호일 때는 데이터 신호를 받아서 1번째 tristate inverter를 거쳐 1st latch의 출력, 즉 2nd latch의 입력으로 전달하고, 하강신호일 때는 2번째 tristate inverter에 의해서 데이터를 latch 한다. 설계된 2nd latch의 구조는 1st latch의 구조와 같으며, 2nd latch의 clock 신호는 load에서 인가된다.

2.3 level shifter 설계

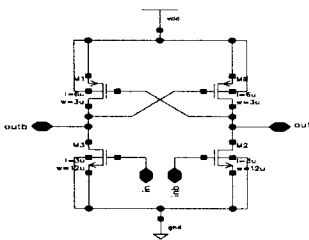


그림 5. Level shifter 설계 회로

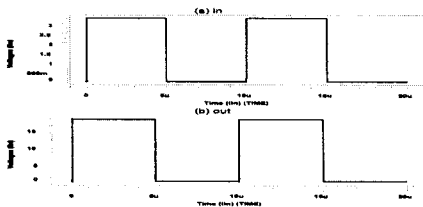


그림 6. 설계된 level shifter 출력 파형

설계된 level shifter 회로로 고전압 레벨 18V로 변환된 출력 신호를 가져 D/A converter의 고전압 MOS인 HP의 게이트를 구동할 수 있다.

2.4 D/A converter

2.4.1 4LSB current weighted D/A converter

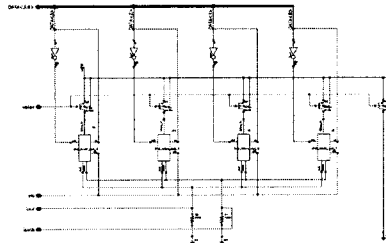


그림 7. 4LSB current weighted D/A converter 설계 회로

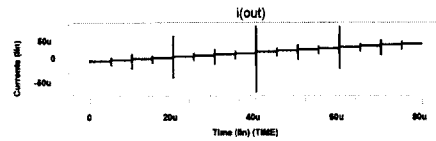


그림 8. 설계된 4LSB current weighted D/A converter의 출력 파형

2.4.2 4MSB thermometer decoder D/A converter

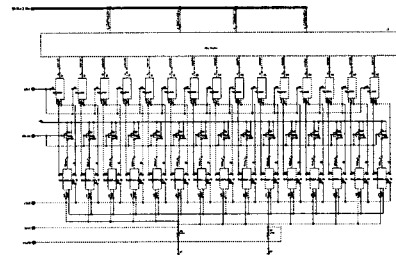


그림 9. 4MSB thermometer decoder D/A converter 설계 회로

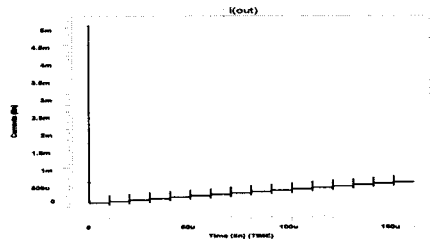


그림 10. 설계된 4MSB thermometer decoder D/A converter의 출력 파형

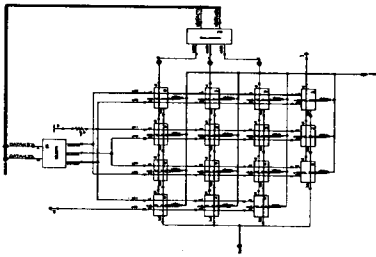


그림 11. 2차원 centroid 기법의 전류 스위치 설계 회로

공정상의 오차를 줄이기 위해 2차원 centroid 기법의 전류 스위치 배열을 하였다.

2.4.3 Bias circuit 설계

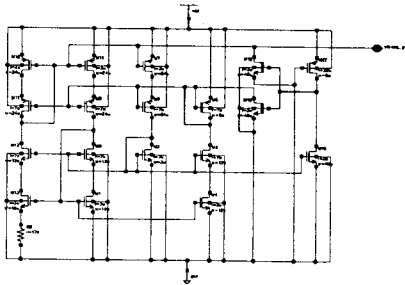


그림 12. Constant transconductance 바이어스 설계 회로

앞으로의 Active Matrix OLED는 미세 전류를 컨트롤 할 수 있는 전류 제어형 데이터 구동회로와 비교적 빠른 충전 시간을 갖는 전압 제어형 데이터 구동회로를 혼용하는 방식으로의 접근이 필요하다. 따라서 두 방식 모두의 데이터 구동 회로의 채널에 바이어스 전압을 가할 수 있는 constant transconductance 바이어스 회로를 설계했다.

2.4.4 8비트 4MSB thermometer decoder type, 4LSB current weighted type D/A converter 전체 모의 실험

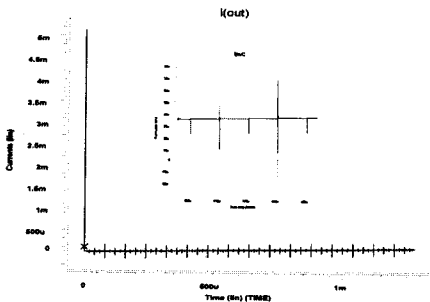


그림 13. 설계된 8비트 D/A converter의 출력 파형.

3. 전압 제어형 데이터 구동회로의 gray amp 설계

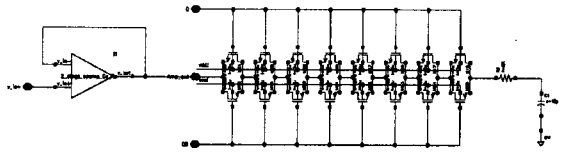


그림 14. Gray amp의 시뮬레이션 상태.

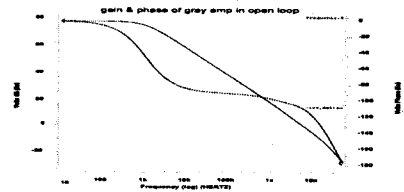


그림 15. 설계된 gray amp의 특성.

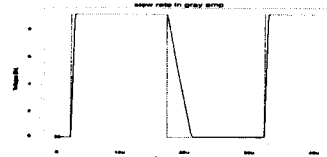


그림 16. 설계된 gray amp의 구동 특성.

이득은 70dB 이상, 위상 여유는 72°를 갖는다. 상승 Slew rate는 16.7 V/μs, 하강 slew rate는 2.3 V/μs를 갖으며, 상승 settling time은 2.91 μsec, 하강 settling time은 4 μsec이다.

4. 결론

구동 속도의 향상을 위해서 static 전송 게이트를 사용한 shift register를 설계하였고 1st latch와 2nd latch는 tristate inverter를 사용하여 설계했으며, 고화질을 구현하기 위해서 current steering 4MSB thermometer decoder, 4LSB current weighted type의 8비트 D/A converter를 설계하여 단조성을 보장하면서 DNL 에러와 글리치 잡음을 줄였다. 또한 gray amp를 최소 전력 소모와 최소 면적 조건에 중점을 두어 R_z와 C_c를 가지는 2-stage amp 구조로 설계해 보았다. 바이어스 회로에 있어서는 R bias를 조정함에 따라 decoder size와 load 개수에 따른 static 전류를 가변시킬 수 있도록 설계하였다.

참고 문헌

- [1] 박홍준, "CMOS 아날로그 집적회로 설계 (상,하)" 2 시그마프레스, 1999.
- [2] 이승훈, 김범섭, 송민규, 최중호 공저, "CMOS 아날로그/혼성모드 집적 시스템 설계(하), 2 시그마프레스, 1999.