

대용량 메모리의 이웃 패턴 감응 고장의 효율적 테스트를 위한 메모리 구조

김주엽^o 홍성제 김종
포항공과대학교 전기전자공학과
{juyeob^o, sjhong, jkim}@postech.ac.kr

Parallel Accessible Design for Detection of Neighborhood Pattern Sensitive Faults in High Density DRAMs

Ju Yeob Kim^o, Sung Je Hong, Jong Kim
Department of Electronic and Electrical Engineering
Pohang University of Science and Technology

요 약

본 논문은 메모리 집적도의 증가로 인해 많이 발생하는 이웃 패턴 감응 고장에 대한 효율적인 테스트 방법을 제안하고 있다. 기존의 테스트 방법에서는 비트 단위의 순차적인 셀 어레이 접근으로 인해 결함 검출율과 테스트 시간에 있어서 문제를 가지고 있다. 이러한 문제들을 본 논문에서는 이웃 패턴 감응 고장을 효율적으로 검출할 수 있는 타일 방식으로 셀 어레이를 구분하여 이웃 셀의 영역을 제한한다. 그리고 기본 셀과 이웃 셀에 필요한 패턴을 병렬로 임출력시킬 수 있는 병렬 접근 디코더와 검출기를 설계함으로써 전체 테스트 시간을 줄이고 결함 검출율을 높일 수 있는 방법을 제안한다.

1. 서 론

대용량 반도체 메모리는 디지털 제품의 핵심 부품으로 반도체 시장에서 큰 비중을 차지하고 있다. 공정기술의 발달로 인해 집적도는 비약적으로 발전하였고, 동시에 구조도 복잡해지고 있다. 이러한 집적도의 향상은 상대적으로 빈도가 낮았던 결함들의 발생을 증가시켜 제품의 신뢰도를 떨어뜨린다. 또한 기존의 결함 검출 방식으로는 결함 검출이 늦거나 검출 시간이 오래 걸리는 문제를 안고 있다. 이러한 문제를 해결하기 위해서는 새로운 결함 검출 방법이 제안되어야 하고 빠른 검출 시간과 테스트 경비를 줄이기 위해 테스트를 고려한 설계가 필요하게 된다.

특히, 반도체 메모리의 집적도 향상은 셀 간의 거리를 최소화 하여 설계하였으므로, 셀 사이의 간섭현상이 발생할 가능성이 높아진다. 이로 인해 단순히 셀 하나만이 결함을 발생 시키는 원인을 제공하는 것이 아니라, 여러 셀이 복합적으로 연결되어 결함을 발현 시키는 경우가 생긴다. 이러한 결함 모델을 패턴 감응 고장이라고 하며, 결함 검출을 위해 필요한 패턴의 조합수가 $n(2+3n)2^n$ 으로 대용량 메모리의 테스트를 위해서는 많은 시간이 필요하게 된다[1]. 따라서 다양한 패턴을 빠른 시간 내에 목적하는 셀에 인가할 수 있는 방법을 찾아야 하고, 동시에 최소한의 패턴 수를 통해서 결함을 검출할 수 있어야 한다. 기존의 결함 검출 방식들인 마치, 체크보드, 0/1 방식 등은 비트단위로 순차적인 접근 방식이므로 결함의 활성화에 필요한 다양한 패턴을 인가할 수 없고 제한적인 패턴 내에서만 검출이 가능하여, 결함 검출율이 상대적으로 낮다[2]. 이러한 문제를 해결하기 위해 패턴 감응 고장(Pattern Sensitive Fault)에 대한 단순모델인 이웃 패턴 감응 고장(Neighborhood Pattern Sensitive Fault)을 적용하여, 주변 셀의 수를 제한함에 따라 패턴 수와 테스트 시간을 동시에 줄일 수 있고 결함 검출율도 어느 정도 보상을 받게 된다.

본 논문에서는 이웃 패턴 감응 고장 검출을 위한 전략 중 전통적으로 이용되는 타일방식을 적용하여, 병렬로 테스트 패턴을 인가

할 수 있도록 병렬 접근 비트라인 디코더와 병렬 결함 검출 방법을 회로의 디자인을 통해 제안한다. 본 논문의 구성은 다음과 같이 구성된다. 2절에서는 이웃 패턴 감응 고장에 대해 관련 연구를 통해 알아본다. 3절에서는 제안하는 회로 디자인에 대한 설명과 동작 방법에 대해 소개한다. 4절에서는 제안된 회로를 적용할 경우 얻을 수 있는 효과에 대해 설명한다. 5절에서는 결과와 향후 계획으로 마무리 짓는다.

2. 관련 연구

전통적으로 이웃 패턴 감응 고장 검출에 대한 방법의 연구는 많은 논문을 통해 발표 되어 왔다. 지금까지 제안된 연구들은 이웃 패턴 감응 고장 검출에 대한 두 가지 측면에 초점을 맞추어 발표 되어 왔다. 첫째, 이웃 패턴 감응 고장에 대해 비트 단위의 순차적인 결함 검출 방법을 그대로 이용하면서 결함 검출율을 높이기 위한 방법을 찾는 경우이다. 대표적인 비트 단위의 순차적 결함 검출 방식인 마치 테스트 방식은 기본 셀과 이웃 셀에 대한 모든 패턴을 생성할 수 없으므로, 결함에 대한 활성화가 극히 제한적이다[2]. 다중 배경을 적용한 변형된 마치 테스트 방법은 메모리 용량과 전체 테스트 시간이 선형적 관계를 가지는 자체 결함 검출 회로 구현이 가능하다[3]. 그리고 마치 테스트 방식을 기반으로 하여 개발된 알고리즘은 일반적으로 다른 방법에 비해 회로의 연적 오버 헤드가 작고 구현이 간단하다. 그러나 결함 검출율을 높이기 위해 입력해야 하는 패턴의 길이가 길어져 전체 테스트를 위한 시간이 늘어나게 된다. 그리고 다중 배경을 입력하기 위한 초기화 시간이 필요하게 된다. 이 방법의 경우 결함 검출율은 거의 100%에 가깝지만, 테스트를 위한 시간이 많이 걸리게 된다. 둘째, 이웃 패턴 감응 고장 검출을 위해 필요한 시간을 줄이는 방법을 찾는 경우이다. 테스트를 위한 메모리 셀 어레이의 접근 방식을 기존의 비트 단위로 전체 셀 어레이를 스캔하지 않고, 한번

의 워드라인 접근에 여러 비트를 접근 할 수 있는 기능을 가진 디코더를 이용하여 테스트 시간을 줄일 수 있는 방식이다. 이러한 테스트 방식을 LMT(Line Mode Testing)라고 하며, 전통적인 비트 단위의 순차적 접근 방식에 비해 전체 테스트의 복잡도가 약 $O(N^{1/2})$ 로 줄어들게 된다.

메모리 셀 어레이에 병렬로 접근 하는 방식을 적용한 [4]에서는 타일 방식 중 타입2를 통해, 기본 셀에 대한 주변 셀 8개의 종류를 네 가지로 정리하였다. 8개의 이웃 셀들은 2개씩 짝을 이루어, 연결되어 있는 워드라인과 비트라인 주소의 흡수, 짝수를 통해 모두 네 개로 구분하였다. 이 방법이 적용 가능한 것은 흡수와 짝수를 가진 비트라인을 각각 동시에 접근 가능하게 만든 비트라인 디코더의 제안 때문이다. 하나의 워드라인에 대해 한번에 흡수와 짝수 번지의 비트라인에 연결되어 있는 셀들에 각각 접근 할 수 있으므로, 테스트 시간을 많이 줄일 수 있다. 그러나 이 방법은 이웃 셀의 상태와 패턴이 제한적이므로, 이론적으로 결함 검출률이 낮다. 이 방법과 함께 [5]의 연구에서는 병렬 접근이 가능한 디코더의 기능이 비트 라인 주소 제어기에 의해 결정되어 병렬로 쓰고 읽을 수 있게 할 수 있다. 이 방식의 경우도 제한적인 패턴의 인가로 인해 이웃 패턴 강음 고장의 세 가지 세부 결함 모델에 대한 활성화가 가능하지 않다.

이외에 필요 없는 패턴을 줄이기 위해서 랜덤 테스트 방식을 적용하는 경우가 있는데, 이 방법은 결함 검출율을 높일수록 필요한 회로의 복잡도가 크게 증가하게 된다. 이와 같이 이웃 패턴 강음 고장에 대한 검출율과 검출 시간의 상대적 우위를 점하는 연구는 일부 제안되었으나, 두 가지 모두 만족 시키는 것은 어려운 연구 주제였다.

3. 제안된 방법

3.1 병렬 접근 가능 디코더

병렬 접근 가능 디코더(Parallel Accessible Decoder)는 한번의 워드라인 접근시에 여러 셀에 동시에 접근 할 수 있는 기능을 가지고 있는 디코더이다. 메모리 셀의 읽기와 쓰기 동작을 위해서 두개의 디코더가 필요하지만, 본 논문에서는 본래의 비트라인 디코더를 변형하여, 병렬로 접근할 수 기능을 추가 하였다. 기존의 디코더 구조에서 크게 벗어나지 않는 동시에 추가되는 트랜지스터 수를 최소로 하였으며, 메모리 셀의 타일링 방식 중 타입1에 맞게 5 비트 간격으로 동일한 셀에 접근 할 수 있는 병렬 접근 기능을 가지고 있다[그림1].

제안된 디코더의 동작 모드는 일반 모드($test_enable='0'$)와 테스트 모드($test_enable='1'$)로 나누어지고 일반 모드시에 정상적인 개개의 비트별 접근이 가능하게 한다. 그리고 테스트 모드시에 기본셀과 이웃 셀의 변화에 따라 병렬로 접근이 가능하여, 한번의 워드 접근에 여러 비트를 동시에 접근 가능하게 한다. 이러한 기능은 테스트를 수행할 때에 기본 셀과 이웃 셀의 변화에 따라 병렬로 접근이 가능하여, 한번의 워드 접근 시에 다섯 번의 비트라인 활성화로 읽기 또는 쓰기 동작을 마칠 수 있다. 256Kb 용량의 셀 어레이 경우 하나의 워드라인 내에 모든 셀에 대해서 다섯 번의 비트라인 접근으로 쓰기와 읽기 동작을 각각 완성할 수 있으므로, 50배 정도의 속도 향상을 보일 수 있다. 이 방법을 적용하자면, 워드라인에 연결되어 있는 셀의 수 즉, 비트라인의 수에 상관없이 다섯 번의 비트라인의 접근으로 작업을 끝낼 수 있으므로 $O(N^{1/2})$ 의 테스트의 복잡도를 가질 수 있다. 일반적으로 워드라인과 비트라인의 수가 동일하다는 전제로 생각하자면, 테스트 시간의 워드 라인수의 증가에만 영향을 받게 된다.

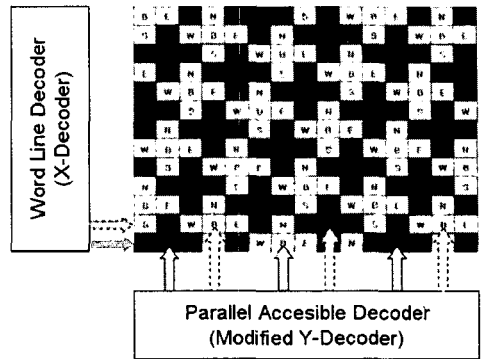


그림 1 메모리 셀의 타입1 타일 방식과 병렬 접근 디코더

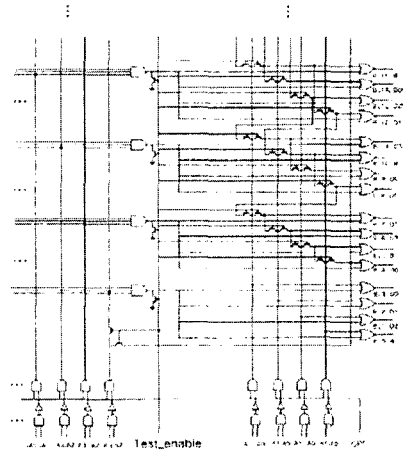


그림 2 병렬 접근 가능 디코더 회로도

이웃 패턴 강음 고장의 특성상 하나의 기본 셀과 그 주변 셀들의 영역에서만 독립적으로 패턴을 입력할 수 있으면 결함을 검출할 수 있으므로, 이와 같은 병렬 접근 방식으로 테스트를 수행하는 것이 가능하다.

3.2 병렬 결함 검출기

전통적인 DRAM의 구조는 셀 어레이로의 입출력 라인이 비트라인을 공유하고 비트라인 디코더에 의해서 선택적으로 입출력 라인과 연결되어, 데이터를 입출력하게 된다. 그러나 제안하는 병렬 접근 가능 디코더를 통해 한번의 워드라인 접근 시에 다중 비트라인을 활성화하여 쓰기 동작을 할 경우에는 동일한 데이터를 입력 시키므로 문제가 되지 않는다. 하지만 읽기 동작을 할 경우, 결함이 발생한 셀의 비트라인과 그렇지 않은 비트라인 간의 서로 다른 데이터 값이 'wired-OR'가 되어 결함 검출이 어렵게 된다.

이러한 이유에서 전통적인 메모리의 입출력 라인과 비트라인의 연결 형태를 병렬 접근 테스트시에는 다른 방법으로 결정해 주어야 한다. 본 논문에서는 셀 어레이의 DB과 /DB라인에 실려 출력되거나 입력되는 데이터 값은 일반적으로 서로 반대 상태를 유지해야 하지만, 결함이 발생한 비트라인이 병렬로 접근한 비트라인 중에 섞여 있을 경우 DB와 /DB 라인 모두 '0' 상태로 들어갈게 설계 하였다[그림3].

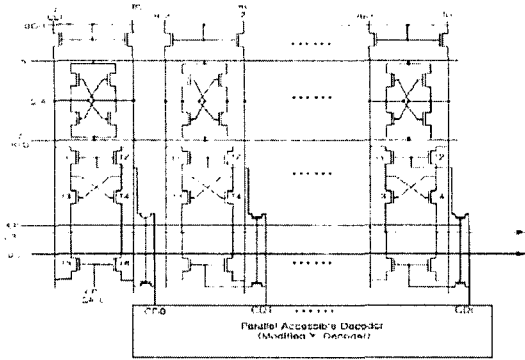


그림 3 병렬 접근 가능 디코더와 결함 검출기

그림3에서 병렬 테스트로 읽기 동작에 들어 갈 때 /Test 신호가 '0'으로 떨어지게 되면 병렬 접근 가능 디코더의 CD 신호들은 T1 과 T2 트랜지스터를 닫히게 하고 정상적인 동작 모드에서 선택 되는 T5와 T6의 경우는 열리게 한다.

병렬 읽기 동작에 들어가면 모든 비트라인이 감응 증폭기에 의해 비트라인들의 상태가 결정되어 T3와 T4 두개의 트랜지스터 중 하나만 닫히게 되고 나머지는 열리게 된다. 결국, T3와 T4 중 하나의 트랜지스터에 의해 '0'이 DB와 /DB 라인중 하나에만 살리게 된다. 이러한 원리에 의해 병렬로 접근된 비트라인 중에서 결함이 발생하지 않았을 경우 DB와 /DB는 서로 다른 값을 가진 상태로 출력되지만, 셀 어레이 내에 결함이 존재 한다면, 읽기 동작을 위해 선택된 비트 라인 중 다른 데이터 값을 가진 경우이므로 DB와 /DB 라인은 프리차지된 상태에서 모두 '0'로 비트라인에 의해 드라이브 된다.

4. 성능 향상

제안된 두 가지의 회로구현을 통해 테스트를 시도하였을 경우, 일반적인 비트 단위의 순차적인 테스트 보다 많은 시간을 단축시킬 수 있다. 기본 셀과 이웃 셀 간의 관계에서 결함을 활성화 시킬 수 있는 패턴은 Eulerian 패턴으로 외부의 테스트 패턴 생성기에 의해 입력이 가능하다[1].

표 1 기존의 방식과 제안된 방식의 성능 비교

		비트 단위의 순차적 접근 방식	P. Mazumder & J. K. Patel[4]	제안된 방식
테스트 시간(Cycles)	읽기	42,040,320	168,960	824,320
	쓰기	8,408,064	33,795	164,864
결함 검출률(%)		100	14.9	100

외부의 패턴 생성기에 의해 드라이버 되는 DRAM은 메모리 셀을 타입1에 맞게 구분되면, Eulerian 패턴이 총 161개가 필요하게 된다. 비트 단위의 순차적 접근 방식과 제안된 방식은 Eulerian 패턴을 그대로 적용하고 [4]는 고유의 방법을 적용

하였을 경우, 각 패턴에 맞게 읽기와 쓰기 동작을 반복하게 되는 사이클이 256kb(256×1024)의 용량을 가진 DRAM을 테스트 할 때 [표1]과 같다. 제안된 방식은 비트 단위의 순차적 접근을 통해서 걸리는 총 테스트 시간보다 대략 50배 이상 줄일 수 있다. 제안된 방식에 Eulerian 패턴을 적용하였을 경우 얻을 수 있는 결함 검출율을 100%이고, [4]의 방식은 제안된 패턴만을 가지므로 결함 검출율이 약 14.9%에 밖에 머물지 않는다. 뿐만 아니라 테스트를 위해 필요한 추가 신호는 'test_able' 밖에 없고 일반적인 DRAM 동작형태와 테스트를 위한 동작이 동일하므로 제안된 회로나 모듈 이외에 추가되어야 할 부분은 존재하지 않는다. 이 때문에 제안된 회로에 의해 추가되는 트랜지스터의 수는 전체 DRAM의 트랜지스터 수와 비교해 무시할 정도이다.

5. 결과 및 향후 계획

본 논문에서는 이웃 패턴 감응 고장의 효율적인 테스트 환경을 제공하기 위해 기존의 메모리의 회로 형태를 변형하였다. 병렬 접근이 가능한 디코더를 설계하여 다중 비트라인을 접근 가능하게 했고, 비트라인과 데이터 입출력 라인 사이를 변형하여 병렬로 읽을 수 있게 하였다. 이로 인해 비트 단위의 순차적 접근 방식보다는 빠르고 기존의 연구된 병렬 접근 방식보다는 결함 검출율이 높은 환경을 구축할 수 있게 되었다.

제안된 방식을 적용하게 된다면, 메모리 셀 내의 결함을 검출함과 동시에 결함에 대한 수리 단위를 워드라인으로 만들어 여분의 메모리 셀 유희를 만들어야 한다. 이러한 메모리의 결함 검출 구조와 수리 구조를 결합하면 효율적인 메모리의 수리 구조가 될 것이다.

참고문헌

[1] A. J. Van De Goor, "Testing of Semiconductor Memories: Theory and Practice", John Wiley & Sons 1995
 [2] V. Yarmolik and Yu. Klimets, "March PS(23N) Test for DRAM Pattern-Sensitive Faults," in Proceedings of Seventh Asian Test Symposium, pp. 354, Dec. 1998
 [3] K. L. Cheng and M. F. Tsai, "Efficient Neighborhood Pattern-Sensitive Fault Test Algorithms for Semiconductor Memories," in Proceedings of nineteenth VLSI Test Symposium(VTS), pp. 225, April. 2001
 [4] P. Mazumder and J. K. Patel, "Parallel Testing for Pattern-Sensitive Faults in Semiconductor Random Access Memories," IEEE Trans Comput., vol. C-29 no. 6, pp. 394-407, March 1989
 [5] Y. Morooka and S. Mori, "An Address Maskable Parallel Testing For Ultra High Density DRAMs" in Proceedings of International Test Conference, pp 556, Oct 1991
 [6] 유희준, "DRAM의 설계" 홍릉 과학 출판사, 1996