

## 래치형 패스 트랜지스터 단열 논리에 기반을 둔 에너지 절약 회로의 설계

박준영<sup>o</sup> 홍성제 김 중

포항공과대학교 전자컴퓨터 공학부

{jy0908<sup>o</sup>, sjhong, jkim}@postech.ac.kr

### Energy-saving Design Based on Latched Pass-transistor Adiabatic Logic

Junyoung Park<sup>o</sup> S.J. Hong J. Kim

Dept. of Electronic and Computer Engineering, Pohang University of Science and Technology

#### 요 약

최근 VLSI 설계 분야에서, 단열 논리는 에너지 효율성이 뛰어난 저전력 설계 기술 중 하나로 각광 받고 있다. 이러한 단열 논리는 기존의 저전력 회로 설계를 위해 사용되었던 CMOS 논리들을 서서히 대체해 나갈 것으로 기대되고 있다. 하지만, 많은 단열 논리들의 제시에도 불구하고, 기존의 CMOS 논리들을 단열 논리로 대체하는 기법에 관한 연구는 거의 없는 실정이다. 이 논문에서는 래치형 패스 트랜지스터 단열 논리(LPAL)와 이를 이용한 저전력 설계 기법을 소개하였다. 래치형 패스 트랜지스터 단열 논리는 기존의 단열 논리들이 가지고 있는 단점을 해결하고, 보다 저전력 지향적으로 CMOS 논리를 대체 할 수 있다는 장점을 가진다.

#### 1. 서 론

최근 들어 휴대용 통신 기기의 수요가 늘어나면서, 디지털 기기 채택의 핵심요소로 전자의 수명과 같은 저전력 특성에 대한 관심이 높아지고 있다. 더욱이 내장된 컴퓨팅 장치(embedded computing system)의 놀랄만한 발전은 저전력 회로의 필요성을 더욱 증대시키고 있다. 이처럼 전자 기기들의 전력 효율성이 중요시 되면서, VLSI 분야에서 저전력 설계는 중요한 문제가 되어 왔다 [1].

저전력 설계 기술의 하나로, 단열 스위칭(adiabatic switching) 원리를 이용한 단열 논리(adiabatic logic)가 제안 되었다. 단열 논리는 그 뛰어난 에너지 효율성으로 인해, 기존의 저전력을 목적으로 사용되었던 CMOS 논리들을 서서히 대체해 나갈 것으로 기대를 모으고 있다 [2]. 지금까지 이러한 단열 논리로는 ADL, 2N2P, PAL, CPERL, SCAL 등이 소개 되어 졌다.

하지만 기존의 CMOS 회로는 정적인 전압원(static power source)을 사용하고, 단열 회로는 동적인 전압원(dynamic power source)을 사용한다는 점에서 두 논리들은 기본적으로 전혀 다른 출력 파형을 갖게 된다. 즉, 전자의 출력 파형은 정적이고, 후자의 출력 파형은 동적이다. 이런 이유에서 CMOS 회로의 한 부분을 단열 회로로 대체하는 것은 상당히 어려운 일이다. 더 나아가서 기존의 단열 회로는 비록 전력소모가 CMOS 회로에 비해 수십 배 이상 작지만, 유효한 연산을 하지 않을 경우에도 계속해서 전압원의 동작에 따라 주기적인 단열 에너지(adiabatic energy)를 소모한다는 단점을 갖는다. 이는 저전력 회로 설계 측면에 있어서 결코 바람직한 현상이 아니다.

우리는 이 논문에서 기존의 단열 논리군(adiabatic logic family) 중 하나인 패스 트랜지스터 단열 논리(PAL)를 자세히 살펴 볼 것이다. PAL은 복선 논리(dual-rail logic)이고, 전력 소모가 적고, 간단한 형태를 갖는다는 이유에서 기존의 단열 회로의 좋은 표본이 되기 때문이다. 우리는 또한 이 논문에서 PAL의 개선된 형태인 래치형 패스 트랜지스터 단열 논리(LPAL)를 제안하고 이를 응용한 에너지 절약 설계 기법(energy-saving design technique)을 소개할 것이다. LPAL은 기존 단열 회로의 단점을 보완하고 CMOS 논리를 에너지 효율적으로 대체 한다. 본 논문의 구성은 다음과 같다. 2장에서는 단열 스위칭의 원리와 PAL의 동작을 살펴볼 것이고, 3장에서 LPAL과 이를 이용한 에너지 절약 설계 기법을 제안할 것이다. 4장에서는 시뮬레이션을 통한 PAL과 LPAL의 전력소모를 비교하고, 끝으로 5장에서는 요약으로 결론을 맺는다.

#### 2. 배경 연구

#### 2.1 단열 스위칭 이론

단열 스위칭은 동적인 전압원을 이용하여 캐피터에 저장된 전하를 다시 재활용하는 메커니즘을 의미한다. 단열 스위칭에서 동적인 전압원은 매우 중요한 역할을 하고 있다. 이 전압원은 시간에 따라 서서히 변화하여 스위칭 소자를 통한 전압차가 거의 나지 않게 한다. 또한 이 전압원은 캐피터에 전하를 공급할 뿐만 아니라, 전하를 다시 전압원으로 되돌리는 역할도 수행한다. 이와 같이 단열 스위칭 이론에 기반을 둔 회로를 단열 논리 회로라고 한다.

단열 논리와는 달리 기존의 정적인 CMOS 논리(static CMOS logic)는 입력이 변함에 따라, 전압원에서 캐피터로, 캐피터에서 그라운드로, 소자를 통해 갑작스러운 전압 차이(abrupt voltage drop)를 발생시킨다. 이러한 전압차는 CMOS 회로의 모든 에너지들을 열로 소모되어 버리게 만든다. 아래의 회로는 기본적인 단열 게이트인 단열 논리 버퍼를 나타낸 것이다.

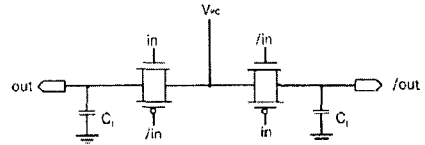


그림 1. 단열 논리 버퍼

먼저 'in'의 신호가 'V<sub>DD</sub>'일 경우 왼쪽의 전달 게이트는 'on', 오른쪽의 전달 게이트는 'off'가 되므로, 우리는 이 회로를 그림 2 (a)와 같은 등가 회로로 나타낼 수 있다. 그림 2 (b)는 위의 단열 회로에 사용된 동적인 전압원 V<sub>PC</sub>의 파형을 나타낸 것이다.

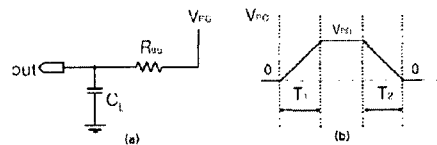


그림 2. (a) 그림 1의 등가회로 ('in'의 신호가 'V<sub>DD</sub>'일 경우), (b) V<sub>PC</sub>의 파형

처음 캐패시터에 저장된 전하는 없었고,  $T=T_1=T_2$ 라고 가정하면,  $V_{PC}$ 의 한 주기 파형 동안 일어나는 회로 전체의 에너지 소모는

$$2 \cdot \frac{R_{eq} C_L}{T} C_L V_{DD}^2$$

로 계산되어진다 [3]. 우리는 이 식을 통해 단일 스위칭으로 발생하는 에너지 소모가 주기 T에 반비례하는 것을 볼 수 있다. 정적인 CMOS 회로가 주기와는 상관없이 한 번의 입력 변화에  $C_L V_{DD}^2$ 의 에너지를 소모하는 것과 비교하면, 단일 논리 회로는 저전력 설계에 있어서 상당히 매력적이고 고무적인 설계 기술이다 [4].

2.2 패스 트랜지스터 단일 논리 (PAL)

패스 트랜지스터 단일 논리(PAL)은 그림 3에서 나타난 PAL 인버터처럼, 교차적으로 연결된 PMOS 트랜지스터들 (MP1, MP2)과 논리를 구성하는 NMOS 트랜지스터들 (MN1, MN2)로 구성되어 있다. 이 PMOS와 NMOS 트랜지스터들은 동적인 전압원  $V_{PC}$ 에 함께 연결되어 있다.

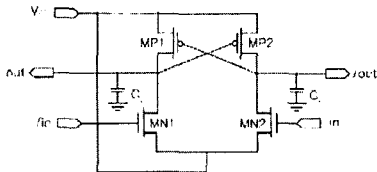


그림 3. PAL 인버터

PAL은 동작을 위해 동적인 전압원으로 사인파를 이용한다. 사인파형은 evaluation 구간과 recovery 구간, 이와 같은 두 개의 구간으로 나누어진다. Evaluation 구간은 사인파형이 '0'에서 ' $V_{DD}$ '로 상승하는 구간으로, 이 구간 동안 전압원  $V_{PC}$ 는 회로의 캐패시터  $C_L$ 에 전하를 공급하게 된다.  $V_{PC}$ 가 ' $V_{DD}$ '에 이르렀을 때 유효한 데이터 값이 출력 단자에 나타나게 된다. Recovery 구간은 ' $V_{DD}$ '에서 '0'으로 사인파형이 하강하는 구간으로, 이 구간 동안 캐패시터의 전하는 다시 전압원으로 되돌려진다. 그러므로 이 구간의 최종 출력은 거의 '0'에 가까운 데이터를 지니게 된다 [5].

PAL을 연속해서 사용할 경우, 다음 단계 이어지는 PAL 게이트는 현재 게이트의 전압원  $V_{PC}$ 의 파형과 180도 위상 차이가 나는 사인파를 전압원으로 사용한다 [5]. 이는 첫 번째 단계의 유효한 데이터를 두 번째 단계의 evaluation 구간에서 가져가기 위함이다. 그런 측면에서, 단일 회로를 연속하여 사용할 경우 파이프라인은 필수적이다.

3. 제안하는 단일 논리

3.1 래치형 패스 트랜지스터 단일 논리 (LPAL)

래치형 패스 트랜지스터 단일 논리(LPAL)는 그림 4에서 나타난 LPAL 인버터처럼, PAL 회로의 PMOS와 NMOS 트랜지스터의 양끝에 모드 선택 트랜지스터를 추가한 형태로 이루어져 있다. 모드 선택 트랜지스터의 입력인 모드 신호로는 '0'이나 ' $V_{DD}$ '가 들어갈 수 있다. 먼저 모드 신호가 '0'인 경우 (동작 모드), LPAL은 전압원  $V_{PC}$ 와 연결되어 PAL과 같이 동작한다. 반면, 모드 신호가 ' $V_{DD}$ '인 경우 (스탠바이 모드), LPAL은 전압원과 분리되어 이전 출력을 계속 유지하게 된다. 스탠바이 모드일 경우 회로는 전압원과 연결되지 않으므로 더 이상의 단일 에너지 소모는 없게 된다. LPAL의 동작 원리는 PAL과 같다.

LPAL은 저전력 특성뿐만 아니라 CMOS 논리를 쉽게 대체 할 수 있는 호환성을 갖는다. 만약 정적인 CMOS 회로의 일부분을 기존의 단일 회로로 대체 할 경우, 동적인 출력 데이터에서 정적인 데이터를 추출(sampling)하기 위한 latch가 필요하다. 예를 들어, 단일 회로의 출

력이 또 다른 조합논리로 구성된 CMOS 회로의 입력으로 인가될 경우, 동적인 출력 데이터를 정적으로 유지시켜 주어야 한다. 그러나 LPAL은 모드 신호를 '0'으로 등으로써 유효한 출력 값을 정적으로 유지시킬 수 있다.

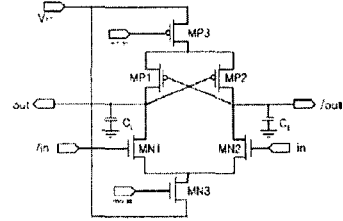


그림 4. LPAL 인버터

3.2 LPAL을 이용한 에너지 절약 설계 (energy-saving design)

많은 CMOS회로들은 그림 5 (a)에 나타난 것과 같이 조합 논리와 순차 논리가 섞여 있는 혼합 논리 회로이다. 우리가 PAL과 같은 단일 논리를 이용하여 그림 5 (a)의 CMOS 회로를 대체하면 그림 5 (b)와 같은 회로를 얻을 수 있을 것이다. 그림 5 (b)에 나타난 최종단계의 레지스터는 동적인 데이터를 정적으로 유지하기 위해 필요하다. 이는 다음 단계 CMOS 회로가 이어질 경우를 고려한 것이다.

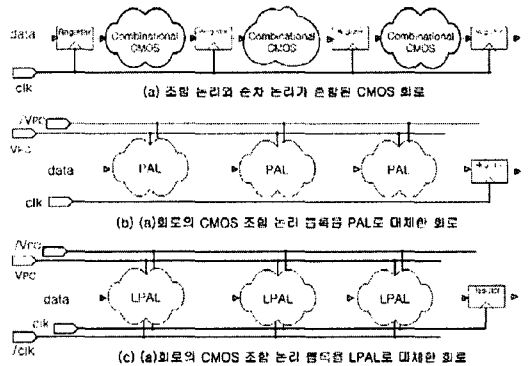


그림 5. 조합 논리와 순차 논리가 혼합된 CMOS 회로와 단일 회로로 대체한 대체회로

기존의 단일 회로는 유효한 데이터를 연산해내는 동작이 아님에도 불구하고, 전압원이 주기적으로 움직일 때마다 에너지를 소비한다는 단점을 가지고 있다. 이는 단일 회로가 기본적으로 동적인 전압원에 연결되어 있기 때문에 발생한다. 예를 들어, 그림 5 (b)의 PAL 블록이 그림 6 (a)와 같은 8개의 PAL 게이트로 이루어진 경우를 생각해보자. PAL의 경우 첫 번째 단계 입력이 들어가서 여덟 번째 단계에서 유효한 출력이 나오는 동안 총 8개의 evaluation 구간이 필요하다. 이 8개의 evaluation 구간은 4개의  $V_{PC}$ 의 evaluation 구간과 4개의  $\downarrow V_{PC}$ 의 evaluation 구간으로 이루어진다. 이 과정동안 몇몇 게이트들은 불필요한 에너지를 소모한다. 예를 들어, 첫 번째 게이트는 비록 유효한 데이터가 이미  $V_{PC}$ 의 첫 번째 evaluation 구간에서 나왔음에도 불구하고, 실제로 필요한 에너지보다 많은 에너지를 소모해야한다.

LPAL을 이용한 에너지 절약 설계 기법은 기존의 단일 논리와는 달리 이러한 불필요한 에너지 소모를 줄인다. 그림 5 (c)의 LPAL 블록이 8개의 LPAL 게이트로 이루어진 경우를 생각해보자. LPAL을 이용한 에너지 절약 설계 기법은 그림 6 (b)와 같은 구성을 갖는다. 우리는 하나의 LPAL 블록을 clk 부분(clk-section)과 /clk 부분(/clk-section)으로 나눌 수 있다. clk 부분은 clk이 '1'일 경우 동작

을 하며, /clk 부분은 clk이 '0'일 경우 동작 한다. 에너지 절약 설계는 두 부분의 모드 신호를 clk과 /clk에 교차해서 연결해 줌으로써 가능하다. 우리는 이러한 방법을 통해 래치 없이 클럭에 동기화된 회로를 설계 할 수 있다.

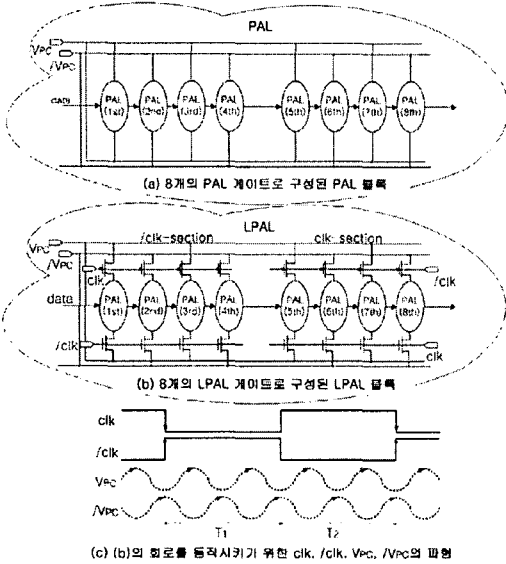


그림 6. LPAL을 이용한 에너지 절약 설계 기법

그림 6 (c)는 에너지 절약 기법의 그림 6 (b) 회로를 동작시키기 위한 clk, /clk, V<sub>PC</sub>, /V<sub>PC</sub>의 파형을 각각 나타낸 것이다. 에너지 절약 설계 관점에서 보면, 반주기 T<sub>1</sub>동안 /clk 부분 (the 1st-4th gates)은 정상적으로 동작을 하고, clk 부분 (the 5th-8th gates)은 동작을 하지 않고 이전의 유효한 데이터를 유지하고 있다. 반주기 T<sub>2</sub> 동안에는 서로의 동작이 T<sub>1</sub> 구간과 반대로 이루어진다. 즉, /clk 부분의 관점에서 보면, 유효한 데이터가 네 번째 게이트의 출력으로 나온 후에는 동작할 필요가 없어진다. 또한 clk 부분의 관점에서 보면, 유효한 데이터가 다섯 번째 게이트의 입력에 나타나기 전에는 동작할 필요가 없어진다. 이러한 에너지 절약 설계 기법은 이미 유효한 데이터가 나왔음에도 불구하고 계속 동작해야 하는 기존의 단일 회로의 단점을 개선한 것이다. 우리는 LPAL을 이용한 에너지 절약 설계 기법을 통해 기존의 단일 회로보다 CMOS회로를 더 에너지 효율적으로 대체 할 수 있다.

4. 시뮬레이션 결과

우리는 0.35um CMOS 공정 파라미터를 이용하여 4 단 파이프라인 회로를 설계하고, 이를 HSPICE를 통해 시뮬레이션 해보았다. 4 단 파이프라인 회로는 그림 7과 같이 클럭 신호의 하강 모서리에 동기 (negative edge-triggered) 되어 동작하는 회로이다. 이 실험에서는 PAL과 LPAL을 이용하여 아래 회로와 같은 기능을 하는 회로를 구성하였다. 하나의 블록은 8개의 인버터 게이트로 구성하였다. 또, 각 단의 주요 입/출력 노드에는 0.1pF의 캐퍼시터를 연결하였다.

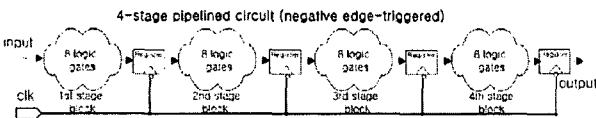


그림 7. 시뮬레이션 회로 (4 단 파이프라인 회로)

5MHz의 클럭에서 동작시킨 PAL과 LPAL 회로들은 각각 459.2pJ, 257.6pJ의 에너지 소모를 보였다. LPAL은 PAL에 비해 44%의 에너지 절약 효과를 나타내었다. 그림 8은 4 단 파이프라인 회로의 첫 번째 블록의 동작파형을 나타낸 것이다. 실험 회로의 입력으로는 클럭의 하강 모서리에 동기화된 신호로 '0'과 '1'을 번갈아가면서 인가해 주었다. 출력 파형을 통하여 회로가 정확하게 동작 하는 것을 확인하였다. LPAL을 이용한 에너지 절약 설계로 인하여, 회로의 각 부분이 일정 구간 동안 동작 없이 데이터를 유지하는 것을 볼 수 있다.

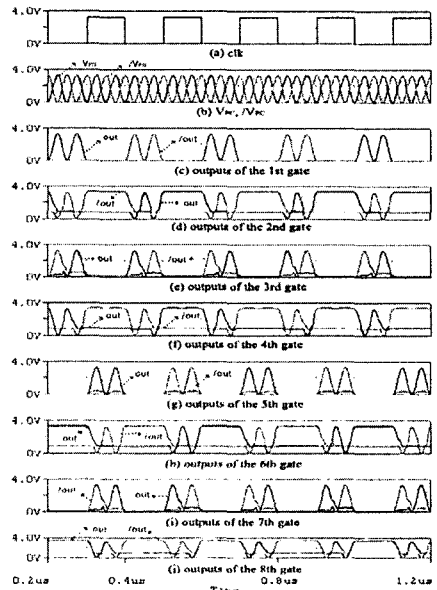


그림 8. 시뮬레이션 회로의 첫 번째 블록의 출력파형

5. 결론

본 논문에서는 단일 논리의 하나로 PAL의 개선된 형태인 LPAL을 소개하고, 이를 이용한 에너지 절약 기법을 제안하였다. 이는 불필요한 동작임에도 불구하고 동적인 전압원에 따라 계속해서 단일 에너지를 소모하는 기존의 단일 논리의 단점을 개선한 것이다. 시뮬레이션을 통해 LPAL은, 조합 논리와 순차 논리로 구성된 CMOS 회로를 기존의 단일 회로 보다 더 에너지 효율적으로 대체 할 수 있음을 보여주었다.

6. 참고 문헌

- [1] E. Hanada, Y. Antoku, S. Tani, M. Kimura, A. Hasegawa, S. Urano, K. Ohe, M. Yamaki, and Y. Nose, "Electromagnetic interference on medical equipment by low-power mobile telecommunication systems", *IEEE Tran. Electromagnetic Compatibility*, Vol. 42, pp. 470-476, Nov. 2000.
- [2] L. A. Akers and R. Suram, "Adiabatic circuits for low power logic", *The 2002 45th Midwest Symposium on Circuits and Systems*, vol. 2, pp. 286-289, Aug. 2002.
- [3] M. Alioto and G. Palumbo, "Performance evaluation of adiabatic gates", *IEEE Tran. Circuits and Systems I: Fundamental Theory and Applications*, vol. 47, pp. 1297-1308, 2000.
- [4] A. G. Dickinson and J. S. Denker, "Adiabatic dynamic logic", *IEEE J. Solid-State Circuits*, 30, pp. 311-315, March 1995.
- [5] H. Mahmoodi-Meimand and A. Afzali-Kusha, "Low-power, low-noise adder design with pass-transistor adiabatic logic", *the 12th International Conference on Microelectronics, ICM 2000*, pp. 61-64, 2000.