

# 고속 이더넷 MAC 설계를 위한 성능 파라미터에 대한 연구

김준영\*, 손승일\*, 최익성\*\*

한신대학교\*, ETRI\*\*

## A Study on Performance Parameters for High-Speed Ethernet MAC

Jun Young Kim\*, Seung Il Sonh\*, Ick sung Choi\*\*

\*HanShin University, \*\*Electronics and Telecommunications Research Institute

E-mail : k1k0i0m4@hotmail.com

### 요 약

최근 대부분의 전송기술(LAN 뿐만 아니라 MAN과 WAN까지)이 이더넷으로 통일되는 경향에 힘입어, 예전에 비하여 이더넷은 최근에 대단한 주목을 받게 되었다. 그러나 그동안 ATM 등의 전송기술에 의해 관심밖에 있던 이더넷이기 때문에, 국내에서 축적된 기술도 미약하다. 그리고, 이더넷이라는 기술은 단순한 디지털 로직이 아닌 디지털/아날로그 모델기술과 광 전송기술, 소프트웨어기술들이 결합된 고도의 전송기술이기 때문이다. 10Gbps 이더넷 표준이 2002년에 발표되면서 10Gbps 이더넷에 대해 많은 연구가 지속되고 있다. 10Gbps 이더넷의 특징은 이더넷 고유의 CSMA/CD 방식을 지원하지 않고, 점대점 전이중 방식만을 지원하고, 기존의 프레임구조는 계속 유지 하였다.

본 연구에서는 10Gbps 이더넷 Data Link 계층의 MAC(Media Access Control) 코어를 C언어를 이용하여 성능평가를 실시하여 활용가능한 응용분야와 내부 FIFO와 파라미터 초기값을 도출하였다. 성능평가 결과 MAC 모듈은 짧은 패킷이 유입되었을 때 95%까지, 일반 패킷이 유입되었을 때 97%까지 패킷 손실이 발생하지 않음을 확인하였다.

### 1. 서 론

인터넷의 활성화와 함께 네트워크의 사용자들이 늘어나고 네트워크를 이용한 어플리케이션이 점점 더 많은 대역폭을 요구함에 따라 기가비트 이더넷 스위치 시스템은 현재 LAN(Local Area Network)의 백본망 시스템으로 가장 많이 적용되고 있다.

단일 매체를 여러 노드가 공유하는 방식으로 일정구역내의 컴퓨터간 통신 용도로 개발된 이더넷은 인터넷과 인트라넷의 활성화와 함께 근거리 데이터 통신망 LAN에서 가장 많이 이용되는 통신수단의 하나로 발전 하였다. 초기에 공유매체를 기반으로 개발된 이더넷 시스템은 링크들의 대역폭 수요 증대에 부합하기 위하여 100Mbps의 패스트 이더넷을 채택하였으나, 매체 공유방식으로 인하여 발생하는 트래픽의 문제를 적절히 해결할 수는 없었다. 이후 이더넷 시스템은 노드에 일정한 대역폭을 제공할 수 있는 스위치 개념의 시스템으로 발전 하였고, LAN 백본망에는 트래픽의 병목현상을 제거하기 위하여 기가비트 이더넷 스위치 시스템이 개발되어 적용되고 있다. 또한 이더넷 기술은 기가비트 속도로 근거리 통신 뿐만 아니라 장거리 통신을 위한 방법으로 발전되고 있으며 현재는 10기가비트 이더넷의 표준화가 한창 진행 중이다.

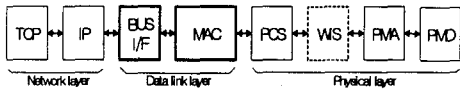
MAC 인터페이스는 IEEE 802.3ae-2002 Spec. 권장하는 규격이다[1].

본 연구에서는 10Gb/s 이더넷을 통한 프레임 전송을 위한 물리계층소자와 네트워크계층소자 간의 인터페이스인 MAC 인터페이스 모듈을 C언어를 이용하여 성능평가 하였고 최적의 파라미터를 도출하여 하드웨어 설계언어인 VHDL을 이용하여 설계 하고자 한다[2][3].

### 2. MAC의 개요

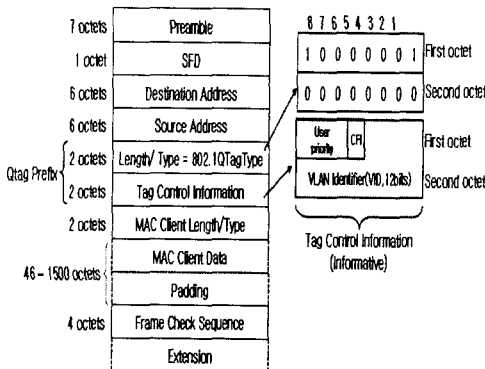
기가비트 이더넷의 MAC은 기본적으로 기존의 CSMA/CD 동작을 그대로 지원한다. 하지만, 10기가비트 이더넷에서는 전이중 이더넷만 지원하므로, 전송 중 충돌감지 기능은 없다. 따라서 1기가비트 이더넷에서 사용하던 carrier extension과 frame bursting 기법이 없다. 10기가비트 이더넷에서는 전이중 이더넷만 지원하므로, 전송하는 동안의 충돌감지기능은 없기 때문이다. 대신에, 10기가비트 이더넷에서는 속도정합을 위한 interframe space stretch(ifsStretch) 등이 추가 되었다. 프레임 사이의 평균 간격을 통상적인 MAC 계층의 정상적인 데이터 전송속도를 SONET/SDH의 데이터 전송속도에 맞추므로써 WAN과의 호환이 가능하다. 그림1은

10GbE의 아키텍처를 보여주고 있다[3].



[그림 1] 10Gbps 이더넷 아키텍처

상위계층 패킷(LLC또는 IP/TCP)을 수신측 MAC으로 오류없이 전달하기 위하여, 일반적인 MAC 프레임은 주소 부분이 있는 헤더와 상위계층 패킷을 담은 정보영역 그리고 오류검사를 위한 트래일러 부분으로 구성된다. 각 프레임의 도착을 알리는 7바이트의 프리앰블은 각 프레임이 송신된 속도로 수신될 수 있도록 송신스테이션과 수신스테이션의 클럭을 동기화 시킨다. 프리앰블 다음에 오는 1바이트의 프레임 시작 구분자는 수신스테이션에 프레임의 실제 부분이 시작된다는 것을 알린다. 수신스테이션 주소, 송신스테이션 주소와 종류/길이 필드를 합쳐서 일반적으로 이더넷 헤더라고 부른다. 이더넷 헤더는 이더넷이 송신지, 수신지, 크기와 데이터 필드에 있는 상위 계층 데이터 패킷의 프로토콜을 아는데 사용하는 제어 정보를 가지고 있다. 헤더 필드 바로 뒤에 따라오는 데이터 필드는 길이가 46에서 1500바이트로 다양하다. 프레임의 다른 모든 필드는 길이가 정해져 있다. 프레임 검사열은 이더넷 프레임의 마지막에 있으며 프레임이 전송 중에 에러가 발생하지 않았다는 것을 확인하는데 사용될 체크섬 값을 가지고 있다. 체크섬은 프레임의 다른 모든 필드에서 나온 비트 값을 계산한 결과이다. 802.1Q의 VLAN인 경우, 다음 그림 2와 같이, 4바이트의 Qtag가 추가되어, 최대 길이는 1522바이트로 증가되었다[3]. 그림2는 MAC으로 입력되는 프레임 정보를 보여주고 있다.

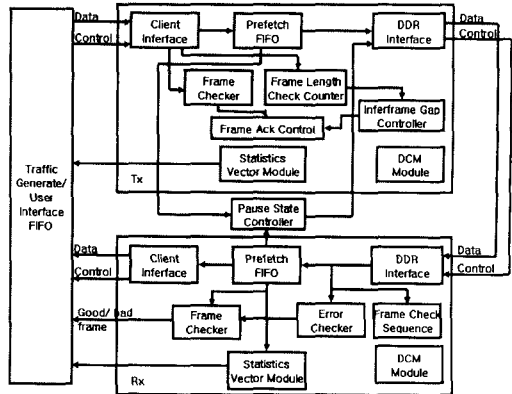


[그림 2] IEEE802.3 MAC 프레임 형식

### 3. 시뮬레이션 모델

입력 프레임의 처리가 Cut\_through 방식을 지원하기 때문에 패킷생성 또한 버스트한 트래픽을 생

성하여 하나의 프레임에 대해 연속적인 전송을 최대한 보장하였다. 그리고 전송 Mac Fifo에서 64비트의 데이터와 7비트의 컨트롤 데이터를 연속적으로 입력받아 프레임의 시작인지 끝인지를 프레임 체크와 프레임의 길이정보를 카운트하여 IFG(Inter Frame Gap)만큼 감소를 한다. 그림 3은 MAC 코어의 내부 블록도를 보여주고 있다.



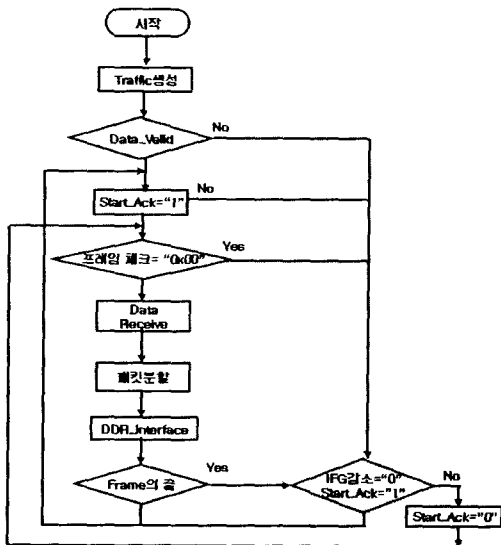
[그림 3] MAC 코어의 내부 블록도

IFG를 수행한후 프레임의 ACK신호가 발생하면서 연속적인 프레임을 전송하고 Prefetch FIFO를 거쳐 DDR 인터페이스를 통하여 데이터를 전송한다. 프레임 전송시 프레임의 상태정보를 상위층에다 보내준다. 그리고 하위 계층의 수신 FIFO에서 DDR 인터페이스를 통하여 데이터와 제어신호를 보내고 받은 데이터의 오류 체크를 한후 오류가 발생하지 않았으면 Prefetch Fifo를 거쳐 64비트의 데이터와 7비트의 제어신호를 Mac Fifo에 전송하고 에러가 발생 하였으면 해당 프레임을 체크하고 프레임의 최대/최소 길이에 어긋나거나 DA가 자신의 주소가 아닌 경우나 FCS 가 틀린 경우, 프레임을 버린다. 하위 계층에서 받은 클럭을 이용하여 DCM모듈에서 내부에서 사용가능한 클럭으로 재생성하여 사용하고 내부 상태와 전송된 데이터의 정보를 상태 저장 백터에서 상위 계층으로 알려주는 기능을 가지고 있다. 그리고, 휴지 상태 컨트롤을 통한 프로우 컨트롤을 지원한다.

### 3.1 전송부의 설계

전송부는 트래픽 생성기에 의해 생성된 144비트의 헤더를 포함한 프레임을 Mac Fifo로 입력하여 전송할 프레임이 없다면 IFG시간만큼 대기한 후 전송을 개시한다. 전송할 프레임이 있어 데이터가 존재한다면, Start신호가 발생하고 프레임 체크를 하여 프레임의 Valid값을 확인하여 코드워드 0x00 이외의 값이 존재한다면 데이터가 존재하여 MAC FIFO에서 전송받은 프레임을 MAC에 전송하기 위해 64비트씩 DDR 인터페이스를 통하여 데이터를 전송한다. 코드워드를 확인하여 프레임의 끝이면

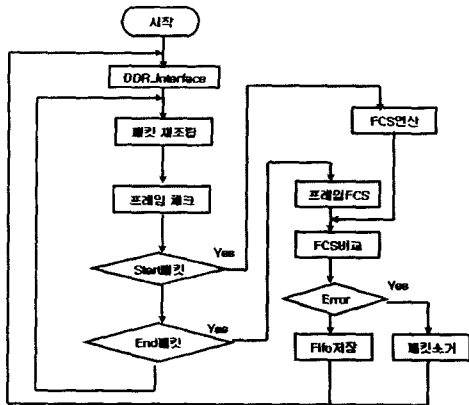
IFG시간만큼 대기한 후 다음 프레임을 전송하고 다음프레임을 전송함에 있어서 Mac Fifo에 프레임이 존재하지 않다면 다시 IFG시간만큼 대기후 반복한다. 프레임의 끝이 아니면 다음 패킷을 이어서 수신한다. 그림 4는 전송부의 패킷 처리 순서도를 보여주고 있다.



[그림 4] 전송부의 패킷 처리 순서도

### 3.2 수신부의 설계

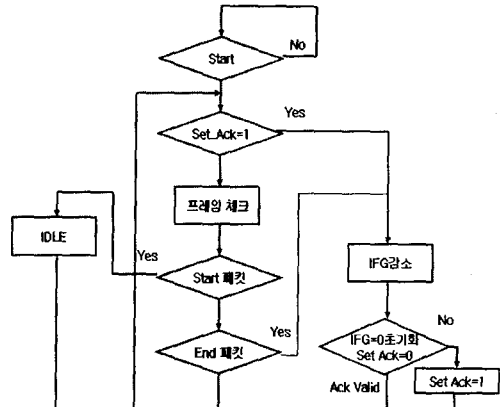
수신부에서는 DDR 인터페이스를 통해 들어온 데이터를 가지고 프레임의 재조립을 시작한다. 그리고 프레임 체크를 한후 시작패킷부터 FCS를 연산하고 프레임의 끝패킷이면 프레임에서 수신된 FCS와 현재 계산된 FCS를 비교하여 FCS가 오류가 발생하였다면 프레임을 버린다. 오류가 발생하지 않았으면 파이프에 바이트 단위로 저장한다. 그림 5은 수신부의 패킷 처리 순서도를 보여주고 있다.



[그림 5] 전송부의 패킷 처리 순서도

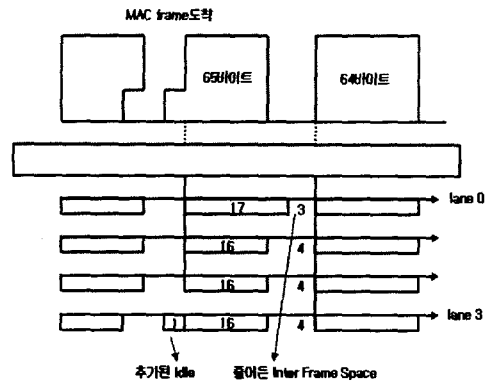
### 3.3 Inter Frame Gap의 설계

전송할 프레임이 있어 Start신호가 발생한다. 첫 프레임 전송시 Set\_Ack은 "0"으로 초기화 시켜 프레임 전송을 체크한 후 처음 패킷이면 1Clock을 지연시켜준다. 마지막 패킷이면 IFG감소 시키고 IFG이 "0"이면 초기화 시켜준다. 그렇지 않으면 IFG이 "0"이 될 때까지 감소하면서 IFG시간만큼 대기한 후에 ACK Valid신호가 발생하면 다음 프레임을 전송한다. 그림 6은 Inter Frame Gap의 처리 순서도를 보여주고 있다.



[그림 6] Inter Frame Gap의 처리 순서도

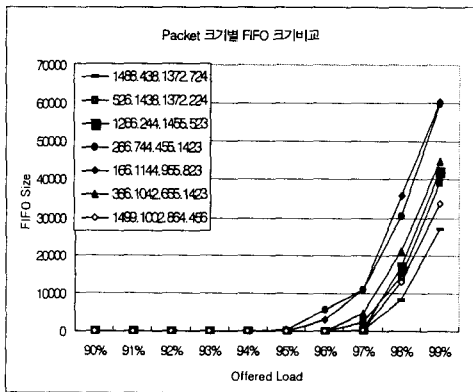
65바이트의 프레임 앞에 송신된 프레임의 마지막 바이트부분의 전송이 레인 2에서 완료되었다면, 연속된 2번째 65바이트 프레임의 송신은 레인 3에서 개시되어야 한다. 하지만 이것의 송신을 레인 0에서 수행하도록 Idle문자를 한 개 추가함으로써, 레인 0에서 송신이 개시되도록 할 수 있다. 이후, 3번째 프레임의 송신시작은 레인 1에서 시작하는 대신에, ifs을 1감소시켜 앞에서 지연송신된 것을 보충할 수 있다. 그림 7은 인터프레임 스페이스를 늘려 보정하는 과정을 보여주고 있다.



[그림 7] Interframe space를 늘려 보정하는 예

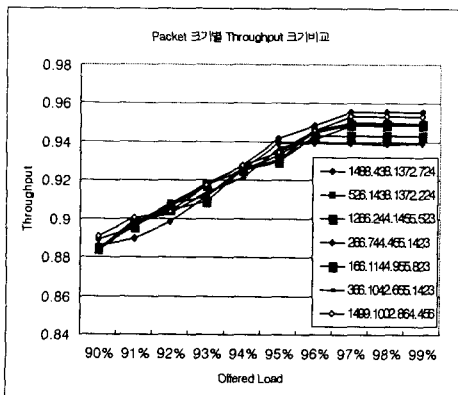
#### 4. 성능평가

C언어를 이용해 설계된 MAC 모듈의 내부 FIFO 적용도를 판별하기 위하여 입력되는 트래픽에 Offered Load를 주어 각 Offered Load에 의한 FIFO 크기와 전송률을 확인하였다. FIFO에대한 적용도를 판별하기 위하여 초기화를 시킬때 10만개의 초기화 주기와 100만개의 유효주기를 제공하여 검증하였다. 그리고 평균 패킷사이즈 크기의 변화에 따른 FIFO의 변화량을 확인하였고, 전송률을 확인하였다. 성능평가 결과 MAC 모듈은 짧은 패킷이 유입되었을 때 95%까지, 일반 패킷이 유입되었을 때 97%까지 패킷 손실이 발생하지 않음을 확인하였다. 그림 8에서는 패킷크기별 FIFO 크기변화를 보여주고 있다.



[그림 8] 패킷크기별 FIFO 크기변화

Offered load에 따른 전송률을 성능 평가한 결과 평균 패킷 사이즈가 커질수록 전송률도 증가하는 것을 확인하였다. 또한, 코드워드 의해서 Offered Load에 비해 2%정도 전송률이 감소됨을 확인하였다. 그림 9는 프레임의 크기 변화에 따른 전송율의 비교를 보여주고 있다.



[그림 9] 크기변화에 따른 전송률의 비교

#### 5. 결론

기가비트 이더넷의 MAC은 기본적으로 기존의 CSMA/CD 동작을 그대로 지원한다. 하지만, 10기가비트 이더넷에서는 전이중 이더넷만 지원하므로, 전송 중 충돌감지 기능은 없다. 따라서 1기가비트 이더넷에서 사용하던 carrier extension과 frame bursting 기법이 없다. 대신에, 속도정합을 위한 interframe space stretch(ifsStretch) 등이 추가 되었다. 프레임 사이의 평균 간격을 통상적인 MAC 계층의 정상적인 데이터 전송속도를 SONET/SDH의 데이터 전송속도에 맞추므로써 WAN과의 호환이 가능하다. 그리고 10Gbps의 전송 속도를 지원기 위해 MAC 코어는 156.25MHz 이상의 내부클럭이 지원 되어야한다. 그리고 휴지상태의 관리와 Interframe Gap을 통한 프로우 컨트롤이 지원되고, 내부의 FCS를 통한 에러검출이 가능하다.

본 논문에서는 10Gb/s 이더넷의 Data Link Layer에서 적용가능한 MAC 코어를 C언어를 이용하여 성능평가 하였다. 입력 프레임의 처리가 Cut\_through 방식을 지원하기 때문에 패킷생성 또한 버스트한 트래픽을 생성하여 하나의 프레임에 대해 연속적인 전송을 최대한 보장하였다. 성능평가 결과를 보면 MAC 코어는 짧은 길이의 프레임이 유입되었을 때 95%의 Offered Load까지 패킷 손실이 발생하지 않고, 일반 길이의 프레임이 유입되었을 때는 97%까지 셀 손실이 발생하지 않음을 확인하였다. 또, 성능평가를 토대로 셋톱박스에 위성 인터페이스용 MAC 코어 설계의 초기 파라미터를 도출하였다. 그리고, 설계된 MAC 코어는 10Gbps 이더넷의 스위칭 장비의 인터페이스로 응용이 가능하고, 10 Gbps 이상의 고속의 데이터 처리가 가능한 응용분야에 적합하다.

#### 참고문헌

- [1] 윤종호 저, "네트워크 엔지니어를 위한 최신 이더넷", 교학사, 2002.
- [2] [http://www.xilinx.com/ipcenter/catalog/reference/designs/docs/ten\\_gig\\_eth\\_fifo.pdf](http://www.xilinx.com/ipcenter/catalog/reference/designs/docs/ten_gig_eth_fifo.pdf) Xilinx Co. Specification참조
- [3] [http://www.xilinx.com/ipcenter/catalog/logicore/docs/ten\\_gig\\_eth\\_mac.pdf](http://www.xilinx.com/ipcenter/catalog/logicore/docs/ten_gig_eth_mac.pdf) Xilinx Co. Specification참조
- [4] IEEE Std 802.3ae/D5.0, "Supplement to Carrier Sense Multiple Access with Collision Detection (CSMA/CD) Access Method & Physical Layer Specifications", 2002