

Side gate 길이에 따른 Double gate MOSFET의 C-V 특성

김영동 · 고석웅 · 정학기 · 이종인

군산대학교 전자정보공학부

Side gate length dependent C-V Characteristic for Double gate MOSFET

Young-dong Kim · Suk-woong Ko · Hak-kee Jung · Jong-in Lee

School of Electronic and Information Eng., Kunsan National University

E-mail : hatoro@kunsan.ac.kr

요 약

본 논문에서는 main gate와 side gate를 갖는 double gate MOSFET의 C-V 특성을 조사하기 위하여 side gate 길이와 side gate 전압을 변화시켜 조사하였다. Main gate 전압은 -5V에서 +5V까지 변화시켰으며, main gate 길이가 50nm, side gate 길이가 70nm, side gate 전압이 3V, drain 전압이 2V일 때 우수한 C-V 특성을 얻었다. 이 때 소자의 특성 분석을 위해 ISE-TCAD를 사용하여 시뮬레이션 하였다.

ABSTRACT

In this paper, we have investigated characteristics of C-V for double gate MOSFET with main gate and side gate by the variation of side gate length and side gate voltage. Main gate voltage is changed from -5V to +5V. We know that characteristics of C-V is good under the condition of LSG=70nm, VSG=3V, VD=2V. We have analyze characteristics of device by ISE-TCAD.

키워드

main gate, side gate, double gate, MOSFET, capacitance

1. 서 론

1930년에 FET(field effect transistor)의 기본 개념이 도입된 이후 집적회로들의 일부분이 되어졌고, 현재 전자 산업에 있어서 가장 중요한 소자가 되었다.[1] 그러나, CMOS의 기술의 두드러진 성장으로 인하여 스케일링 기술과 소자의 크기는 나노 영역의 기본적인 물리적 한계에 도달하게 되었다.[2] 소자의 크기가 작아짐에 따라 크기에 따른 속도와 특성을 개선시키기 위해서 많은 연구가 이루어지고 있으나, 최근 MOS 소자들이 50nm이하로 작아짐에 따라 소자 설계에 있어서 고려해야 할 여러 가지 문제점들이 나타나고 있다.

그 중에서도 매우 얇은 확장된 source/drain 접합들은 단 채널 효과(short channel effect)를 억압시키기 위해 필요하게 되었고, 이런 낮은 저항을 갖는 얇은 source/drain 접합의 형성은 매우 중요한 기술 중 하나이다.[3] 단 채널 효과는 50nm이하

의 영역에서 매우 얇은 확장된 source/drain과 같은 반전층 사용에 의해 억압시킬 수 있다고 발표되어졌다. 그러나 이런 소자들은 너무 크기가 크기 때문에 실제 LSI에서는 사용되어지지 못하고 있다.[4]

이 문제를 해결하기 위해 제안되는 여러 가지 방법 중, 본 논문에서는 하나의 main gate와 두 개의 side gate를 갖는 double gate MOSFET에 대해 조사하였다. 이 때, side gate의 길이의 증가와 감소에 따라서 장단점이 있을 수 있는데, 긴 side gate는 저항의 증가로 특성저하의 결과를 낳게 된다. 반대로 너무 짧은 side gate 길이는 단 채널 효과의 억압이라는 효과를 기대하기 어렵다. 그러기에 적당한 side gate 길이를 스케일링하면서 소자의 특성을 조사·분석하였다. 이 때, 소자의 특성을 조사하기 위해 시뮬레이션 툴인 ISE-TCAD에 있는 DIOS를 사용하여 double gate MOSFET를 디자인하였으며, MDRAW 툴을 사용하여 소자의

mesh를 생성하였다. 그리고 DESSIS 틀을 사용하여 소자를 시뮬레이션 하였고, 소자의 파라미터 값들은 INSPECT를 사용하여 추출하였다.

II. 본 문

본 논문에서는 ISE-TCAD 시뮬레이터를 사용하여 side gate 길이와 side gate 전압에 대한 최적의 값을 얻기 위해 전기적 특성 및 커패시턴스값과 전달 컨덕턴스에 대해 조사하였다. Main gate 길이는 50nm이고, side gate 길이는 40nm에서 90nm까지 스케일링하면서 각 gate 길이와 side gate 전압에 따른 특성을 조사하였다. 이때, side gate의 전압은 1V에서 5V까지 인가하였다.

소자의 특성을 분석하기 위해서 gate 길이에 문턱 전압을 조사하였다. 문턱 전압을 구하기 위한 여러 가지 방법 중에서 ISE-TCAD에는 drain 전류 대 gate 전압 특성 곡선의 최대 기울기를 가지는 곳에서의 접선과 x축과 만나는 지점의 drain 전압을 구하는 선형추출법(linear extrapolation method, LE)과 drain 전류가 $0.1\mu\text{A}/\text{m}$ 이 흐를 때의 전압을 구하는 방법과 drain 전류 축을 로그크기로 변환하여 나타낸 그래프에서 최대 기울기와 최소 기울기를 갖는 곳의 접선들이 만나는 지점의 전압을 구하는 방법 중 마지막 방법을 사용하여 문턱 전압을 구하였다.

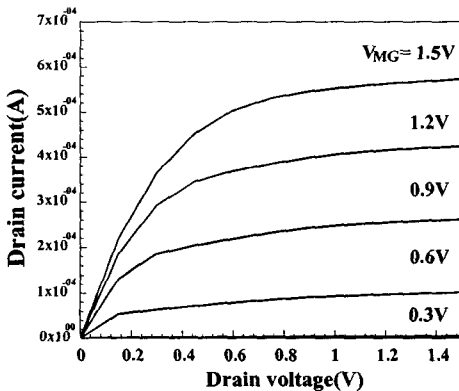


그림 1. Double gate MOSFET의 전류-전압 특성 곡선

그림 1은 main gate 길이가 50nm이고, side gate 길이가 70nm인 double gate MOSFET의 전류-전압 특성 곡선을 보여주고 있다. 전류-전압 특성을 보기 위해서 drain 전압을 0V에서 1.5V까지 변화시키면서 인가하였고, main gate 전압의 변화에 따른 drain 전류를 보여주고 있다. Drain 전압과 Main gate 전압이 1.5V이고, side gate 전압이 3.0V일 때, drain 포화전류는 $550\mu\text{A}/\mu\text{m}$ 이다.

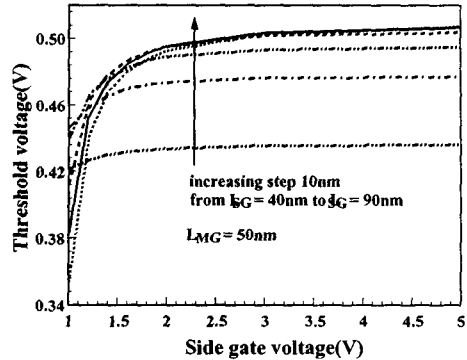


그림 2. side gate 전압에 대한 문턱 전압의 변화

그림 2는 side gate 전압에 대한 문턱 전압의 roll-off 특성을 나타낸 것이다. 이 때, side gate 전압은 1V에서 5V까지 인가하였다. 90nm side gate를 갖는 double gate MOSFET에서 side gate 전압이 5V일 때 문턱 전압은 약 0.506V이고 3V일 때는 약 0.5V이다. 이 문턱전압의 변화는 약 1%로 매우 작다. 그러나 side gate 전압이 3V보다 작게 되면 문턱 전압의 변화는 매우 커지게 된다. 즉 side gate 전압이 3V보다 크면, 문턱 전압은 side gate 길이에 영향을 거의 받지 않는다. 즉, 강 반전층이 형성되면 부가적인 side gate 전압은 필요하지 않게 된다.

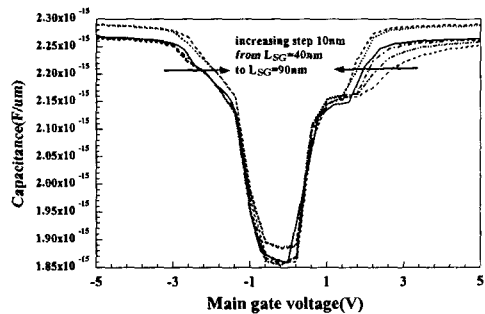


그림 3. Double gate MOSFET의 C-V 특성

그림 3은 50nm main gate MOSFET의 side gate 길이에 따른 C-V 특성 곡선을 나타낸 것이다. 이 때, side gate 길이는 40nm에서 90nm까지 변화시켰으며, main gate 전압을 -5V에서 +5V까지 인가하였다. 또한, drain 전압을 2V로 인가하여 double gate MOSFET의 C-V 특성을 조사하였다. Side gate 길이가 줄어들수록 커패시턴스값은 감소하는 경향을 나타내었다. Side gate 길이가 70nm일 때, main gate 전압이 약 -1.345V일 때 커패시턴스값은 약 $2.123 \times 10^{-15} \text{F}/\mu\text{m}$ 이며, main gate 전압이 -5V에서부터 커패시턴스값이 최고의 값을 가지고 있다

가 축적 상태가 되면 커패시턴스값이 급격히 떨어지게 된다. 그러다가 약 0.777V에서 반전영역으로 넘어오면서 커패시턴스값이 다시 상승하게 된다. 이때 커패시턴스값은 약 $2.124 \times 10^{-15} \text{F}/\mu\text{m}$ 이다.

그림 3에서 main gate 전압이 약 1.1V에서 1.5V 사이에서 특성 곡선이 구부러지는 경향을 나타내었다. 이 현상은 main gate와 side gate 사이에 존재하는 산화층에 의한 상호 작용을 인해 나타나는데 강반전이 발생한 이후 공핍 커패시턴스는 무시할 수 있게 되나, gate 간의 상호 커패시턴스 값은 무시할 수 없게 된다.

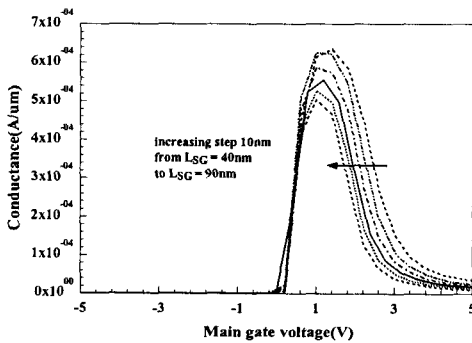


그림 4. Double gate MOSFET의 전달 컨덕턴스 특성 곡선

그림 4는 main gate 길이가 50nm일 때 side gate 길이를 40nm에서 90nm로 변화시켰을때의 전달 컨덕턴스의 특성 곡선을 나타낸 그림이다. side gate 길이를 변화시키면서 main gate 전압을 -5V에서 +5V까지 변화시키면서 전달컨덕턴스의 값을 비교해보았다. Side gate 길이가 줄어들수록 전달컨덕턴스는 증가하는 경향을 나타내었다. 전달컨덕턴스는 포화상태일 때 가장 높은 값을 나타내는데 side gate 길이가 40nm일때는 main gate 전압이 약 1.39V일 때 $6.3 \times 10^{-4} \text{A}/\mu\text{m}$ 를 나타내었다. Side gate 길이가 70nm일때는 main gate 전압이 약 1.17V일 때 $5.5 \times 10^{-4} \text{A}/\mu\text{m}$ 이다.

III. 결 론

본 논문에서는 TCAD 시뮬레이터를 이용하여

main gate 길이가 50nm이고 side gate 길이가 40nm에서 90nm까지 변화시키면서 double gate MOSFET에 대해 조사하였다.

Drain 전압과 Main gate 전압이 1.5V이고, side gate 전압이 3.0V일 때, drain 포화전류는 $550 \mu\text{A}/\mu\text{m}$ 이다. 50nm main gate와 90nm side gate를 갖는 double gate MOSFET의 문턱전압은 main gate 전압이 3V일 때 0.5V였으며, 이 값은 5V일때와 거의 변화가 없었다. Double gate MOSFET의 커패시턴스 값이 게이트 전압 0V를 지나면서 축적과 공핍 영역을 지나 중반전, 강반전 영역이 나타나는 것을 볼 수 있었고, 이것은 전달 컨덕턴스의 특성 곡선에서도 볼 수 있었다. 게이트전압 변화에 대한 C-V 특성곡선에서 side gate 길이가 증가할수록 커패시턴스값은 증가하고, 전달컨덕턴스 값이 감소하는 경향을 나타내었다.

참고문헌

- [1] David J. Frank, Robert H. Denard Edward Nowark, Paul M. Solomon, Yuan Taur and Honsum Plilp Wong, Device Scalnig Limits of Si MOSFETs and Their Application Dependencies, Proceeding of the IEEE, Vol. 89, No. 3, March 2001, pp. 259-287
- [2] Seong-Dong Kim, Chel-Min Park and Jason C. S. Woo, Advanced Model Analysis of Series Resistance for CMOS Scaling Into Nanometer Regime-Part I : Theoretical Derivation, IEEE Trans. Electron Dev., Vol. 49, No. 3, March 2002, pp. 457-466.
- [3] Woo Yong Choi, Byung Yong Choi, Dong Soo Woo, Young Jin Choi, Jong Duk Lee and Byung Gook Park, Side-gate Design Optimization of 50nm MOSFETs with Electrically Induced Source/drain, Jpn. J. Appl. Phys., Vol. 41, Part 1, No. 4B, April, 2002, pp. 2345-2347
- [4] Sangyeon Han, Sungil Chang, Jongho Lee and Hyungcheol Shin, 50nm MOSFET With Electrically Induced Source/Drain(S/D) Extensions, IEEE Trans. Electron Dev., Vol. 48, No.9, September, pp. 2058-2064