

Main gate와 side gate 산화층 두께에 따른 DG MOSFET의 전기적 특성에 관한 연구

나영일* · 고석웅* · 정학기* · 이재형*

*군산대학교

A study on electrical characteristics by the oxide layer thickness of main gate and side gate

Young-il Na* · Suk-woong Ko* · Hak-kee Jung* · Jae-hyung Lee*

*Kunsan National University

E-mail : mcguy@kunsan.ac.kr

요 약

본 논문에서는 DG MOSFET의 main gate와 side gate사이의 산화층 두께, 그리고 main gate와 Si 기판 사이의 산화층 두께를 변화시킴으로써 전기적 특성을 조사하였다. Main gate와 side gate사이의 산화층 두께가 4nm이고 main gate와 Si기판사이의 산화층 두께가 3nm일 때 최적의 전기적 특성을 보였다. 이때, side gate 전압은 3V, 그리고 drain 전압은 1.5V를 인가하였다. 결과적으로 DG MOSFET의 전기적 특성은 main gate와 side gate 사이의 산화층 두께보다 main gate와 Si기판사이의 산화층 두께가 중요함을 알았다.

ABSTRACT

In this paper, we have investigated electrical characteristics about double gate MOSFET with changed oxide layer thickness of main gate and side gate, main gate and Si-substrate. We have known that optimum thickness of main gate and side gate at 4nm, gate and Si-substrate at 3nm. We have applied for side gate voltage 3V, and drain voltage 1.5V. Finally, we have known that importance of oxide layer thickness between main gate and Si-substrate better than main gate and side gate.

키워드

main gate, side gate, double gate, oxide layer thickness

1. 서 론

최근 소자의 집적도가 증가함에 따라 MOSFET의 디자인 룰(design rule)이 130nm까지 감소하였으며, 2010년 이후 35nm까지 감소할 것으로 예측하고 있다[1]. 소자의 길이가 줄어들어 따라 집적도에 있어서 우수한 성능을 발휘하지만 이에 따른 여러 가지 문제점 즉, 열 전자효과와 단채널 효과(SCE: short channel effect) 같은 문제점들을 보완해야만 한다. 따라서 이러한 문제점들을 해결하기 위해 LDD(lightly doped drain) 구조를 이용하여 상당한 효과를 얻을 수 있었다. 그러나 gate 길이가 50 nm이하의 영역에서는 LDD구조로도 해결하지 못하게 되었다. 매우 얇은 확장된 source와 drain 접합들이 SCE(short channel effect)를 억압시키기 위해

필요하게 되고 낮은 저항을 갖는 이런 매우 얇은 S/D(source/drain)접합의 형성은 매우 중요한 기술 중 하나이다[2]-[3].

그러나, 일반적인 이온 주입(ion implantation)이나 고체 상태확산(solid phase diffusion)에 의해 얇은 접합들을 형성하는 것은 어렵다.

더욱이, 낮은 채널 도핑 레벨은 큰 이동도와 임의의 dopant 영향으로부터 작은 문턱 전압 변화를 위해 필요하다. SCE는 50nm이하의 영역에서 매우 얇은 확장된 S/D와 같은 반전 층 사용에 의해 억압시킬 수 있다고 발표되어졌다. 그러나, 이런 소자 구조들은 너무 큰 소자의 크기 때문에 실제 LSI에서는 사용되어지지 않는다[4].

이러한 문제를 해결하기 위해 여러 가지 방법이 제시되고 있는데 본 논문에서는 하나의 main gate

와 두 개의 side gate를 가진 DG MOSFET의 산화층 두께에 따른 전기적 특성과 문턱 전압에 대해 조사하였다.

소자의 특성을 조사하기 위해 시뮬레이션 툴인 ISE-TCAD를 사용하였다.

II. DG MOSFET의 공정

본 논문에서 사용된 소자의 구조는 하나의 main gate와 두 개의 side gate를 갖는 DG MOSFET 구조이다. 기판물질로 사용된 것은 p-type (100) 실리콘이며 일반적으로 낮게 도핑되어 있다. 이러한 공정을 하기 위해 사용한 ISE-TCAD tool에 있는 DIOS tool을 사용하여 구성하였다. 소자의 공정순서는 다음과 같다.

- P-type(100)실리콘 위에 산화막 형성
- 산화막 위에 side gate를 적층시키기 위해 poly-si 적층
- 레지스터를 사용하여 gate를 제외한 나머지 부분을 에칭
- Source와 drain영역에 $As^+(5 \times 10^{15} cm^{-2}, 30KeV)$ 를 주입
- Spacer 형성 위해 Nitride 적층
- Side gate 산화막층을 형성하기 위해 poly-si 에칭(side gate 산화막층 형성)
- 채널형성을 위해 $BF_2 + (1 \times 10^{13}/cm^3, 70keV)$ 이온을 주입
- 이온주입후 main gate 산화막층을 적층
- Main gate형성

본 논문에서 사용한 시뮬레이션 순서는 DIOS라는 공정툴을 사용하여 소자를 설계하였고, 소자를 설계한 후에 Mdraw를 사용하여 소자의 grid와 mesh를 생성하였다. 생성한 파일을 Dessis라는 시뮬레이션 프로그램으로 소자를 gate간 산화층 두께와 gate와 기판사이의 산화층 두께 변화에 대해 시뮬레이션 하였다. 마지막으로 산화층 두께에 따른 전류-전압 특성 값과 문턱 전압 값을 얻기 위해 Inspect tool을 사용하였다.

III. 시뮬레이션 및 결과

본 논문에서는 main gate와 side gate, main gate와 Si-기판사이의 산화층 두께를 변화시켜 두께변화에 따른 전류-전압 특성과 문턱 전압을 비교 분석하여 최적의 두께 값을 구하였다. 이 때, side gate의 전압은 3V, 그리고 drain 전압은 1.5V를 인가하였다.

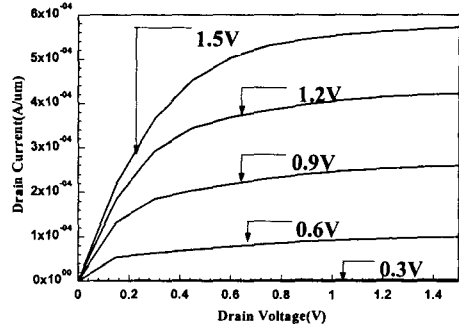


그림 1. main gate와 side gate사이의 산화층 두께가 4nm이고 main gate와 Si-기판 사이 산화층 두께가 3nm일 때 전류-전압 특성

main gate와 side gate사이의 산화층 두께가 4nm, main gate와 Si-기판사이의 산화층 두께가 3nm일 때 전류-전압 특성이 가장 안정적이었다. 이 때 전류-전압 특성은 그림 1에 나타나있다.

main gate와 side gate사이의 전류-전압 특성은 두께가 증가함에도 특성 차이는 적었으나 main gate와 Si-기판사이의 전압 특성은 두께가 증가함에 따라 민감하게 반응하였다.

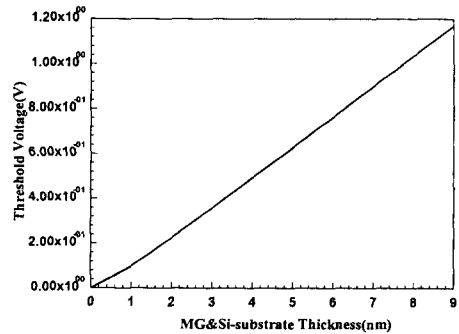


그림 2. main gate와 side gate사이의 산화층 두께에 따른 문턱 전압 변화

그림 2는 main gate와 side gate사이의 산화층 두께를 4nm로 고정시키고 main gate와 Si-기판사이의 산화층 두께를 0nm에서 9nm까지 변화시켰을 때 문턱 전압을 나타내었다. 이 때 문턱 전압은 선형적으로 증가하였다. 그림에서 볼 수 있듯이 산화층 두께가 증가할수록 문턱 전압도 증가함을 알 수 있다. 2nm일 때 문턱 전압은 0.226V이고 3nm일 때 0.358V, 4nm일 때 0.493V로 간격 차는 약 0.13V이다. gate와 Si-기판사이의 두께가 증가할수록 0.13V의 비율로 문턱 전압이 증가함을 알 수 있었다.

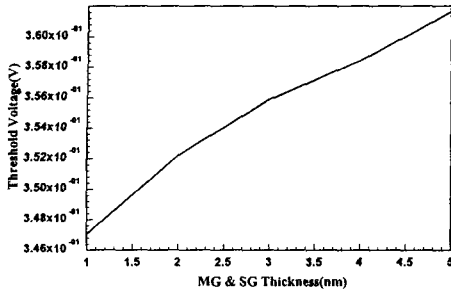


그림 3. main gate와 Si-기판사이의 산화층 두께에 따른 문턱전압 변화

그림 3은 main gate와 Si-기판사이의 산화층 두께를 4nm로 고정시키고 main gate와 side gate사이의 산화층 두께를 1nm에서 5nm까지 변화시켰을 때 문턱 전압 값을 나타내었다. main gate와 side gate사이의 산화층 두께가 증가함에 따라 그림에서 보는 것과 같이 선형적으로 증가함을 알 수 있었다. gate간 두께의 문턱 전압은 3nm일 때 0.356V, 4nm일 때 0.358V, 5nm일 때 0.362V로 두께에 따른 문턱 전압의 차는 적음을 알 수 있었다. 따라서 가장 최적의 값을 갖는 두께는 main gate와 side gate사이가 4nm, main gate와 Si-기판사이가 3nm일 때임을 알 수 있었다.

IV. 결 론

본 논문에서는 main gate와 side gate, main gate와 Si-기판사이의 산화층 두께에 따른 최적의 전기적 특성을 갖는 두께를 조사하였다. 그 결과 main gate와 side gate사이의 산화층 두께가 4nm,

main gate와 Si-기판사이의 산화층 두께가 3nm일 때 최적의 전기적 특성을 보여주었다. main gate와 side gate 사이에서는 특성차이가 심하지 않았지만 main gate와 Si-기판 사이에서는 특성의 차이가 확연하게 차이가 나는 것을 알 수 있었다. 그러므로 본 논문에서 DG MOSFET의 전기적 특성은 main gate와 side gate 사이의 산화층 두께보다 main gate와 Si-기판사이의 산화층 두께가 중요하다는 것을 알 수 있었다.

참고문헌

- [1] Takyasu Sakurai, "VLSIs in the year 2010 and beyond -From a designer's point of View-", JSAP International No.3, January 2001.
- [2] Sangyeon-Han, Sung-il Chang, Jongho Lee, Hyuncheol Shin, "50nm MOSFET With electrically Induce Source/Drain(S/D) Extensions", IEEE Trans. Electron Dev, Vol.48, No. 9, pp. 2058-2064, 2001
- [3] Byung-yong Choi, Suk-kang Sung, Byung-gook Park and Jong-duk Lee, "70 nm NMOSFET Fabrication with 12nm $n^+ - p$ junctions Using As_2^+ Low Energy Implantations", Jpn. J. Appl. Phys. Vol. 40, No. 4B, pp. 2607-2610, 2001.
- [4] 김재홍, 고석용, 임규성, 정학기, Double Gate MOSFET의 전기적 특성분석 및 연구 동향, 한국해양정보통신학회지, 제 3권 1호, June, 2002, pp. 37-40.