

System Packet Interface Level 4 Phase 2의 수신부 설계

박노식*, 손승일*, 이범철**
한신대학교 정보통신학과*, ETRI**

Design for Receive Unit of System Packet Interface Level 4 Phase 2

Noh Sik Park*, Seung Il Sonh*, Bhum Cheol Lee**
Dept. of Information and Communication Hanshin University*, ETRI**
nosik77@hs.ac.kr, saisonh@hanshin.ac.kr

요 약

시스템 패킷 인터페이스 4레벨 2단계(System Packet Interface Level4 Phase 2)는 10Gbps 이더넷 응용 뿐만아니라, OC-192 대역폭의 ATM 및 POS를 통한 패킷 또는 셀 전송을 위한 물리계층과 링크계층 소자간의 인터페이스이다.

본 논문에서는 시스템 패킷 인터페이스 4레벨 2단계(SPI-4.2)에 대한 연구와 C언어를 이용한 성능평가를 토대로 모듈을 VHDL언어를 이용하여 설계하였다. 성능평가가 확인된 짧은 패킷이 유입되었을 때 PCW와 다음 PCW의 거리를 16바이트 이상을 유지하기 위해 ICW가 삽입되어 많은 오버헤드를 발생시켰다. 작은 패킷이 유입되었을 때 오버헤드를 최소화 하기위해 ICW생성을 최대한 제한하게 설계하여 짧은 패킷 유입시의 오버헤드를 감소하는 SPI-4.2 인터페이스 수신부 모듈을 설계하였다. 설계한 모듈은 라인당 720Mbps를 지원하여 총 대역폭이 11.52Gb/s의 전송률을 나타내어 더욱 안정적으로 패킷을 인터페이스 할 수 있다. XilinxISE 5.1i 툴을 이용하여 VHDL언어로 설계하였고, Model_SIM 5.6a를 이용하여 시뮬레이션 하였다. SPI-4.2 인터페이스 모듈은 기가비트/테라비트 라우터, 광학 크로스바 스위치 및 SONET/SDH 기반의 수신 시스템에서 라인카드로 사용할 경우 적합할 것으로 사료된다.

1. 서 론

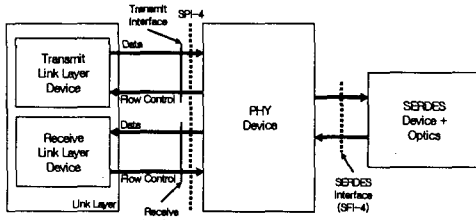
인터넷의 급속한 발달과 폭발적인 확산에 따라, 인터넷 관련 기술은 빠르게 발전되고 있다. 이러한 인터넷의 확산으로 더욱 더 빠른 네트워크망이 요구되고 있다. 네트워크망의 발전과정을 보면, 기존의 전화선망, 전용선망을 거쳐 이제는 빛의 속도로 데이터를 전송할 수 있는 광통신망이 요구되고 있으며, 실제 많은 네트워크망이 광통신망으로 바뀌고 있다. 네트워크망의 발전 속도를 현재 구축된 인터페이스 디바이스들은 이를 충족시키지 못하고, 네트워크망 내부에서 병목현상을 일으키고 있다. 이를 해결하기 위해 고속의 대역폭을 지원하는 인터페이스 기술이 발표되고 있다[1]-[4]. 시스템 패킷 인터페이스 4레벨 2단계는 물리층 소자와 링크층 소자간의 10Gb/s 이상의 대역폭을 위한 인터페이스로 광 인터페이스 포럼(Optical Interface Forum)에서 권고한 규격이다[3].

본 연구에서는 OC-192 ATM과 POS (Packet Over

SONET/SDH), 그리고 10Gb/s 이더넷을 통한 패킷 또는 셀 전송을 위한 물리계층소자와 링크계층소자간의 인터페이스인 시스템 패킷 인터페이스(SPI-4.2)에 대한 연구와 SPI-4.2 인터페이스 모듈을 Xilinx ISE 5.1i를 이용하여 VHDL언어로 설계하였고, Model_Sim 5.6a를 이용하여 시뮬레이션 하였다.

2. SPI-4.2의 개요

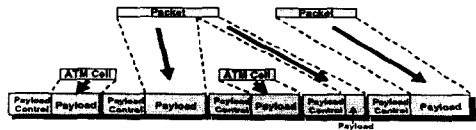
SPI-4.2는 물리층 소자와 링크층 소자간의 데이터 전달을 위한 시스템 패킷 인터페이스이다. 그림 1은 SPI-4.2의 개념도를 보여주고 있다. 한편, SFI (SERDES Framer Interface)는 PHY 계층의 SONET/SDH 프레임어와 고속 Parallel-to-Serial/Serial-to-Parallel(SERDES) 로직과의 전기적인 인터페이스를 정의하고 있다[4].



[그림 1] SPI-4.2의 개념도

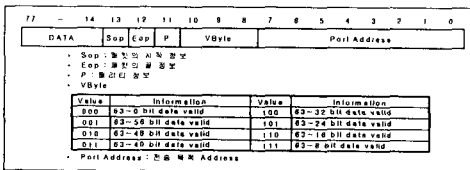
SPI-4.2는 데이터와 제어 및 상태 신호들의 전달 방향에 따라 "Transmit"과 "Receive"로 구분된다. 양방향 모두에 대해 FIFO 상태 신호는 데이터와 별도로 전송되며, 이러한 구조 때문에 송수신부를 서로 격리시킬 수 있고, 양방향이 아닌 단방향의 특성을 가져야 하는 응용분야에도 SPI-4.2를 사용할 수 있다.

데이터의 전송은 제어가 가능한 최대 길이로 연속(Burst)해서 전달될 수 있으며 EOP(End of Packet) 신호에 의해 전달이 중지된다. 매 전달과 관련된 정보들은 16비트 제어워드 형태로 전달된다. 그림 2는 데이터 흐름에 ATM 셀과 가변길이의 패킷이 맵핑되는 것을 보여주고 있다[3].



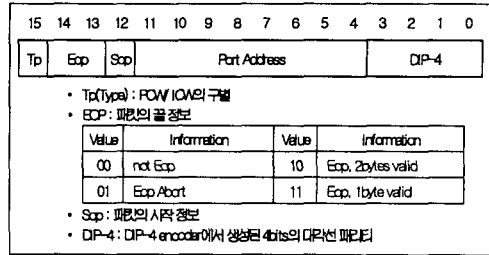
[그림 2] 패킷과 ATM 셀을 포함하는 페이로드 스트림의 맵핑

그림 3은 SPI-4.2의 Tx모듈로 입력되는 데이터와 헤더 정보를 보여주고 있다. 64비트의 데이터와 14비트의 헤더 정보를 가지고 있다. Sop는 패킷의 시작을, Eop는 패킷의 끝을, P는 현재 데이터의 에러 정보를, VByte는 데이터의 유효 데이터의 바이트 수를 나타내고, Port Address는 목적지 포트주소를 가지고 있다[3].



[그림 3] 입력데이터 정보

그림 4는 Tx모듈에서 전송되고, Rx모듈에서 수신하는 컨트롤 워드를 보여주고 있다. 컨트롤 워드는 16비트의 크기를 가지며, Tp는 컨트롤 워드가 Idle 컨트롤인지 Payload 컨트롤인지를, Eop는 마지막 패킷을, Sop는 패킷의 시작을, Port Address는 목적지 주소를, DIP(Diagonal Interleaved Parity)-4는 에러 정보를 나타낸다[3].



[그림 4] 컨트롤 워드 정보

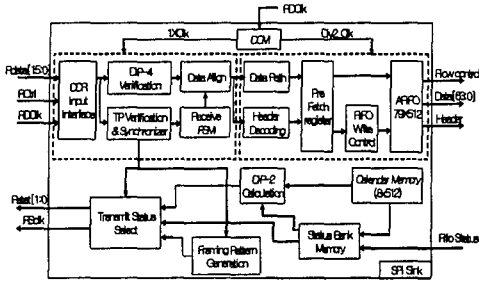
SPI-4.2 인터페이스는 광통신에 적용하기 위한 인터페이스로 정확한 데이터 전송을 위해 데이터 라인에서 발생할 수 있는 비트 도달시간을 조정하여 올바른 신호를 수신할 수 있는 기능을 제공하여 데이터 전송 타임을 조정할 수 있는 기회를 제공한다. 이와 같은 처리를 트레이닝 시퀀스라 하며, 트레이닝 시퀀스는 별도로 설정된 주기와 연속적인 에러가 발생하였을 때 수행하게 된다[3][5].

3. SPI-4.2 Rx 모듈의 설계

3.1 Rx 모듈의 아키텍처

유입되어온 16비트의 PDW(Payload Data Word), PCW, ICW등의 데이터 패킷과 각각의 종류를 확인할 수 있는 컨트롤 비트와 동기클럭을 입력받는다. DDR Input Interface 모듈에서 RData와 Rdata의 정보인 RCtrl을 싱글 에지로 동작하는 레지스터에 저장하여 트레이닝 워드일 경우 TP Verification & Synchronizer 모듈에서 받아 동기를 확인하고, 그 외의 정보는 DIP-4 Verification 모듈에서 DIP-4 에러를 검출하게 된다. Data Align 모듈은 입력 스트림에서 PCW를 검출하여 Header Decoding 모듈로 전송하고 PDW를 재정렬하여 Data Path 모듈에 전송하게 된다. Data Path 모듈에서 재조립된 64비트의 데이터 정보와 Header Decoding 모듈에서 생성된 14비트의 헤더 정보를 PreFetch Register에 저장하여 FIFO Write Control 모듈의 제어신호에 의해 FIFO에 저장하게 된다.

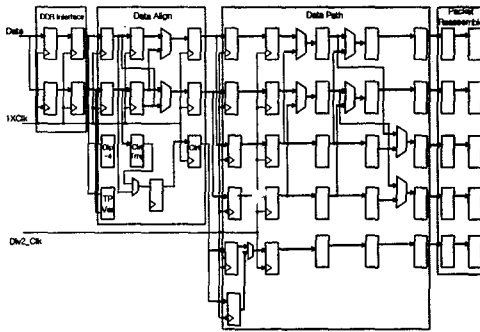
Calendar Memory는 Rx 모듈이 인에이블 되기 전에 설정되게 되고 Rx 모듈의 인에이블은 Calendar Memory의 값이 모두 입력되었을 때 가능하다. 하위 계층에서 입력받은 뱅크 구조의 32비트의 FIFO 상태 정보를 입력받아 Status Bank Memory 블록에 업데이트 하게 된다. Transmit Status Select 모듈은 Calendar Memory의 채널 주기 정보를 확인하여 Frame 정보, FIFO 상태 정보, DIP-2 계산값들 중에 하나를 선택하여 하위 계층으로 전송하는 역할을 수행한다. 그림 5는 Rx 모듈의 데이터 패스를 보여주고 있다.



[그림 5] Rx 모듈의 상세 블록도

3.2 Rx 모듈의 데이터 패스

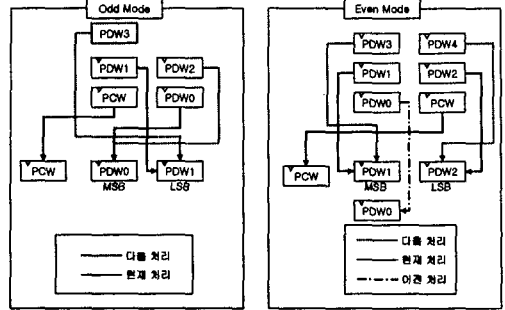
DDR 인터페이스를 통해 입력되는 패킷을 재조립하여 상위계층으로 전송하기 위해 파이프라인 방식의 데이터 패스를 구현하였다. 유입되는 PCW와 ICW 패킷을 이용하여 14비트의 헤더 정보를 생성하고, PDW를 이용하여 64비트의 데이터 정보를 생성한다. 데이터 생성에는 4개의 PDW가 필요하게 된다. 데이터의 처리에 있어서 컨트를 워드는 따로 분류하여 처리하게 되는데 이때 발생하는 데이터 패킷의 순서가 변화하게 된다. 이것을 막기 위해 데이터를 정렬할는 모듈이 삽입되어 두개의 데이터 쌍으로 맞추게 된다. 그림 6은 Rx 모듈의 파이프라인 방식의 데이터 패스를 보여주고 있다.



[그림 6] Rx 모듈의 데이터 패스

3.3 데이터 정렬

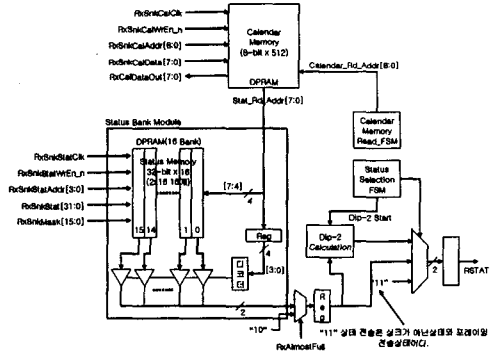
유입되는 데이터가 순차적 프레임 전송방식의 해 컨트를 데이터와 데이터 정보가 16비트로 같은 데이터 버스에 들어오게 된다. 상위 계층에서 요구하는 패킷 정보로 수정하기 위해서는 컨트를 정보와 데이터 정보를 분리하는 작업이 필요하다. 컨트를 정보를 추출하고 데이터를 재 정렬하는 데이터 재 정렬 루틴이 필요하다. DDR 인터페이스를 통한 데이터에 대해 PCW의 위치를 확인하여 PCW를 컨트를 레지스터로 전송해주고 PDW 데이터를 재 정렬 해준다. 그림 7은 PCW의 위치에 따른 PDW의 재 정렬을 보여주고 있다.



[그림 7] PCW의 위치에 따른 PDW 재정렬

3.4 Rx 모듈의 채널상태 정보의 전송

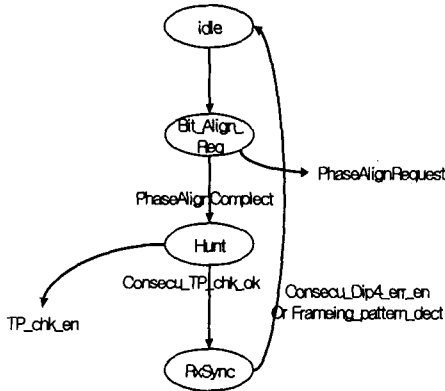
Rx FIFO 상태 정보는 데이터를 수신할 상위 계층의 파이포 상태 정보를 16개단위의 뱅크구조로 입력을 해주게 된다. Calendar Memory Read FSM, Status Selection FSM 상태머신이 있어 전송 채널의 선택과 전송할 상태를 선택하게 된다. Status Bank Memory는 2x16크기의 메모리로 16개를 두어, 256개의 채널의 정보를 상시 업데이트해 주며, 사용하지 않는 포트에 대해서는 RxSnkMask를 이용하여 마스크 처리하고 정보를 업데이트 한다. 그림 8은 Rx FIFO status 전송부의 블록도를 보여주고 있다.



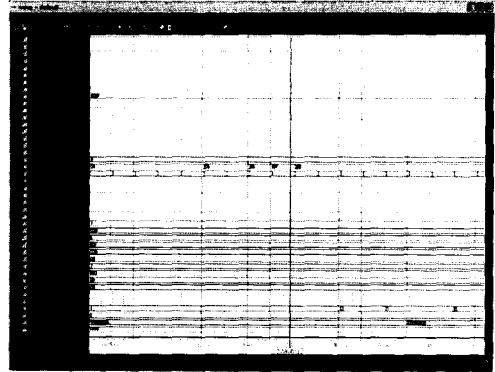
[그림 8] Rx모듈의 채널 정보 전송 블록도

3.5 Rx 모듈의 싱크 설정

SPI-4.2 Rx모듈은 하위 계층으로부터 트레이닝 시퀀스를 받아 동기작업을 수행하고, 동기가 완료되기 이전까지 Status 전송블록에서는 "11"프레임을 전송하여 현재 Rx모듈이 동기작업 수행중임을 알린다. Rx부의 동기는 연속적인 RxNumTrainSequence번의 트레이닝 시퀀스를 수신하였을 경우 동기가 완료되고, 완료에 대한 응답으로는 상태 전송 블록에서 프레임 패턴 "11" 프레임 전송을 마치고 "11" 프레임이 아닌 FIFO상태정보값을 전송하게 된다. 그림 9는 Rx Synchronization의 상태머신을 보여주고 있다.



[그림 9] Rx 모듈의 싱크 설정 상태머신



[그림10] Rx 모듈의 파형

4. Rx 모듈의 파형분석

그림 10은 Rx 모듈의 파형을 보여주고 있다. 현재 파형은 하위 계층으로부터 트레이닝 시퀀스를 입력받아 NumTrainSequences 만큼의 트레이닝 시퀀스 매치를 확인하여 RxSync 신호를 인에이블하게 된다. 그리고 상태 전송부에 프레임 패턴 전송을 중지하고 상위계층으로부터 입력받은 FIFO 상태정보를 전송하게 된다. RxSync 신호가 활성화된 후에도 연속적으로 트레이닝 데이터가 들어올 경우 SnkTrainValid 신호가 활성화되어 유효하지 않은 데이터 입력됨을 알리게 된다. SnkTrainValid 신호가 비활성 되었을때 RData와 RCtrl 신호에 데이터 유입되는 것으로 판별하여 데이터를 재조립하게 된다. 재조립된 데이터는 FIFO에 저장되어 있다. SnkFFEmpty_n 신호가 활성화되면 상위 계층에서는 재조립이 완료된 데이터가 존재함을 확인하여 SnkFFRdEn_n 신호를 활성화 하여 SnkFFAddr, SnkFFData, SnkFFMod, SnkFFSop, SnkFFEop, SnkFFEr에 데이터가 전송되게 된다. 현재 전송되고 있는 데이터가 유효한 데이터임을 알리는 SnkFFValid가 활성화하게 된다. 그리고 패킷 재조립 과정에서 발생된 에러 정보인 SnkFFPayloadErr, SnkFFDIP4Err, SnkBusErr정보를 전송하여 현재 전송되는 패킷의 에러 유무를 전송한다. 상위 계층으로부터 SnkStat 신호를 통해 유입된 버퍼구조의 상위 FIFO 상태정보를 입력받아 상태 버퍼 메모리를 업데이트하고 Calendar 메모리와 같은 동기로 설정된 Calendar_Len을 Calendar_M 번의 주기 만큼 RStat 신호를 통해서 전송하게 된다. 그리고 Rx 모듈이 인에이블되기 이전에 Calendar 메모리에 채널 정보를 입력하게 된다. SnkCalWrEn_n 신호가 활성화 되었을때 SnkCalAddr의 주소에 SnkCalData의 채널 정보를 저장하여 FIFO 채널 정보를 관리하게 된다.

5. 설계 결과

설계된 SPI-4.2모듈은 사용자 인터페이스에 64비트의 데이터와 PHY 계층과의 인터페이스에 16비트의 데이터 전송라인을 요구하며, OC-192 (10Gb/s)의 대역폭을 지원하기위해 라인당 최소한 622Mbps를 지원해야 한다. Xilinx PL4 v5.2와 Paxonet CC401 모듈은 라인당 700Mbps를 지원하여 11.2Gb/s 전송율을 지원한다. 설계한 모듈은 라인당 720Mbps를 지원하여 총 대역폭이 11.52Gb/s의 전송률을 나타내어 더욱 안정적으로 패킷을 인터페이스 할 수 있다. 설계 면적 또한 PL4 v5.2보다 적은면적으로 설계 되었다. 표 1은 설계모듈과 기존에 설계된 모듈의 비교를 표로 보여주고 있다.

[표 1] SPI-4 모듈의 설계 결과 비교

비교 모델	표준안	Xilinx	Paxonet	Our design
비교 값	요구사항	PL4 V5.2	CC401	
User Interface		175Mhz	175Mhz	180Mhz
PL4 Interface	622Mbps	700Mbps	700Mbps	720Mbps
Slices	n/a	1950 (RX)	2735 (TX+RX)	1335 (RX)

6. 결론

SPI-4.2는 10Gb/s 이상의 대역폭을 위한 패킷 인터페이스를 지원한다. 정의된 인터페이스는 라인당 최소 622MHZ 이상의 전송율을 가지는 16비트의 데이터 패스로 구성되며, OC-192 SONET/SDH를 통한 셀 또는 패킷의 전송, 그리고 10Gb/s 이더넷을 지원한다.

본 논문에서는 시스템 패킷 인터페이스 4레벨 2단계(SPI-4.2)에 대한 연구와 성능평가 결과를 기반으로 하여 짧은 길이의 패킷이 입력되었을 때, 적은 오버헤드를 발생할 수 있게 설계하였다. 그리고 가변길이 패킷에대한 처리도 가능하다. SPI-4모듈의

설계는 Xilinx ISE 5.1i 툴을 이용하여 VHDL 언어로 설계하였고, 설계모듈의 검증은 ModelSim 5.6a를 이용하여 시뮬레이션 하였다. 짧은 길이 패킷에 대해 적은 수의 오버헤드를 확인할 수 있었다. 추가적으로 10Gb/s의 지원을 위해 설계모듈은 라인당 622Mbps를 지원해야 한다. 설계 모듈은 라인당 720Mbps를 지원하여 관련 응용분야에서 사용이 가능할 것으로 사료된다.

참고문헌

- [1] "The Voice of the Future : Next Generation Networks", ATM Form, July. 2002
- [2] "Common Switch Interface Specification-L1", ATM Form, August 2001
- [3] "System Packet Interface Level 4 (SPI-4) Phase 2 : OC-192 System Interface for Physical and Link Layer Devices.", OIF, January. 2001
- [4] "Streaming Interface(NPSI) Implementation Agreement," NPF, October. 2002
- [5] "SPI-4.2(PL4) Core V5.2" Xilinx, January. 2003
- [6] 박노식, 손승일, 최익성, 이범철, "System Packet Interface 모듈의 성능평가", 한국인터넷정보학회 춘계 학술발표 논문집, pp247-250, November 2003.