

1V 5.25GHz SiGe 저잡음 증폭기 설계

류지열*, 노석호**, 박세현**, 박세훈**, 이정환**
애리조나 주립대학교 전기공학과*, 안동대학교 전자공학과**

Design of a 1V 5.25GHz SiGe Low Noise Amplifier

Jeon-Youl Ryu*, Seok-Ho Noh**, Se-Hyun Park**, Se-Hoon Park**, Jeong-Hwan Lee**
Arizona State University*, Andong National University**
E-mail : jryu1@imap1.asu.edu

요 약

본 논문은 802.11a 무선 근거리 통신망 (wireless LAN)용 5.25GHz SiGe 저잡음 증폭기 (LNA)의 설계에 대해 다루고 있다. 이러한 저잡음 증폭기는 2단 구조를 가지고, 1V의 공급전압에서 동작하며, 0.18 μ m SiGe 공정으로 제작되어 있다. 이는 5.25GHz의 동작주파수에서 17dB의 전압이득, 2.7dB의 잡음지수, -15dB의 반사계수, -5dBm의 IIP3 및 -14dBm의 1dB compression point와 같은 우수한 동작 특성을 보였다. 바이어스 회로에서 소모되는 0.5mW를 포함하여 전체회로에서 소모되는 총전력은 7mW였다.

ABSTRACT

This paper describes the design of a two stage 1V power supply SiGe Low Noise Amplifier operating at 5.25 GHz for 802.11a wireless LAN application. The achieved performance includes a gain of 17 dB, noise figure of 2.7dB, reflection coefficient of 15 dB, IIP3 of -5 dBm, and 1-dB compression point of -14dBm. The total power consumption of the circuit was 7 mW including 0.5mW for the bias circuit.

키워드

무선 근거리 통신망, 저잡음 증폭기, SiGe 공정, 전압이득, 잡음지수

I. 서 론

최근 휴대용 무선기기를 비롯한 무선통신 산업 분야에 저전압, 저전력 특성을 지닌 고주파 전단부 (RF front-end) 블럭들에 대한 필요성이 점점 더 증대되고 있다 [1-6]. 그러나 현재 사용되고 있는 여러 회로 토폴로지들이 저전압, 저전력에서 만족할 만한 동작특성을 나타내지 못하고 있어, 이 문제를 해결하기 위해 많은 연구가 진행되고 있다 [1-6].

본 연구에서는 저전압, 저전력 특성을 지닌 무선 통신 연구의 한 접근 방법으로 802.11a 무선 근거리 통신망에 사용할 5.25GHz SiGe 저잡음 증폭기 (LNA)의 설계를 제안하고자 한다. 본 연구에서 제안하는 저잡음 증폭기는 1V의 매우 낮은 공급전압에서 동작하고, 2단 구조를 가지며, 0.18 μ m SiGe 공정으로 제작되어 있다. 저전압, 저전력 특성을 지닌 저잡음 증폭기의 설계를 위해 밴드갭 참조 구조 (band-gap reference)의 바이어스 회로를 적용

하였다.

II. 토폴로지에 대한 설명

802.11a에 사용하기 위해 저잡음 증폭기가 가져야 할 기본 사양이 표 1에 정리되어 있다. 근거리 통신에 이용하는 802.11a는 다른 응용 분야에 비해 상대적으로 더 간단한 사양을 가진다. 그러나 주어진 동작주파수에서 표 1에 보인 사양을 만족시키며 1V의 저전압에서 동작하는 저잡음 증폭기를 설계하기는 어려우므로, 다양한 변수들을 고려하여 체계적인 회로 설계가 이루어져야 한다.

저잡음 증폭기 설계를 위해 다양한 종류의 토폴로지를 선택할 수 있다. 그 중에서 BJT 캐스코드 구조는 설계가 간단하고 높은 전압이득을 제공한다. 그러나 캐스코드로 연결된 두 개의 트랜지스터를 포화영역에서 동작시키기 위해서는 최소한

1.6V의 공급전압이 필요하기 때문에 1V 전압에 동작하는 저잡음 증폭기의 설계에는 적용할 수 없다. 또한 1단 구조의 토폴로지는 1V와 같은 저전압 응용에 적용이 가능하지만, 높은 동작주파수에서 소모전력이 비교적 크며, 설계사양에서 요구되는 이득을 제공하기가 어려운 단점이 있다. 저전압에서 동작하는 증폭기를 설계하는 좋은 방법중의 하나는 두 개의 트랜지스터 사이에 교류와 직류 경로를 분리할 수 있는 폴디드(folded) 캐스코드 구조(CS-CG; 공통 소스-공통 게이트)를 사용하는 것이나 [3], 이 구조는 첫째 단과 다음 단간에 존재하는 탭크 회로의 정확한 정합을 필요로 한다.

표 1. 802.11a 용 저잡음 증폭기의 기본 사양

동작주파수 [GHz]	5.15 ~ 5.35
잡음지수 [dB]	< 3
IIP3 [dBm]	> 0
전압이득 [dB]	> 10
감도 [dBm]	-80

본 연구에서는 기존에 연구된 토폴로지들이 가진 단점을 보완하고, 이득을 최대화하기 위해 첫째 단과 다음 단간에 교류 결합 특성을 가진 2단 구조의 CE-CE (공통 에미터-공통 에미터) 토폴로지를 이용하고자 한다. 이러한 구조는 입출력 회로간에 좋은 정합이 이루어질 경우 다른 구조에 비해 이득이 높고 잡음지수가 낮은 장점을 가진다. 그림 1에 본 연구에서 설계한 저잡음 증폭기 회로를 나타내었다. 전체 회로는 4개의 HBT (High Mobility Transistor; 고이동도 트랜지스터), 5개의 인덕터, 5개의 커패시터 및 6개의 저항으로 구성되어 있으며, 단일 칩내에 설계되어 있다. 그리고 저전압 밴드갭 참조 구조 (band-gap reference) 바이어스 회로가 각 단에 바이어스 전류를 공급하기 위해 사용되어 있다 [7]. 이러한 회로는 온도나 기타 다른 외부 영향에 상당히 안정(stable)하며, 저전압 응용에 적합하다. HBT Q_3 와 Q_4 는 각각 약 0.84V의 베이스-에미터 전압 V_{BE} 에 바이어스 되어있다. Decoupling 커패시터 C_5 는 바이어스 전압으로부터 발생하는 고주파 잡음을 바이패스 시키기 위해서 사용하였다 [8].

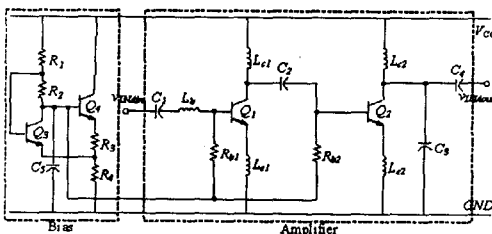


그림 1. 설계된 5.25GHz 저잡음 증폭기 회로도

2.1 임피던스 및 전력 정합

앞에서도 언급했듯이 2단 구조의 증폭기에 대해 이득을 증가시키고 잡음지수를 감소시키기 위해서는 입출력 회로간에 좋은 임피던스 정합이 필요하다 [8]. 본 연구에서는 이득을 증가시키고 잡음지수를 감소시키기 위해 입력단에서 잡음과 전력 정합 특성을 가지는 증폭기를 설계하고자 하였다. 본 연구에서는 그림 2에 나타나 있듯이 50Ω에 더 가까운 Γ_{opt} 를 얻기 위해 트랜지스터 Q_1 의 에미터 면적을 적절히 조절하였으며 [9], 12.25 μm^2 의 에미터 면적 (5개의 에미터 구조)을 선택하였다.

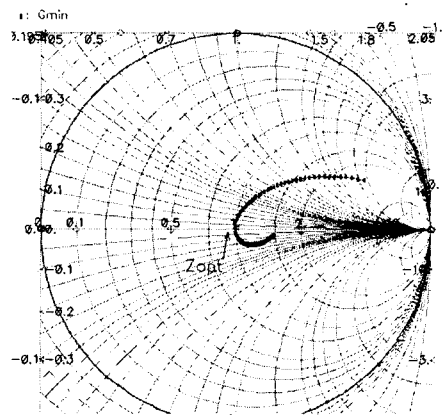


그림 2. Γ_{opt} 에 대한 시뮬레이션 결과

또한 좋은 임피던스 정합 조건으로, 입력 임피던스의 실수부를 50Ω으로 만들고 허수부를 0으로 만들기 위해 트랜지스터 Q_1 과 Q_2 의 에미터 단자에 에미터 degeneration용 인덕터 L_{e1} 과 L_{e2} 를 각각 첨가하였다. 그림 3은 설계된 증폭기의 고주파 동작을 분석하기 위한 하이브리드 파이 소신호 등가 회로를 나타낸 것으로, 고주파에서 실제 인덕터에 존재하는 기생 직렬저항 (parasitic series resistances)의 영향이 고려되어 있다. 그러나 HBT Q_1 과 Q_2 의 출력 저항 값 (r_{o1} 와 r_{o2})은 다른 값에 비해 매우 큰 값을 가지므로 무시되었다. 고주파에서 HBT Q_1 과 Q_2 에 의한 커패시터성 리액턴스 C_{x1} 과 C_{x2} 의 영향을 제거하고 동작주파수를 적절히 조절하기 위해 베이스 인덕터 L_b 를 사용하였다.

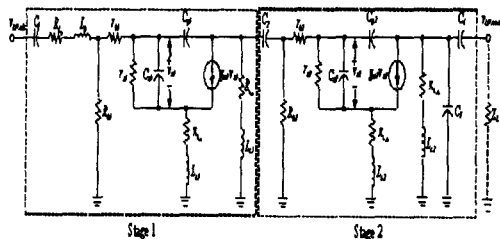


그림 3. 5.25GHz 저잡음 증폭기에 대한 고주파 소신호 등가회로

출력 임피던스 정합은 두 개의 커패시터로 구성된 L 정합 회로망을 이용하였다. 커패시터 C₂는 다음단에 대해 직류 차단 역할을 할 뿐만 아니라 첫째 단과 둘째 단 사이에 최대 전력이 전송되도록 한다. 일반적인 경우 베이스 저항 r_{b1}이 회로에 미치는 영향을 고려하여 입력임피던스에 대해 식 (1)과 같은 근사식을 이용할 수 있다.

$$Z_{in} \approx j\omega(L_{e1} + L_b) + \frac{1}{j\omega \cdot C_{\pi 1}} + \frac{g_{m1} \cdot L_{e1}}{C_{\pi 1}} + r_{b1} \quad (1)$$

2.2 전압이득 (Voltage Gain)

각 단은 출력 부하가 5GHz 주파수 근처에서 공진 특성을 가지도록 설계되어 있다. 공진특성에서 각 단의 이득은 우선적으로 인덕터의 선택도 (quality factor) Q에 달려있다. 따라서, 공진주파수 근처에서 각 단의 전압이득은 식 (2)와 같이 표현할 수 있다. 즉,

$$G = g_m(Q^2 + 1) \cdot R_L \quad (2)$$

여기서 g_m은 HBT의 트랜지스터이고 R_L은 인덕터의 기생 직렬 저항을 나타낸다.

식 (2)에서도 알 수 있듯이 전압이득을 증가시키기 위해 g_m을 증가시키거나 인덕터의 Q 및 인덕턴스 값을 증가시킬 수 있다. 그러나 본 연구에서는 증폭기가 5GHz의 적절한 동작 범위에서 공진특성을 유지하기 위해서 2nH 이하의 인덕턴스 값을 가지도록 설계하였고, 전체 칩 면적과 잡음 특성을 고려하여 첫째 단은 약 10dB, 둘째 단은 약 7dB의 전압이득을 갖도록 하였다. 식 (3.1)과 식(3.2)는 그림 3의 저잡음 증폭기 회로의 전체 전압이득에 대한 정확한 수식을 나타낸 것으로, 이 식을 이용하여 좀 더 체계적인 저잡음 증폭기를 설계할 수 있다.

$$G_{LNA} = \frac{V_{LNAout}}{V_{LNAin}} = G_1 G_2 G_3 \quad (3.1)$$

$$G_k = \frac{g_{m_k} \cdot Z_{L_k}}{(C_3 + C_4) + j\omega C_3 C_4 Z_{L_k}} \quad (3.2)$$

여기서, G₁=G_k(k=1), G₂=G_k(k=2),

$$G_3 = \frac{j\omega C_3 C_4 Z_{L_3}}{(C_3 + C_4) + j\omega C_3 C_4 Z_{L_3}}$$

2.3 잡음지수(Noise Figure)

설계된 저잡음 증폭기는 최소 잡음에서 동작하도록 적절한 전류밀도에서 바이어스 되어있다. 또한 잡음지수를 최소화하기 위해 잡음 정합을 고려하였다. 이러한 값은 전류밀도 대 잡음지수 특성곡선으로부터 얻을 수 있다 [2]. 설계된 저잡음 증폭기의 각 단을 통해 흐르는 전류는

$$0.2\text{mA}/\mu\text{m}^2 \times 12.25\mu\text{m}^2 = 2.45\text{mA}$$

BJT의 베이스 저항 r_b는 잡음의 주요한 소스중의 하나이다. 소자의 면적을 증가시켜 이를 감소시킬 수 있으나 소자 면적의 증가와 함께 기생 성분들이 증가하며, 이로 인해 소자의 속도가 저하된다. 즉, 소자 속도와 잡음 특성간에는 상보성 (trade-off)이 존재한다. 베이스 저항 r_{b1}의 효과를 고려하여 간략화된 잡음지수를 식 (4)에 나타내었다 [10].

$$NF = 1 + \frac{r_{b1}}{R_s + R_{L_s}} + \frac{1}{2g_{m1}(R_s + R_{L_s})} + \frac{g_{m1}(R_s + R_{L_s})}{2\beta_o} \quad (4)$$

2.4 안정 계수 (Stability Factor)

저잡음 증폭기는 동작주파수 근처에서 무조건적으로 안정(unconditionally stable)해야 한다. 이러한 특성은 동작주파수 근처에서 안정 계수 K를 측정하여 알 수 있으며, 증폭기의 무조건적 안정을 위해서는 K>1이 되도록 설계해야 한다.

2.5 고조파 상호변조 왜곡 (Harmonic Inter-modulation Distortion)

SiGe HBT는 더 낮은 베이스-에미터 도통전압 VBEon을 가지기 때문에 BJT보다 더 우수한 선형성(linearity)을 가진다 [11]. 또한 에미터 degeneration 구조는 공통 에미터 단의 선형성을 향상시킬 수 있다 [12]. 이러한 개념을 바탕으로 설계된 저잡음 증폭기는 고조파에 대해 우수한 선형성을 갖는다.

III. 레이아웃 (Layout)

그림 4는 설계된 저잡음 증폭기에 대한 레이아웃을 나타낸 것으로, 다이(die) 면적은 1.1 mm×1.2 mm를 차지한다. 5개의 인덕터들이 대부분의 면적을 차지하며, 이들은 3μm의 두께를 가진 최상위(top) 금속으로 레이아웃 되어있다.

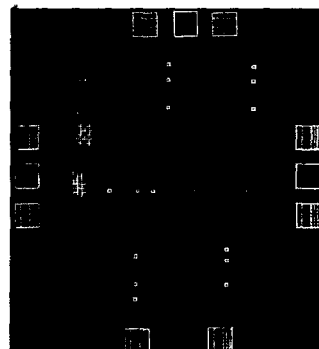


그림 4. 설계된 저잡음 증폭기에 대한 레이아웃
입출력 패드들은 프로브 스테이션을 이용하여

웨이퍼 상에서 측정 할 수 있도록 GSG (Ground-Signal-Ground) 구조로 레이아웃 되어있다. 신호가 지나갈 선들은 상호결합의 영향을 최소화 하기 위해 거리를 가능한 멀리하였고, electromigration 조건을 만족시키기 위해 충분히 넓게 하였다. 접지 선들은 접지쪽으로 낮은 임피던스 경로를 제공하기 위해 넓게 하였다. 기판으로부터 발생하는 잡음을 최소로 하기 위해 각각의 인덕터와 트랜지스터 주위를 접지 보호 링 (guard rings)하여 기판과 연결하였다. 사용된 커패시터는 높은 선택도를 가진 MIM (Metal-Insulator- Metal)구조이며, Tantalum nitride 박막형 저항을 사용하였다.

IV. 시뮬레이션 및 실험 결과

저잡음 증폭기를 설계하고 시뮬레이션하기 위해 Cadence를 이용하였다. 저잡음 증폭기를 구성하는 각 요소들이 공정 파라미터의 미세변동으로 인해 최악의 공정조건(worst-case process)으로 제작될 경우를 대비하여 corner 시뮬레이션도 함께 수행하였으나, 정규 결과와 그다지 큰 편차를 보이지 않았다. 또한 설계된 저잡음 증폭기는 전원전압이 0.9V에서 1.5V까지 변화도 정상적으로 동작하였다.

그림 5는 S 파라미터 결과를 나타낸 것이다. 이러한 결과를 통해 전압이득과 안정계수, 입력 반사손실(input return loss) 및 출력 반사손실(output return loss), 그리고 역 흐름 격리 특성 (reverse isolation) 등을 확인할 수 있다. 그림 5에서 알 수 있듯이 5.25GHz 근처에서 우수한 특성을 보였다. 설계된 저잡음 증폭기는 5.25GHz의 동작주파수에서 40.26Ω의 입력 임피던스와 17.15dB의 전압이득, -25.28dB의 입력 반사손실, -23.46dB의 출력 반사손실, -31.29dB의 역 흐름 격리 특성 및 2.623의 안정계수를 보였다. 또한 1.115와 1.144의 입력 VSWR과 출력 VSWR을 각각 보였다. 설계된 증폭기는 1GHz~10GHz의 주파수 범위에서 무조건적인 안정성을 보였다.

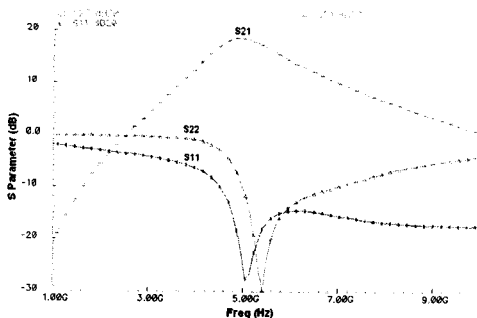


그림 5. S 파라미터에 대한 시뮬레이션 결과

그림 6은 잡음지수 및 잡음 정합 특성에 대한 시뮬레이션 결과를 나타낸 것이다. 그림 6으로부터 알 수 있듯이 5.25GHz의 동작주파수 근처에서 설

계된 저잡음 증폭기는 최소 잡음 지수(NFmin)와 일치하였다. 이러한 결과는 설계된 저잡음 증폭기가 5.25GHz의 동작주파수 근처에서 최소 잡음으로 동작되도록 바이어스 되어있으며, 잡음 정합이 이루어졌음을 나타낸다. 설계된 저잡음 증폭기는 5.25GHz의 동작주파수에서 2.7dB의 잡음지수를 보였다.

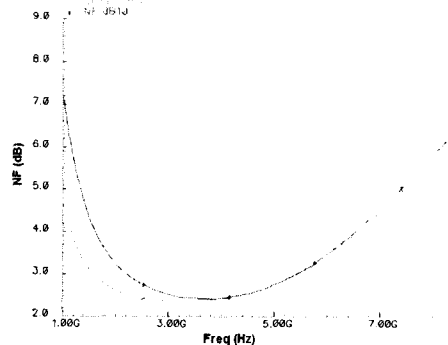


그림 6. 잡음지수 및 잡음 정합 특성에 대한 시뮬레이션 결과

그림 7은 설계된 저잡음증폭기의 선형성을 확인하기 위해 IIP3(3rd order input intercept point)에 대한 시뮬레이션 결과를 나타낸 것으로, 입력 신호로 1차 주파수는 5.2GHz, 3차 주파수는 5.15GHz를 각각 사용하였다. 그 결과 설계된 증폭기는 -5dBm의 IIP3 및 -14dBm의 1dB compression point를 보였다. 설계된 저잡음 증폭기는 1V의 저전압에서 동작하기 때문에 트랜지스터들이 포화영역으로 들어가기 전에 허용할만한 출력 스윙 전압은 약 0.2V에 불과하며, 이는 저전압에 동작하는 증폭기가 선형성면에서 한계점을 가지고 있음을 보여준다.

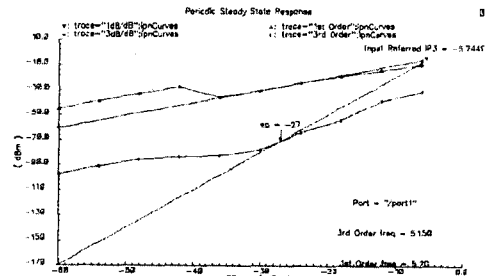


그림 7. IIP3에 대한 시뮬레이션 결과

증폭기를 설계하고 레이아웃한 후에 Assura RCX 툴을 이용하여 기생성분 추출(parasitic extraction)을 수행하였고, 추출된 결과를 토대로 포스트 레이아웃 시뮬레이션을 수행하였다. 레이아웃 전과 후의 시뮬레이션 결과들은 거의 비슷한 특성을 보였다.

표 2는 5GHz 동작주파수대의 응용분야에서 현재까지 연구된 결과와 본 연구결과를 비교한 것으

로, 본 연구결과가 기존의 방법에 비해 우수한 특성을 보이고 있다.

표 2. 5GHz 동작주파수에 대한 현존 연구결과 비교

	본 연구*	[3]	[4]	[5]	[6]
공정	SiGe 0.18 μ m	Si BJT 0.15 μ m	SiGe 0.5 μ m	Si BJT 0.6 μ m	CMOS 0.18 μ m
공급전압[V]	1	1	1	2-3.3	1
동작주파수[GHz]	5.25	5.8	5.8	5.8	5.8
전압이득[dB]	17.15	11.5	13	11-14	13.2
전력소모[mW]	7	6.6	9	18-44	22
잡음지수[dB]	2.7	4	2.1	3.8-4.2	2.5
P_{1dB} [dBm]	-14	-19	-21	-18	-14

* 본 연구결과는 시뮬레이션을 토대로 작성된 것이며, 현재 LNA를 제작중에 있다

V. 결 론

1V 5.25GHz SiGe 저잡음 증폭기가 0.18 μ m SiGe HBT 공정으로 제작되었다. 802.11a 무선 근거리 통신망(wireless LAN)에 응용하기 위해 제작된 이러한 저잡음 증폭기는 2단 구조를 가지고, 1V의 공급전압에서 동작한다. 이는 5.25GHz의 동작주파수에서 17dB의 전압이득, 2.7dB의 잡음지수, -15dB의 반사계수, -5dBm의 IIP3 및 -14dBm의 1dB compression point를 보였으며, 기존에 연구된 결과보다 우수한 동작특성을 보였다. 바이어스 회로에서 소모되는 0.5mW를 포함하여 전체회로에서 소모되는 총전력은 7mW였다. 향후에는 프로브 스테이션과 벡터 네트워크 분석기 및 스펙트럼 분석기 등을 이용하여, 제작된 저잡음 증폭기의 특성을 측정할 계획이다.

참고문헌

[1] T.H Lee, H. Samavati, H.R. Rategh, "5-GHz CMOS wireless LANs," *IEEE Transactions on Microwave Theory and Techniques*, Vol. 0, No. 1, pp. 268-280, Jan. 2002.
 [2] F.K. Chai, T.R. Reuter, D.Z. Baker, J. Kirchgessner, "Outstanding noise characteristics

of SiGe: C HBT allow flexibility in high-frequency RF designs," *2003 IEEE Radio Frequency Integrated Circuits (RFIC) Symposium*, pp. 151-154, June 2003.
 [3] T.K.K. Tsang, M.N. El-Gamal, "A fully integrated 1V 5.8 GHz bipolar LNA," *The 2001 IEEE International Symposium on Circuits and Systems*, Vol. 4, pp. 842-845, May 2001.
 [4] M. Soyuer, J.O. Plouchart, H. Ainspan, J. Burghartz, "A 5.8GHz 1V Low Noise Amplifier in SiGe Bipolar Technology," *1997 RFIC Symposium*, pp. 19-22, 1997.
 [5] G. Schuppener, M. Mokhtari, B. Kerzar, "A 5.8 GHz low noise amplifier for wireless LAN applications in silicon bipolar technology," *The 6th IEEE International Conference on Electronics, Circuits and Systems*, Vol. 2, pp. 773-776, Sept. 1999.
 [6] T.K.K. Tsang, M.N. El-Gamal Gain and frequency controllable sub 1V 5.8 GHz CMOS LNA," *2002 IEEE International Symposium on Circuits and Systems*, Vol. 4, pp. 795-798, May 2002.
 [7] H.A. Ainspan, C.S. Webster, "Measured results on bandgap reference in SiGe BiCMOS," *Electronics Letters*, Vol. 34, No. 15, pp. 1441-1442, July 1998.
 [8] RF CMOS IC Design Guidelines, CRAFT Project, CMOS RF Circuit Design for Wireless Application.
 [9] L. Qingqing, N. Guofu, J.D. Cressler, S. Taylor, D.L. Harame, "Geometry and bias current optimization for SiGe HBT cascode low-noise amplifiers," *2002 IEEE Radio Frequency Integrated Circuits (RFIC) Symposium*, pp. 407-410, June 2002.
 [10] RF Microelectronics, B. Razhavi, Prentice Hall, 1998.
 [11] R. Plana, "SiGe Technologies for Wireless Microwave and millimeter-Wave Applications," *2002 22nd International Conference on Microelectronics*, Vol 2, pp. 415-422, May 2000.
 [12] Radio Frequency Integrated Circuit Design, Calvin Plett, John Rogers, Miles A. Copeland Artech House, 2003.