

무선 LAN 시스템에서 CCK 변조방식의 클럭 동기 성능 분석

박정수* · 강희국** · 조성언*** · 조성준****

*한국항공대학교 대학원 정보통신공학과

**(주)휴메이트

***순천대학교 정보통신공학부

****한국항공대학교 · 전자 · 정보통신 · 컴퓨터공학부

Performance Analysis on Clock Synchronization of CCK Modulation Scheme in Wireless LAN System

Jung-Soo Park* · Hee-Gook Kang** · Sung-Eon Cho*** · Sung-Joon Cho****

*Dept. of Inform. & Telecom. Eng., Graduate School of Hankuk Aviation University

**FUMATE. CO., LTD

***School of Inform. & Telecom. Eng., Sunchon National University

****School of Electronics, Telecom. and Computer Eng., Hankuk Aviation University

E-mail : flight750621@mail.hau.ac.kr

요 약

본 논문에서는 2.4 GHz대역에서 54 Mbps 고속 데이터 전송이 가능한 IEEE 802.11g 무선 LAN 시스템에서 사용되는 변조 방식인 CCK(Complementary Code Keying)의 클럭 동기화에 대해서 연구했다. 수신단에서는 잡음 또는 페이딩에 의해 클럭 주파수 오차가 발생한다. 이 주파수 오차는 클럭 타이밍 오프셋을 발생시켜 ISI(InterSymbol Interference)의 원인이 된다. 그러므로 클럭 타이밍 오프셋을 줄이기 위해서는 트래킹이 필요하다. 본 논문에서는 클럭 트래킹을 위해 비동기 방식인 DLL(Delay Lock Loop)방식을 이용하여 시뮬레이션을 수행하였다. AWGN 환경과 실외 다중경로 페이딩 채널환경에 대한 지터 분산과 이에 따른 BER 성능을 비교한다.

ABSTRACT

In this paper, we have analyzed the performance of synchronization of CCK(Complementary Code Keying) modulation scheme used for IEEE 802.11g wireless LAN system supporting 54 Mbps of high speed data rate over 2.4 GHz. At receiver, the clock frequency offset is caused by noise or fading. This frequency error occurs the offset of clock timing and causes ISI. Therefore the tracking is required to reduce the clock timing offset. The DLL(Delay Lock Loop), asynchronization mode, performing tracking the clock is used for the simulation. The simulation result shows jitter variance and BER performance in the AWGN and multipath fading channel environment.

키워드

DLL, CCK, Clock timing, Jitter variance

1. 서 론

IEEE 802.11g는 기존의 무선 LAN 표준을 확장하여 2.4 GHz ISM 대역에서 54 Mbps의 데이터 전송 속도로 고차원의 서비스를 지원할 수 있는 무

선 LAN 시스템이다. IEEE 802.11g 시스템에서는 DSSS 방식을 이용하여 1, 2 Mbps를 지원하고 CCK(Complementary Code Keying)방식을 이용하여 5.5, 11 Mbps를 지원한다. 그리고 OFDM(Orthogonal Frequency Division Multiplexing)방식을

이용하여 6, 9, 12, 18, 24, 36, 48, 54 Mbps를 지원한다[1].

11 Mbps를 지원하는 CCK 변조는 확산 코드 길이가 8이고 complementary 코드를 기초로 하며, complex 심볼 구조를 갖는 I/Q 변조를 사용하는 M-ary orthogonal keying의 한 종류이다. 이 코드는 I 채널과 Q 채널의 cross coupling으로 인한 다중경로 감쇄에 강하다는 장점이 있다. 그리고 우수한 상관특성을 이용하여 레이크 수신기와 등화기를 통하여 페이딩에 대한 성능 개선을 가능하게 한다[2][3].

IEEE 802.11g 무선 LAN 시스템에서는 PLCP (Physical Layer Convergence Protocol) 프리앰블 내의 SYNC 필드를 사용하여 시스템의 동기를 추적한다. 그러나 이러한 동기방식에서는 무선채널 환경에 따른 잡음 또는 페이딩에 의해 수신단에서 클럭 주파수 오차가 발생하게 된다. 이 주파수 오차는 클럭 타이밍 오프셋 발생하게 하여 ISI의 원인이 된다. 따라서 클럭 타이밍 오프셋을 줄이기 위해서는 트래킹이 필요하다. 본 논문에서는 클럭 트래킹을 위해 비동기 방식인 DLL(Delay Lock Loop)방식을 이용한다.

II. CCK Modulation

IEEE 802.11g에서 complementary code는 하나의 코드 길이가 8로 정의되어 있다. 여기서 8개의 복소수 chip들은 하나의 심볼로 구성된다. 11 Mbps에서 8bit의 CCK 코드는 다음과 같이 표현할 수 있다.

$$C = \left\{ \begin{array}{l} e^{j(\varphi_1+\varphi_2+\varphi_3+\varphi_4)}, e^{j(\varphi_1+\varphi_3+\varphi_4)}, e^{j(\varphi_1+\varphi_2+\varphi_4)}, \\ -e^{j(\varphi_1+\varphi_4)}, e^{j(\varphi_1+\varphi_2+\varphi_3)}, e^{j(\varphi_1+\varphi_3)}, -e^{j(\varphi_1+\varphi_2)}, e^{j\varphi_1} \end{array} \right\} \quad (1)$$

여기서 C는 코드 워드이다.

11 Mbps의 각 심볼은 8 bit의 정보로 표현할 수 있다. 입력 데이터는 byte단위로 d7, d6, d5,...,d0로 분할할 수 있으며, d0는 LSB(Least Significant Bit)이다. IEEE 802.11g에서 정의된 것처럼 데이터 dibit (d0, d1), (d2, d3), (d4, d5), (d6, d7)는 표 1과 같이 위상 파라미터 $\varphi_1, \varphi_2, \varphi_3, \varphi_4$ 로 각각 부호화된다[4].

표 1. Phase parameter encoding scheme

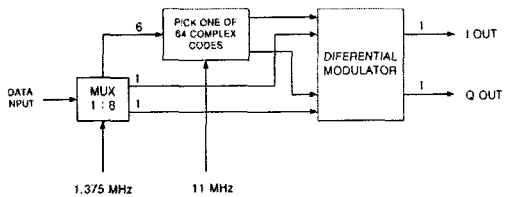
DIBIT	PHASE PARAMETER
(d1, d0)	φ_1
(d3, d2)	φ_2
(d5, d4)	φ_3
(d7, d6)	φ_4

Encoding은 표 2에 정의된 것처럼 differential QPSK 변조를 기반으로 한다.

표 2. DQPSK modulation of phase parameter

DIBIT(d_{i+1}, d_i)	PHASE PARAMETER
00	0
01	π
10	$\pi/2$
11	$-\pi/2$

그림 1은 11Mbps로 전송 할 때 CCK 변조기의 블록도이다.



Date Rate = 8bits/symbol * 1.375 = 11Mbps

그림 1. CCK 변조기 블록도

MUX는 1.375 MHz의 심볼 레이트의 클럭을 가진다. MUX 출력에서 6 bit는 64 complex 코드의 코드 워드를 선택하게 되며, 다른 2 bit는 DQPSK 변조한다. Differential modulator 출력은 생성된 복소수 코드 식 (1)에 따라 I 채널과 Q 채널로 출력된다.

CCK 변조의 복조 과정은 유클리디안 거리를 이용하여 maximum likelihood decoding 방식을 이용한다[5].

$$d_{\min} = \min \|s_k - s_l\|^2 \quad k, l \in \{1, 2, \dots, k\} \quad (2)$$

Complementary 코드의 길이가 N이고 M개의 위상을 가진 경우,

$$d_{\min} = \sqrt{\frac{N}{2}} \left\| 1 - \exp\left(j \frac{2\pi}{M}\right) \right\| \quad (3)$$

즉, 최소 유클리디안 거리를 갖는 심볼에 매핑 복호화 방식 중 다음과 같은 방식의 간단한 구현방법으로 전송 위상을 구할 수 있다.

$$\begin{aligned} \varphi_2 &= \arg\{x_1x_2^* + x_3x_4^* + x_5x_6^* + x_7x_8^*\} \\ \varphi_3 &= \arg\{x_1x_3^* + x_2x_4^* + x_5x_7^* + x_6x_8^*\} \\ \varphi_4 &= \arg\{x_1x_5^* + x_2x_6^* + x_3x_7^* + x_4x_8^*\} \\ \varphi_1 &= \arg\{x_1e^{-j(\varphi_2+\varphi_3+\varphi_4)} + x_2e^{-j(\varphi_3+\varphi_4)} + x_3e^{-j(\varphi_2+\varphi_4)} + \\ & \quad x_4e^{-j(\varphi_4)} + x_5e^{-j(\varphi_2+\varphi_3)} + x_6e^{-j(\varphi_3)} + x_7e^{-j(\varphi_2)} + x_8\} \end{aligned} \quad (5)$$

여기서 $\arg\{\}$ 는 complex 벡터의 위상 계산을 의미한다. φ_1 를 좀 더 간략히 표현해 보면 다음과 같다.

$$\begin{aligned} \varphi_1 &= \arg\{x_4y_4^* + x_6y_3^* + x_7y_2^* + x_8\} \\ &= \arg\{x_4e^{-j\varphi_4} + x_6e^{-j\varphi_3} + x_7e^{-j\varphi_2} + x_8\} \end{aligned} \quad (6)$$

이와 같이 위상의 정보를 알면 매핑 테이블을 통해 전송된 심볼을 알 수 있다.

III. DLL(Delay - Lock Loop)

Tracking code loop에는 동기식과 비동기 방식이 있다. 본 논문에서는 이 중 비동기 방식을 사용하였다. Tracking loop는 일반적으로 에러를 검출하기 위해서 제한 루프로 구성되어 있으며 에러를 0으로 하기 위하여 원하는 신호를 조정한다.

DSSS(Direct Sequence Spread Spectrum)에서는 주로 DLL(Delay Lock Loop)을 사용한다[6]. 이러한 DLL은 그림 2에 나타내었다.

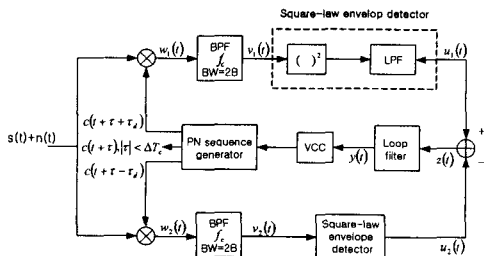


그림 2. 비동기 방식의 Delay-Lock Loop

Square-law 포락선 검파기는 제공기와 저역필터로 구성되며, 반송파를 제거하기 위한 목적으로 사용한다.

전송신호 $s(t)$ 는 다음과 같이 정의 할 수 있다.

$$s(t) = \sqrt{2P}c(t)b(t)\cos(2\pi f_c t + \theta) \quad (7)$$

여기서 $c(t)$ 는 코드이며, $b(t)$ 는 수신되는 정보 데이터이다.

그림 2와 같은 비동기식 동기추적회로의 에러측정 신호를 다음과 같이 정의한다.

$$G(t) = P[R^2(\tau + \tau_d) - R^2(\tau - \tau_d)] \quad (8)$$

그림 3은 $\tau \approx 0$ 라고 가정하고 타이밍 오프셋에 대한 S-커브를 나타낸 것이다. 타이밍 오프셋이 증가할수록 동기추적회로의 동작 범위가 커지며 S-커브의 기울기가 증가함을 알 수 있다.

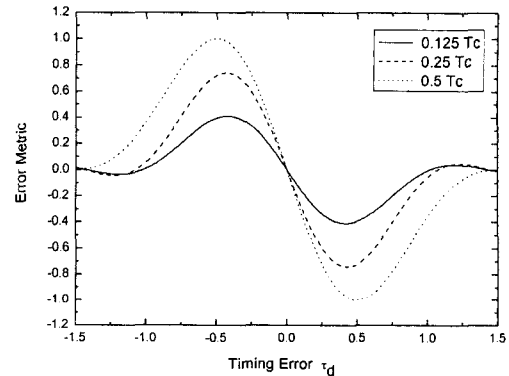


그림 3. 비동기식 동기추적회로의 타이밍 오프셋에 따른 S-커브

IV. 시뮬레이션 결과

IEEE 802.11g 표준에서는 시스템 최대 송신전력을 20 dB로 정의하였으나 최대 송신 전력의 1/2에 해당하는 10 dB까지 시뮬레이션을 하였고 심볼 레이트는 1.375 MHz로 하였다. 반송파 동기는 정확하다는 가정하에 AWGN 환경과 이중경로 페이딩 채널 환경에 따른 지터 분산과 이에 따른 BER 성능을 비교하였다.

그림 4는 타이밍 오프셋이 0.5TC 일 때, 동기추적회로의 이론적 성능과 시뮬레이션을 통해 얻은 지터 분산의 값을 비교한 것이다. 그림에서 실선은 이론적인 성능을 나타내며, 심볼 ●와 심볼 ▲는 각각 AWGN 과 이중경로 페이딩 채널의 시뮬레이션 결과를 나타낸 것이다. AWGN 환경에서는 이론치와 거의 일치함을 확인 하였으나, 페이딩 환경에서는 AWGN 환경에 비하여 열화되는 것을 알 수 있다.

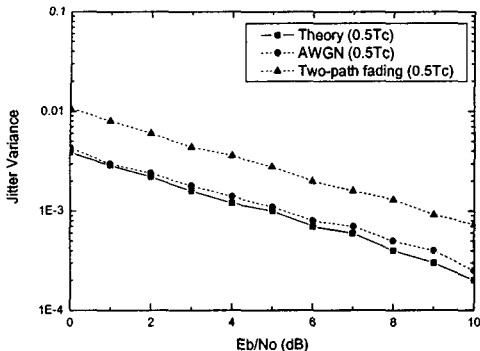


그림 4. 채널환경에 따른 지터 분산의 이론적 성능과 시뮬레이션 결과 비교

그림 5에서는 CCK 변조방식의 이론적 BER 성능과 시뮬레이션을 통해 얻은 BER 성능을 비교하였다. 실선은 이론적인 성능을 나타내며, 심볼 ▲는 DLL 방식을 이용한 타이밍 동기 시뮬레이션을 수행한 결과를 나타낸다. 이론적인 BER 성능은 타이밍 동기가 정확하다는 가정하에 CCK 전송을 한 결과이다. 0~6 dB까지는 이론적 BER과 거의 일치하지만 6~10 dB사이에서는 1 dB이내의 오차를 보이고 있다.

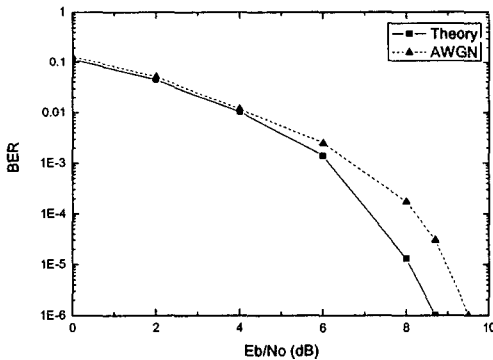


그림 5. CCK 변조방식의 이론적 BER과 시뮬레이션 BER 성능 비교

V. 결 론

본 논문에서는 IEEE 802.11g 무선 LAN 시스템에서 사용되는 변조 방식인 CCK의 비동기 방식의 DLL를 이용한 클럭 타이밍 동기기에 대해 연구하였다. 잡음 또는 페이딩에 의해서 발생하는 클럭 주파수 오프셋은 ISI의 원인이 된다. 그러므로 클럭 타이밍 오프셋을 줄이기 위해서는 트래킹이 필요

로 한다.

시뮬레이션을 통해 AWGN 환경과 이중경로 페이딩 채널환경에 대한 지터 분산과 이에 따른 BER 성능을 비교하였다. 지터 분산에서는 AWGN 채널에서 이론치와 거의 일치함을 알 수 있었으나 페이딩 환경에서는 동기추적 성능이 감소되는 것을 알 수 있었다. 또한 시뮬레이션을 통하여 타이밍 동기가 정확히 이루어지면 이론치 BER과 다소 차이가 있지만 우수한 성능을 얻을 수 있음을 확인하였다.

감사의 글

본 논문은 2003년도 제 1차 정보통신 산업경쟁력 강화사업의 지원에 의한 것입니다.

참고문헌

- [1] IEEE P802.11g/D8.2, "Draft for local and metropolitan area networks: wireless lan medium access control (MAC) and physical layer (PHY) specifications: further higher data rate extension in the 2.4 GHz band," Apr. 2003.
- [2] T. H. Kim, C. K. Kim, and J. W. Chong, "A new architecture of CCK modem based on iterative differential-modulation and phase-detection," Electronics, Circuits and Systems, 2001. ICECS 2001. The 8th IEEE International Conference on, vol. 1, pp. 333-336, Sep. 2001,
- [3] C. Andren and M. Webster, "CCK modulation delivers 11 Mbps for high rate IEEE 802.11 extension," Wireless Symposium/portable By Design Conference Proceedings, Spring 1999
- [4] IEEE Std 802.11b, "Standard for local and metropolitan area networks: wireless lan medium access control (MAC) and physical layer (PHY) specifications: higher-speed physical layer extension in the 2.4 GHz band," Nov. 2001.
- [5] R. V. Nee, "OFDM codes for peak-to-average power reduction and error correction," IEEE Global Telecomm. Conf., pp. 740-744, Nov. 1996
- [6] Bernard Sklar, Digital communications. : Prentice Hall PTR, 2001